

WEIDIANZI
CAILIAO
YU QIJIAN ZHIBEI JISHU

微电子材料 与器件制备技术

王秀峰 伍媛婷 编



化学工业出版社

微电子材料 与器件制备技术



www.cip.com.cn
读科技图书 上化工社网

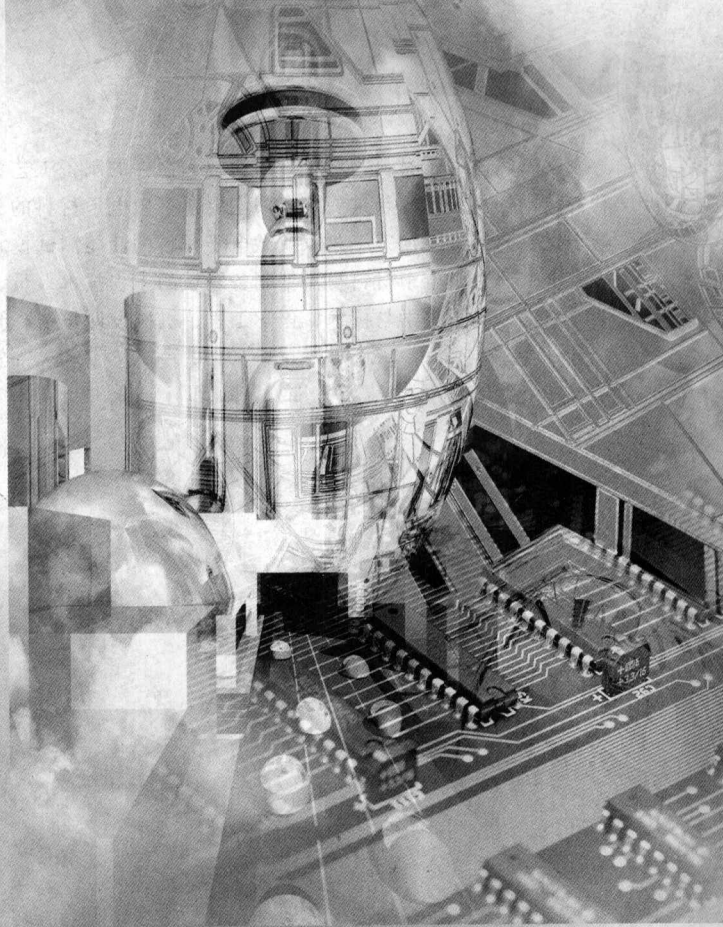
ISBN 978-7-122-02445-9



9 787122 024459 >

定价：39.00元

销售分类建议：材料 / 电子材料



WEIDIANZI
CAILIAO
YU QIJIAN ZHIBEI JISHU

微电子材料 与器件制备技术

王秀峰 伍媛婷 编



化学工业出版社

·北 京·

本书以微电子材料为对象,以材料和器件的制备工艺为主线,系统、全面地介绍了微电子材料与器件制备技术的前沿问题与进展。全书主要包括微电子材料的分类及性能、微电子器件中材料的选择、不同微电子材料与器件的加工工艺以及微电子材料的性能测试技术等。

本书适合微电子材料与器件制备领域的工程技术人员、研发人员阅读使用,也可作为高等院校材料科学与工程、电子科学与技术、化学工程、机械设计与制造等专业师生的教学用书。

图书在版编目(CIP)数据

微电子材料与器件制备技术/王秀峰,伍媛婷编. —北京:化学工业出版社,2008.4
ISBN 978-7-122-02445-9

I. 微… II. ①王…②伍… III. 微电子技术 IV. TN4

中国版本图书馆CIP数据核字(2008)第037542号

责任编辑:路金辉 傅聪智
责任校对:吴 静

文字编辑:颜克俭
装帧设计:京点图文设计

出版发行:化学工业出版社(北京市东城区青年湖南街13号 邮政编码100011)

印 刷:北京永鑫印刷有限责任公司

装 订:三河市万龙印装有限公司

787mm×1092mm 1/16 印张15¼ 字数360千字 2008年5月北京第1版第1次印刷

购书咨询:010-64518888(传真:010-64519686) 售后服务:010-64518899

网 址: <http://www.cip.com.cn>

凡购买本书,如有缺损质量问题,本社销售中心负责调换。

定 价:39.00元

版权所有 违者必究

前言

微电子产业是 20 世纪发展最快的产业之一，是一个知识、人才、技术密集领域，其应用涉及日常生活、医疗、国防、工业等方方面面。微电子技术一直保持着高速度的发展，随着集成电路（IC）工艺技术的不断发展，微电子元件形成了小型化、高可靠性、高效率、低成本的特点。

微电子技术与其他学科相结合会诞生出一系列崭新的学科和重大的经济增长点，目前，将微电子技术与其他学科进行结合已成为研究人员所热衷的新兴研究领域，并已取得了一定的研究成果。如微电子技术与机械、光学等领域结合就诞生了 MEMS 微机电系统技术；微电子技术与生物工程技术结合则产生了生物工程芯片，其代表为 DNA 生物芯片。

影响微电子工业发展的因素很多，材料科学与工程的发展扮演了极其重要的角色。IC 领域中各种处理材料的工艺步骤以及其质量、成本等无一不与材料息息相关。材料的发展促进了微电子工业的发展，例如锗硅材料的发展使得集成电路从只包括十几个单元电路飞速发展到含有成千上万个组件的超大规模集成电路，极大地促进了电子产品的微小型化，同时降低了电子产品的成本。

目前与微电子技术相关的书籍、资料并不少，但有关微电子材料与制程方面的书较少。本书以微电子材料为对象，以材料和器件的制备工艺为主线，系统、全面地介绍了微电子材料与器件制备技术前沿问题与进展。全书分为 12 章，主要包括微电子材料的分类及性能、微电子器件中材料的选择、不同微电子材料与器件的加工工艺以及微电子材料的性能测试技术等，主要内容如下。

第 1 章简单介绍了微电子材料、工艺、器件的发展和应用以及微电子技术的发展趋势。

第 2 章介绍了 IC 中主要基础材料单晶，特别是硅单晶的物理性能与制备工艺。

第 3 章着重介绍了衬底材料、薄膜材料种类以及薄膜材料的制备技术。

第 4 章主要介绍了光刻掩模版、光刻方式和设备、光刻胶以及纳米光刻压印技术。

第 5 章重点介绍了刻蚀方法、刻蚀工艺表征、常用材料的刻蚀工艺以及化学机械抛光工艺和清洗技术。

第 6 章介绍了微加工工艺中的表面预处理与表面清洗技术，包括杂质形式、清洗方法。

第 7 章集中介绍了表面层改性中的热氧化、扩散以及离子注入技术工艺原理、设备和应用。

第 8 章介绍了晶片键合原理、方法、表征测试以及应用。

第 9 章主要介绍了工艺集成技术中晶圆片的选择和处理、器件设计规则、热工艺、金属化以及可靠性测定。

第 10 章介绍了 CMOS 晶体管中多晶硅栅 CMOS 工艺、MOS 晶体管的按比例缩小、双极工艺技术以及多层金属布线等。

第 11 章集中介绍了 MEMS 工艺技术中双面加工工艺、隔膜结构、硅穿孔结构、图形化以及 IC-MEMS 集成工艺等。

第12章介绍了微电子材料与器件表面形貌、器件尺寸、电学性能以及物理和化学分析的测量分析方法。

本书适合有关专业的工程技术人员、研发人员阅读使用,也可作为材料科学与工程、电子科学与技术、化学工程、机械设计与制造等专业本科生、硕士生、博士生的教材使用,或作为相关专业研究生、本科生的教学参考书。

编者

2008 年 2 月

缩略语表

英文缩写	英文全称	中文名称
AAS	atomic absorption spectroscopy	原子吸收光谱
AES	Auger electron spectroscopy	俄歇电子能谱
AFM	atomic force microscope	原子力显微镜
APC	advanced process control	先进工艺控制
APCVD/NPCVD	atmospheric-pressure CVD/normal pressure CVD	常压化学气相沉积
APS	absolute pressure sensor	绝对压力传感器
BMD	bulk microdefect	体微缺陷
BOE	buffered oxide etchant	缓冲氢氟酸
CCD	charge coupled device	电荷耦合器件
CD	critical dimension	特征线宽
CMOS	complementary metal-oxide-semiconductor	互补金属氧化物半导体
CMP	chemical mechanical polish	化学机械抛光
COP	crystal originated particles	晶体原生颗粒
μ CP	micro contact printing	微接触法压印
CTE	coefficient of thermal expansion	热膨胀系数
CVAL	curvilinear variable axis lens	曲线可变轴透镜
CVD	chemical vapor deposition	化学气相沉积
CZ-Si	Czochralski Si	直拉硅
DLA	diffusion-limited aggregation	扩散限制集聚理论
DOF	depth of focus	焦深
DRC	design rule checking	设计规则检查
DRIE	depth reative ion etching	深层反应离子刻蚀
DSP	double-side polished	双面抛光
DZ	denuded zone	净化区
EBL	electron beam lithography	电子束光刻
ECD	electrochemical deposition	电化学沉积
ECMP	electrochemical mechanical polish	电化学机械抛光
ECRCVD	electron cyclotron rezones CVD	电子回旋再分区化学气相沉积
EGS	electronic grade silicon	电子级硅
ELO	expitaxy lift-off	外延牺牲层法
EM	electromigration	电迁移
EMPA	electron microprobe analysis	电子微探针分析
EOT	equivalent oxide thickness	等效氧化层厚度
ESCA	electron spectroscopy for chemical analysis	化学分析电子波谱
EUVL	extreme ultraviolet lithography	极紫外线光刻
FET	field effect transistor	场效应晶体管
FPD	focal plane deviation	聚焦平面偏差
FPD	flat panel display	平板显示
FTIR	Fourier-transform infrared spectroscopy	傅里叶红外光谱

英文缩写	英文全称	中文名称
FZ	float zone	区熔法
HBT	heterojunction bipolar transistors	异质结双极晶体管
HCI	high-current implanters	高电流注入机
HDPCVD	high density plasma CVD	高密度等离子化学气相沉积
HEL	hot embossing lithography	热压印
HEM	heat exchanger method	热交换法
HEMT	high electron mobility transistor	高电子迁移率晶体管
HV	high vacuum	高真空
HVPE	halide vaporous phase epitaxy	卤化物汽相外延
IBL	ion beam lithography	离子束光刻
IG	intrinsic gettering	本征吸杂
IL	immersion lithography	沉浸光刻
ILD	interlayer dielectric	层间介质
IPA	isopropyl alcohol	异丙醇
IR	infrared spectroscopy	红外光谱
ITO	indium tin oxide	铟锡氧化物
LD	laser diode	激光二极管
LDD	lightly doped drain	轻掺杂漏
LEC	liquid encapsulation Czochralski	液体掩盖直拉法
LED	light emitting diode	发光二极管
LEED	low-energy electron diffraction	低能电子衍射仪
LOCOS	local oxidation of silicon	硅局部氧化
LPCVD	low-pressure chemical vapor deposition	低压化学气相沉积
LPE	liquid phase epitaxy	液相外延法
LRC	laser recrystallization	激光再结晶
LTPS	low temperature ploy silicon	低温多晶硅
MBE	molecular beam epitaty	分子束外延生长
MCI	meduim-current implanter	中等电流注入机
MEMS	micro-electro-mechanical system	微机电系统
MGs	metallurgical grade silicon	冶金级硅
MILC	metal induced lateral crystallization	金属横向诱导法
MLR	multilayer resist	多层胶
MOCVD	metal organic CVD	金属有机化学气象沉积
MOS	metal-oxide-semiconductor	金属氧化物半导体
MSQ	methyl silsesquioxane	甲基硅三氧化二烷
MTBF	mean time between failures	平均无故障工作时间
MTF	mean time to failure	平均失效时间
NA	numerical aperature	数值孔径
NAA	neutron activation analysis	中子激活分析
NBL	N ⁺ buried layer	N ⁺ 埋层
NGL	next generation lithography	下一代光刻技术
NIL	nanoimprint lithography	纳米压印光刻
NO	nitrided oxide	氮化的氧化硅

英文缩写	英文全称	中文名称
NTD	neutron transmutation doping	中子嬗变掺杂
OISF	oxidation induced stacking fault	堆垛层错
OLED	organic light emission diode	有机发光二极管
ONO	oxidized nitrided oxide	氧化的氮氧化硅
OPC	optical proximity correction	光学邻近效应修正
PAECE	photo assisted electro-chemical etching	光辅助电化学刻蚀
μ PCD	microwave photoconductive decay	微波光导衰减法
PCM	portable conformable mask	复合掩模版
PDMS	polydimethylsiloxane	聚二甲基硅氧烷
PECVD	plasma-enhanced chemical vapor deposition	等离子体增强化学气相沉积法
PMMA	polymethyl methacrylate	聚甲基丙烯酸甲酯
POA	postoxidation anneal	氧化退火
Poly-Si	polysilicon	多晶硅
PSG	phosphorous doped silica glass	磷掺杂硅玻璃
PSM	phase-shifting mask	相移掩模版
PVD	physical vapor deposition	物理气相沉积
RBS	Rutherford backscattering spectrometry	卢瑟福背散射能谱法
RF	radio frequency	射频
RHEED	reflection high-energy electron diffraction	高能电子衍射反射仪
RIE	reactive ion etching	反应离子腐蚀
RLA	reactive limit assembling	反应限制集聚理论
RONO	reoxidized nitrided oxide	再氧化的氮氧化硅
RTA	rapid thermal annealing	快速热退火
RTO	rapid thermo-oxidization	快速热处理
RTP	rapid thermal processing	快速热处理
RTP	rapid thermal processor	快速热处理器
SAW	surface acoustic wave	声表面波
SBC	standard buried collector	标准埋层集电极
SCALPEL	scattering with angular limitation projection	限角度散射投影式电子束光刻
SCS	single-crystalline silicon	单晶硅
SDB	silicon direct bonding technique	硅片直接键合技术
SEM	scanning electron microscopy	扫描电子显微镜
α -Si : H	amorphous silicon	非晶硅
SIMOX	separation by implantation of oxygen	注氧隔离法
SIMS	secondary ion mass spectrometry	二次离子质谱
SOC	system on chip	片上系统
SOD	spin-on-dielectric	介质旋涂法
SOG	spin-on-glass	旋涂玻璃法
SOI	silicon-on-insulator	绝缘体上的硅
SPC	solid phase crystallization	固相晶化
SPE	solid phase epitaxy	固相外延
SPV	surface photovoltage	表面光伏法

英文缩写	英文全称	中文名称
SRP	spreading resistance	扩展电阻测量方法
SSP	single-side polished	单面抛光
STI	surface trench insulator	浅沟槽隔离
STM	scanning tunneling microscope	扫描隧道显微镜
TDS	thermal desorption spectroscopy	热解吸附谱线法
TEM	transmission electron microscopy	透射电子显微镜
TFT	thin-film transistor	薄膜晶体管
TIR	total indicator reading	总和指示值
TSI	top-surface imaging	上表面成像
TTBD	time-to-breakdown	与时间有关的击穿
TTV	total thickness variation	总厚度误差
TXRFS	total reflection X-ray fluorescence spectrum	全反射 X 射线荧光光谱
UBM	under bump metal	焊区基层金属
UHV	ultra high vacuum	超高真空
UHV/CVD	ultra high vacuum chemical vapor deposition	超高真空化学气相沉积
ULSI	ultra large scale integration	极大规模集成电路
UV-NIL	ultraviolet nanoimprint lithography	紫外固化压印
VPE	vapor phase epitaxy	气相外延
WIWNU	with in wafer non-uniformity	硅片内不均匀性
XPS	X-ray photoelectron spectroscopy	X 射线光电子能谱
XRD	X-ray diffraction	X 射线衍射
XRL	X-ray lithography	X 射线光刻
XRT	X-ray tomography	X 射线断层摄影术
ZMR	zone melting recrystallization	区熔再结晶

目 录

1	概述	1
1.1	微电子技术	1
1.2	微电子材料及其应用	2
1.3	工艺	3
1.4	器件	4
1.5	未来趋势	4
2	单晶	6
2.1	概述	6
2.2	硅	6
2.3	硅的晶体结构与性能	7
2.4	硅晶体中的缺陷和非理想状态	8
2.5	硅的晶体生长及设备	9
2.5.1	硅的纯化	9
2.5.2	直拉法生长单晶硅	10
2.5.3	区熔法生长单晶硅	11
2.5.4	外延法	13
2.5.5	生长设备	13
2.6	其他单晶	15
2.7	晶圆制备	16
3	薄膜	18
3.1	概述	18
3.2	衬底	18
3.3	多晶硅	19
3.4	非晶硅	21
3.5	硅化物	22
3.6	二氧化硅	24
3.7	金属薄膜	25
3.8	薄膜新材料	25
3.8.1	金刚石	25
3.8.2	其他	26
3.9	薄膜制备方法	27
3.9.1	物理气相沉积	27

3.9.2	蒸发和分子束外延生长	28
3.9.3	溅射	29
3.9.4	化学气相沉积	31
3.9.5	其他沉积方法	35
3.10	外延	38
3.10.1	外延的概念	38
3.10.2	外延技术的发展	38
3.10.3	异质外延	39
3.10.4	硅的 CVD 同质外延	40
3.10.5	外延的模拟	40
4	光刻、铸造和压印	42
4.1	概述	42
4.2	光刻掩模版	44
4.2.1	传统掩模版	45
4.2.2	相移掩模版	45
4.2.3	X 射线光刻掩模版	46
4.2.4	电子束光刻镂空式模板与散射式掩模版	47
4.2.5	离子束光刻掩模版与模板	48
4.2.6	掩模版的制造、缺陷和修复	48
4.2.7	复合掩模版	50
4.3	主要光刻技术及设备	50
4.3.1	沉浸光刻	50
4.3.2	无掩模光刻技术	51
4.3.3	紫外线光刻/极紫外光刻	51
4.3.4	电子束光刻	53
4.3.5	离子束光刻	58
4.3.6	X 射线光刻	58
4.3.7	设备	60
4.4	基本图形形状	62
4.5	光刻胶	63
4.5.1	光刻胶的反应机理及应用	65
4.5.2	应用性能指标	67
4.5.3	光刻胶薄膜光学	68
4.5.4	光刻胶去胶或灰化	69
4.6	表面活性剂	69
4.7	光学光刻延伸技术	71
4.7.1	上表面成像及多层胶技术	71
4.7.2	光刻图形的胶修整及化学收缩	71
4.8	光学光刻模拟	72
4.9	压印	72

4.9.1 纳米压印光刻	72
5 刻蚀与化学机械抛光	80
5.1 概述	80
5.2 刻蚀方法与设备	81
5.2.1 湿法刻蚀	81
5.2.2 电化学刻蚀	82
5.2.3 各向异性湿法刻蚀	83
5.2.4 干法刻蚀技术(等离子体刻蚀技术)	83
5.2.5 激光刻蚀	88
5.2.6 纳米级无损刻蚀工艺	88
5.2.7 离子束刻蚀	88
5.3 刻蚀工艺表征	89
5.4 常用材料的刻蚀工艺	90
5.4.1 硅	90
5.4.2 二氧化硅	91
5.4.3 氮化硅和氮氧化硅	93
5.4.4 铝	93
5.4.5 铜	94
5.4.6 难熔金属和硅化物	94
5.5 化学机械抛光工艺和设备	94
5.5.1 传统的化学机械抛光	96
5.5.2 双面化学机械抛光	97
5.5.3 电化学机械抛光	98
5.5.4 超无应力抛光技术	99
5.5.5 不同材料的 CMP 技术	100
5.5.6 CMP 成本控制	104
5.5.7 发展趋势	104
5.6 CMP 的化学	104
5.7 晶圆抛光	105
5.8 CMP 控制测量	106
5.9 CMP 工艺的后清洗技术	108
6 清洗与表面预处理	110
6.1 概述	110
6.2 杂质的形式与分类	111
6.2.1 颗粒污染	111
6.2.2 有机杂质	112
6.2.3 金属杂质	113
6.3 湿法清洗	116
6.3.1 分类	116

57	6.3.2	清洗液	118
68	6.3.3	湿法清洗去除颗粒杂质	121
	6.3.4	晶圆片的颗粒测量	122
06	6.4	干法清洗	122
18	6.4.1	等离子体清洗技术	123
18	6.4.2	气相清洗	124
58	6.4.3	激光清洗法	125
86	6.5	冲洗和烘干	125
88	6.5.1	冲洗	125
88	6.5.2	烘干	127
88	7	表面层改性	128
03	7.1	热氧化	128
00	7.1.1	氧化过程	128
00	7.1.2	迪尔-格罗夫氧化模型	130
10	7.1.3	氧化物的结构	130
80	7.1.4	氧化物电荷	131
80	7.1.5	氧化过程的模拟	132
10	7.1.6	局部氧化	132
10	7.1.7	氧化时应力和图形的影响	133
10	7.1.8	氧化设备	134
00	7.2	扩散	136
70	7.2.1	扩散机理	137
80	7.2.2	扩散时的掺杂剖面形貌	137
00	7.2.3	扩散模拟	138
001	7.2.4	扩散应用	138
101	7.2.5	扩散设备	138
10	7.3	离子注入	139
101	7.3.1	简介	139
801	7.3.2	离子注入的基本原理	140
801	7.3.3	注入工艺	141
801	7.3.4	缺陷及热退火	142
011	7.3.5	离子注入模拟	143
	7.3.6	离子注入的设备	144
011	7.3.7	注入测量	146
8	8	晶片键合技术	147
5	8.1	概述	147
21	8.2	晶片键合的基本原理及其要求	147
01	8.3	键合方法	149
011	8.3.1	玻璃浆料键合	149

8.3.2	阳极键合	149
8.3.3	直接键合技术	150
8.3.4	等离子体键合	150
8.3.5	金属键合	151
8.3.6	黏着键合	151
8.3.7	外延牺牲层法	151
8.4	键合晶片的表征测试方法	152
8.4.1	键合前晶片表面的表征	152
8.4.2	键合强度测试法	152
8.4.3	键合界面特性的表征	154
8.5	键合的应用	154
8.5.1	用键合技术形成 SOI 材料	154
8.5.2	用键合技术形成 MEMS 结构和三维器件	155
8.5.3	用低温键合技术形成光电子器件	156
8.5.4	用键合方法形成特殊结构和器件	157
9	工艺集成	158
9.1	概述	158
9.2	晶圆片的选择	158
9.2.1	硅片	159
9.2.2	非硅基片	162
9.3	设计规则	163
9.3.1	版图规则	163
9.3.2	RCL 器件设计规则	165
9.3.3	层与层间的布局规则	166
9.3.4	套准规则	167
9.3.5	电性设计规则	169
9.3.6	RCL 芯片	169
9.4	热工艺	170
9.4.1	薄膜修正	170
9.4.2	表面修正	170
9.5	金属化	171
9.5.1	金属类型	171
9.5.2	金属淀积系统	175
9.6	可靠性测定	177
9.6.1	热可靠性	178
9.6.2	氧化硅缺陷和电性品质	178
9.6.3	电迁移	179
9.6.4	应力迁移	179
10	CMOS 晶体管	181
10.1	概述	181

10.2	多晶硅栅 CMOS 工艺	181
10.3	MOS 晶体管的按比例缩小	184
10.3.1	光刻的按比例缩小	184
10.3.2	晶体管的按比例缩小	185
10.3.3	前道模拟	186
10.4	晶圆片的选择	186
10.4.1	栅氧	187
10.4.2	自对准栅	187
10.4.3	替代栅	188
10.4.4	与硅的接触	188
10.5	双极工艺技术	189
10.5.1	SBC 双极型晶体管的加工工艺	190
10.5.2	先进双极结构	192
10.5.3	BiCMOS 工艺技术	194
10.6	多层金属布线	195
10.6.1	双层金属布线	195
10.6.2	多层金属布线	196
10.6.3	大马士革金属布线(镶嵌金属布线)	196
10.6.4	金属布线的按比例缩小	198
10.6.5	铜金属布线	198
10.6.6	低电介质材料	199
11	MEMS 工艺集成	202
11.1	概述	202
11.2	双面加工工艺	202
11.2.1	双面抛光晶圆片	203
11.2.2	双面生长、掺杂和薄膜沉积	204
11.2.3	双面光刻	204
11.2.4	键合对准	205
11.3	隔膜结构	205
11.4	硅穿孔结构	206
11.4.1	硅通孔制备方法	206
11.4.2	硅通孔互连中的关键工艺技术	208
11.5	图形化技术	209
11.5.1	光刻胶技术	209
11.5.2	剥离掩模层/窝形掩模层	209
11.5.3	屏罩式掩模	209
11.6	等离子体刻蚀与各向异性湿法刻蚀	210
11.7	压阻式压力传感器	211
11.8	IC-MEMS 集成	213

12 微电子材料与器件性能测量分析	215
12.1 表面形貌观察	215
12.1.1 光学显微法	215
12.1.2 扫描电子显微镜	215
12.1.3 透射电子显微镜	216
12.1.4 原子力显微镜	217
12.1.5 扫描隧道显微镜	217
12.2 器件尺寸测量	218
12.2.1 电机械探针和原子力显微镜	218
12.2.2 X 射线反射法	218
12.3 电学测试	218
12.4 物理和化学分析	219
12.4.1 X 射线衍射	219
12.4.2 红外光谱	219
12.4.3 俄歇电子波谱法	220
12.4.4 X 射线光电子波谱法	220
12.4.5 二次离子质谱	220
12.4.6 全反射 X 射线荧光光谱	221
12.4.7 卢瑟福背散射能谱法	221
12.4.8 电子微探针分析	221
12.4.9 原子吸收光谱	222
12.4.10 微波光导衰减法	222
12.4.11 X 射线断层摄影术	222
12.4.12 其他	222
参考文献	224

1

概述

1.1 微电子技术

微电子技术不仅使电子设备和系统的微型化成为可能，更重要的是它引起了电子设备和系统的设计、工艺、封装等的巨大变革。所有的传统元器件，如晶体管、电阻、连线等，都将在硅基片内以整体的形式互相连接，设计的出发点不再是单个元器件，而是整个系统或设备。

随着微电子技术的发展,集成电路经历了小规模集成电路、中规模集成电路、大规模集成电路和超大规模集成电路四个阶段。标志集成电路水平的指标之一是集成度。所谓集成度就是指在一定尺寸的芯片上(几个平方毫米)能做出多少个组件。集成电路发展的初期,一块芯片上只能集成十几或几十个组件,其电路的功能也是有限的。一般将一块芯片上集成100个组件以下的集成电路称为小规模集成电路。到20世纪60年代中期,一块芯片上可集成几百甚至上千个组件,我们把集成100~1000个组件的集成电路称为中规模集成电路。20世纪70年代是集成电路飞速发展的时期,集成电路已经进入1000个以上元器件的大规模集成时代,这期间已经出现了集成20多万个元器件的芯片。如今在约 1cm^2 的芯片上,可集成上亿个电子元器件。

随着材料制备工艺的发展,硅片可以做得越来越大,目前生产的硅片直径可达 300mm 左右,这就意味着,在一个硅片上同时可以制造更多的集成电路。现在,集成电路已经成为信息产业和高新技术产业的核心技术,也是推动国民经济和社会信息化的关键技术。整个集成电路产业的发展非常迅速。但我国集成电路的生产技术水平跟国际相比还有一定的差距,

主要表现在制造技术有 2~3 代的差距。我国自行生产的集成电路只能满足国内集成电路不到 20% 的需求。在这样的形势下, 我们既面临挑战, 同时又面临一个机遇。

1.2 微电子材料及其应用

微电子工业发展非常迅速, 影响其发展的因素固然很多, 但材料科学与工程的发展扮演了极其重要的角色。集成电路中各种处理材料的工艺步骤及其质量、成本等无一不与材料息息相关。目前微电子技术所采用的材料主要有: 硅 (包括单晶硅和多晶硅)、二氧化硅、铝和一些硅化物等, 决定材料性质的参数主要包括介电常数 ϵ 、载流子的迁移率 μ 、载流子的饱和速度 v_s 、击穿电场强度 E_c 、热导率 K 等。

集成电路中的晶圆片可以是单晶、多晶或无定形态 (amorphous)。锗和硅是两种重要的半导体, 在最初的固态器件时代, 第一个晶体管是由锗制造的。但是锗在工艺和器件性能上存在较大缺陷, 它的熔点 (937°C) 限制了高温工艺。更重要的是, 它表面缺少自然氧化而形成的氧化膜, 从而容易漏电。由于硅具有光滑、平整、高的机械强度、制造成本低等优点, 其尺寸、形状、电阻率可在较大范围内进行调整, 且硅的分布广泛, 使其成为微加工的主体材料。

单晶硅 (single-crystalline silicon, SCS)、多晶硅 (polysilicon, poly-Si)、绝缘体上的硅 (silicon-on-insulator, SOI) 等都可作为晶圆片使用。从单晶硅锭 (ingot) 上切割并抛光后所获得的单芯片称为体硅片 (bulk silicon wafer)。虽然硅具有很多优点, 但是, 单晶硅晶圆片却易碎, 且在单晶硅晶圆片中存在共价键, 而共价键是不允许位错移动的, 一旦晶圆片发生破裂, 将立即扩展并穿过整个晶圆片。多晶硅目前被广泛应用于太阳能电池的生产上。

目前, 作为晶圆片的还可以是氧化硅、碳化硅、蓝宝石、砷化镓、玻璃、氧化铝、塑料等。

生长或沉积薄膜的形态同样可以是单晶、多晶或无定形态, 而不同形态的薄膜可以通过特定的微加工工艺相互转变。如单晶薄膜可以通过离子轰击转变为非晶态, 而非晶态薄膜可以经晶化转变为多晶态, 也可以在特殊的需求下变为单晶态。多晶态薄膜也可以通过热处理使晶粒生长而获得。

硅、铝、铜等单元素薄膜较为简单, 从而被广泛地应用于微电子产业中。除了单元素薄膜, 化合物材料也给微电子产业带来了新的机遇和挑战。化合物材料包括氧化硅、氮化硅、氮化钛、氮化铝、硅化物等。化合物薄膜在沉积时往往不是理想配比, 如氮化硅描述为 TiN_x , 其中 x 的值由工艺所决定。

除了以上两类材料, 金属也被广泛应用于微加工产业中。贵金属具有良好的化学稳定性, 高电导率和热导率, 特有的电学、磁学、光学性能, 广泛用于微电子技术。另外, 由于半导体集成电路通常在高频下工作, 对线宽和可靠性的要求日益严格, 与 Si 生成化合物的 Pt、Pd、Ti 及稀有高熔点金属逐步替代了不生成化合物的 Al、Ag、Au、PGM 等成为半导体重要的金属化材料。近 10 多年来 Pt 的硅化物与 Ti、W、Ni 的硅化物一起在双极集成电路和金属氧化物半导体 (metal-oxide-semiconductor, MOS) 结构中也得到应用。随着微电子材料向多功能化、复合化、低维化和智能化方向发展, 贵金属材料也得到迅速发展。

微电子材料和器件被应用于各个领域中, 如日常用品 (电视、冰箱、空调、洗衣机、微波炉等)、信息产业 (电话、手机、电脑、局域网、传真机等)、医疗设备 (各医疗诊断设

备、分析设备等)、国防设备(卫星、监控设备等)及工业设备(监控系统、电子机器等),并被广泛应用于军工、航天、计算机、通讯设备和各类消费类电子领域。

1.3 工艺

电子集成的设想出现在20世纪50年代末和60年代初,是采用硅平面技术和薄膜与薄膜技术来实现的。集成电路是将电路所需要的晶体管、二极管、电阻器和电容器等组件用一定工艺方式制作在一小块硅片、玻璃或陶瓷衬底上,再用适当的工艺进行互连,然后封装在一个管壳内,从而使整个电路的体积大大缩小,引出线和焊接点的数目也大为减少。为了实现集成,需要许多微加工工艺步骤。微加工工艺步骤(如图1-1)主要包括以下几个主要内容:

- ① 单晶生长;
- ② 薄膜生长;
- ③ 图形化(光刻、刻蚀);
- ④ 掺杂及热处理;
- ⑤ 层间转移和键合;
- ⑥ 表面处理及清洗。

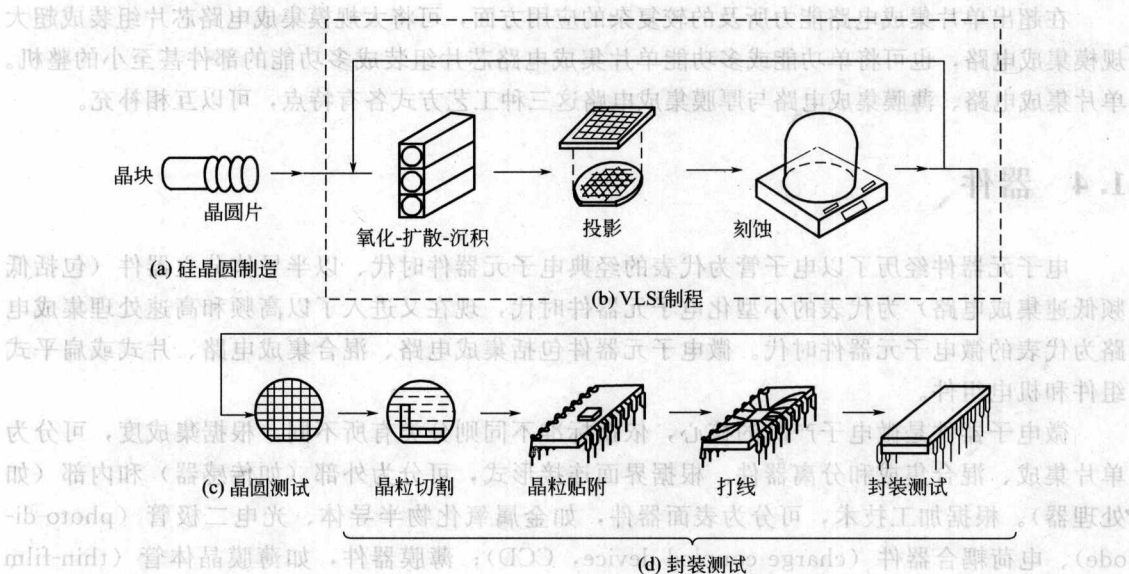


图 1-1 集成电路制造流程

以上的工艺步骤并不存在绝对的先后顺序,需要根据不同器件的要求专门进行工艺设计。例如,光刻和刻蚀工艺有时需要反复进行多次,而表面处理和清洗工艺也不是孤立的,它连接了前一道工序和后一道工序。

电子集成技术按工艺方法分为以硅平面工艺为基础的单片集成电路、以薄膜技术为基础的薄膜集成电路和以丝网印刷技术为基础的厚膜集成电路。

单片集成电路工艺是利用研磨、抛光、氧化、扩散、光刻、外延生长、蒸发等一整套平面工艺技术,在一小块硅单芯片上同时制造晶体管、二极管、电阻和电容等组件,并且采用一定的隔离技术使各组件在电性能上互相隔离,然后在硅片表面蒸发铝层并用光刻技术刻蚀

成互连图形,使组件按需要互连成完整电路,制成半导体单片集成电路。

随着单片集成电路从小、中规模发展到大规模、超大规模集成电路,平面工艺技术也随之得到发展。例如,外延生长采用超高真空分子束外延技术,扩散掺杂改用离子注入掺杂工艺,紫外光常规光刻发展到电子束曝光制版、等离子刻蚀等。

薄膜集成电路工艺是指整个电路的晶体管、二极管、电阻、电容和电感等组件及其间的互连线全部用厚度在 $1\mu\text{m}$ 以下的金属、半导体、金属氧化物、多种金属混合相、合金或绝缘介质薄膜,并通过真空蒸发工艺、溅射工艺和电镀等工艺重叠构成。

厚膜集成电路工艺是用丝网印刷工艺将电阻、介质和导体涂料淀积在氧化铝、氧化铍陶瓷或碳化硅衬底上,淀积过程是使用一个细目丝网来制作各种膜的图案,基片经过清洗后印刷导电涂料,制成内连接线、电阻终端焊接区、芯片黏附区、电容器的底电极和导体膜,制件经干燥后焙烧成形,挥发掉胶合剂,烧结导体材料,随后用印刷和烧成工艺制出电阻、电容、跨接、绝缘体和色封层。有源器件用低共熔焊、再流焊、低熔点凸点倒装焊或梁式引线等工艺制作,然后装在烧好的基片上,焊上引线便制成厚膜电路。

厚膜工艺所用工艺设备比较简易,电路设计灵活,生产周期短,散热良好,所以在高压、大功率和无源组件公差要求不太苛刻的电路中被使用较为广泛。另外,厚膜电路在工艺制造上容易实现多层布线。

在超出单片集成电路能力所及的较复杂的应用方面,可将大规模集成电路芯片组装成超大规模集成电路,也可将单功能或多功能单片集成电路芯片组装成多功能的部件甚至小的整机。单片集成电路、薄膜集成电路与厚膜集成电路这三种工艺方式各有特点,可以互相补充。

1.4 器件

电子元器件经历了以电子管为代表的经典电子元器件时代、以半导体分立器件(包括低频低速集成电路)为代表的小型化电子元器件时代,现在又进入了以高频和高速处理集成电路为代表的微电子元器件时代。微电子元器件包括集成电路、混合集成电路、片式或扁平式组件和机电组件。

微电子器件是微电子产品的核心,依据标准不同则分类有所不同。根据集成度,可分为单片集成、混合集成和分离器件。根据界面连接形式,可分为外部(如传感器)和内部(如处理器)。根据加工技术,可分为表面器件,如金属氧化物半导体、光电二极管(photo-diode)、电荷耦合器件(charge coupled device, CCD);薄膜器件,如薄膜晶体管(thin-film transistor, TFT)、气体传感器(gas sensitive transducer)、继电器(relay);叠层器件,如微机电系统(MEMS)、绝对压力传感器(absolute pressure sensor, APS)、推进器;以及体积器件,如太阳能电池(solar cell)、功率晶体管(power transistor)、辐射探测器(radiation detectors)。根据材料可分为硅、碳化物、第Ⅲ~Ⅴ族以及聚合物和玻璃。

微电子产品主要有电容器、压敏电阻、网络电阻、片状电阻、厚膜电路、电子材料、成套电子专用设备、仪器等。

1.5 未来趋势

目前,我们正处在一场跨越时空的信息革命中。微电子技术的发展,大大推动了航空技

术、通讯技术、信息技术、网络技术及家用电器产业的迅速发展。如今，微电子技术已成为衡量一个国家科技进步和综合国力的重要标志。

自 1958 年集成电路被发明以来，集成电路技术一直以极高的速度发展。集成电路芯片的发展规律基本上遵循了 Intel 公司创始人之一的 Cordon E. Moore 1965 年的预言（摩尔定律）：集成电路的集成度（每个微电子芯片上集成的器件数）每 3 年左右为两代，每代集成度增加 4 倍，特征尺寸缩小为原来的 1/2（见表 1-1）。1974 年，IBM 的 Dennard 等人提出了按比例缩小原理（scaling down principle），即特征线条越窄，IC 的工作速度越快，单元功能消耗的功率越低，从而在原理上确定了微电子“越小，越密，越快，越省电，越廉价”这一发展优势，为 Moore 定律建立了理论根据。所以，IC 的每一代发展不仅使集成度提高，同时也使其性能（速度、功耗、可靠性等）大大改善。微电子产业 30 多年来发展的状况也证实了 Moore 的预言，而且据科学家预测，这种发展趋势还将继续下去。

表 1-1 集成电路技术发展规律（未来为预测）

项 目	年 份							
	1995	1998	2001	2004	2007	2010	2013	2016
DRAM1/2(接触)/ μm	0.35	0.25	0.18	0.13	0.045	0.032	0.022	0.016
DRAM 集成度/bit	64M	256M	1G	4G	16G	32G	64G	128G
硅片直径/mm	200	300	300	300	300	300	450	450

随着硅片尺寸的不断增大和集成度的提高，制作器件就会碰到物理“限制”这一严重问题。硅微电子发展的“极限”究竟在哪里？能否突破这个物理限制？这些是当前微电子技术发展的重大研究课题。

在集成度一代代提高的同时，芯片的性能、功能不断增强，而价格却不断下跌。这一现象的深远意义在于：随着微电子技术的快速发展，一切微电子产品（计算机、通信及消费类产品等）也加速更新、换代。不仅新一代产品性能、功能大大超过前一代，而且价格的便宜又为电子信息技术的不断推进及其迅速应用创造了条件，导致了人类信息化社会的到来。

随着电子设备与系统的发展，特别是网络技术和多媒体技术的发展，传统芯片在速度性能和功能上已不能完全满足需要。所以，除提高速度性能外，实现单片芯片上多功能化也是势在必行。多媒体芯片和片上系统（system on chip, SOC）的开发正是实现此目标的重要途径，也是这种技术发展趋势的反映。从 1995 年开始，众多的美国公司就涉足于多媒体芯片的设计和开发，目前，国际上可以制造出集成 DSP、MCU、DRAM、SRAM、FLASH 和 ROM 等多功能芯的 SOC。发展迹象表明：具有较强的声音、三维图形、通信和图像处理能力的新型多媒体芯片将是未来芯片的主流。

式电子器件于1947年问世。随着晶体管器件的广泛应用，晶体管技术迅速发展，晶体管器件、晶体管电路、晶体管系统、晶体管计算机等相继问世。晶体管器件的广泛应用，使得晶体管技术成为电子工业的基础技术之一。

晶体管器件的广泛应用，使得晶体管技术成为电子工业的基础技术之一。

晶体管器件的广泛应用，使得晶体管技术成为电子工业的基础技术之一。

晶体管器件的广泛应用，使得晶体管技术成为电子工业的基础技术之一。

晶体管器件的广泛应用，使得晶体管技术成为电子工业的基础技术之一。

晶体管器件的广泛应用，使得晶体管技术成为电子工业的基础技术之一。

原子在某种材料内部周期重复排列成固定的结构，这种材料称为晶体（crystals）。原子没有固定的周期性排列的材料称为非晶体或无定形材料。材料中由一种周期性排列结构的晶体构成，称为单晶，如果是由多个单晶聚集，称为多晶。单晶材料比多晶材料具有更一致和更可预测的特性。在晶圆制造工艺中，晶体的一致性对于将晶圆分割成无粗糙边缘的是至关重要的。

第一代半导体晶体是锗单晶（Ge）和硅单晶（Si）。目前锗单晶正逐渐被大直径、高纯度、高均匀度的硅单晶所取代，由它们制成的各种二极管、三极管、场效应管、可控硅及大功率管等器件在无线电子工业上有着极其广泛的用途。硅是一种重要的半导体材料，硅可用于制备集成电路、晶体管、硅整流器等半导体材料。制造硅器件主要用单晶硅。

从提高硅集成电路成品率、降低成本方面考虑，增大直拉硅（CZ-Si）单晶的直径和减小微缺陷的密度仍是今后发展的总趋势。从进一步提高硅 IC 的速度和集成度看，研制适合于硅深亚微米乃至纳米工艺所需的大直径硅外延片会成为硅材料发展的主流。

第二代半导体晶体为Ⅲ-V族化合物，如砷化镓（GaAs）、磷化铟（InP）、磷化镓（GaP）、氮化镓（GaN）等单晶。GaAs 单晶材料是目前最重要、最成熟的化合物半导体材料，广泛应用于光电子和微电子领域。InP 单晶材料是光纤通信及光集成电路（长波长）光电器件的关键基础材料，在微波、毫米波器件中具有比 GaAs 更高的频率和更大的功率、更好的抗核辐射性以及更低的噪声系数，是 GaAs 之后的又一代高技术功能电子材料，在民用/军用微波、毫米波光电器件等高技术领域中得到广泛应用，是应用前景广泛的化合物半导体材料。由于 GaN 晶体材料具有很宽的禁带宽度（室温下为 3.4eV），因而是蓝绿光发光二极管（light emitting diode, LED）、激光二极管（laser diode, LD）及高功率集成电路的理想材料。若能进一步提高 GaN 晶体的质量，它将在发光器件、光通讯系统、CD 机、大屏幕全色显示系统、超薄电视等方面得到广泛的应用。

目前，为了满足对更高性能的需求，已发展到三元或多元化合物的半导体晶体。

2.2 硅

硅是大多数半导体和微电子芯片的主要原料。硅是自然界中最丰富的元素，地壳成分的 27.8% 是由硅元素构成的。石英是地壳中二氧化硅（silica）的主要存在形式。普通的沙子主要由小石英颗粒组成。在玛瑙、燧石、多种岩石和普通的滩石中也存在硅元素，但都不是

提炼硅的主要原料。各种硅的化合物需要提纯出硅才能使用，真正能用于半导体生产用的原料都来源于高纯硅石（即石英矿）。用作半导体材料的硅是经还原提纯的高纯硅，它有非晶、多晶、单晶三种形态。

相对来说，硅的资源十分丰富，具有易于提纯、价格低廉等特点。而且硅器件易于实现平面工艺，效率高、寿命长、体积小、导热好、耐高温、可靠性高，大多数半导体器件都选用硅作原料。

2.3 硅的晶体结构与性能

硅属金刚石型晶格结构，晶格常数为 $5.42 \times 10^{-10} \text{ m}$ ，熔点为 1417°C ，性脆易碎，密度小而硬度大，是呈银灰色金属光泽的非金属材料。硅自身的导电性并不是很好，然而，可以通过添加适当的掺杂剂来精确控制它的电阻率。

硅的晶体结构（crystal structure）是由 18 个硅原子所构成的金刚石型晶格结构（如图 2-1）。从图中可以看出，金刚石结构是立方面心格子。硅原子位于立方面心的所有结点位置和交替分布在立方体内的 4 个小立方体的中心。每个硅原子周围都有 4 个硅，硅原子之间形成共价键。其晶胞（crystal cell/unit cell）可以看作是由 2 个面心立方体晶格插在一起形成的，晶胞的边长 a 为 5.43095 \AA ($1 \text{ \AA} = 0.1 \text{ nm}$)，2 个原子之间的距离是 $(3/4a)^{1/2}$ ，半径是 $(3/8a)^{1/2}$ 。参见图 2-2，在图中的 18 个原子中，处于顶点的 8 个硅原子被 8 个晶胞所分，处于面上的 6 个硅原子则被 2 个相邻的晶胞所分，而分布在立方体内的 4 个小立方体的中心的硅原子则完全属于这一个晶胞，则这个晶胞中所占有的硅原子个数为 $8 \times 1/8 + 6 \times 1/2 + 4 = 8$ ，硅原子在晶胞中只占 34% 的体积，这种体积占有率很小的开放型的结构对于硅的扩散是相当重要的。

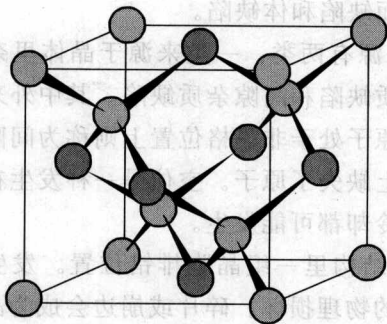


图 2-1 立方体金刚石晶格结构

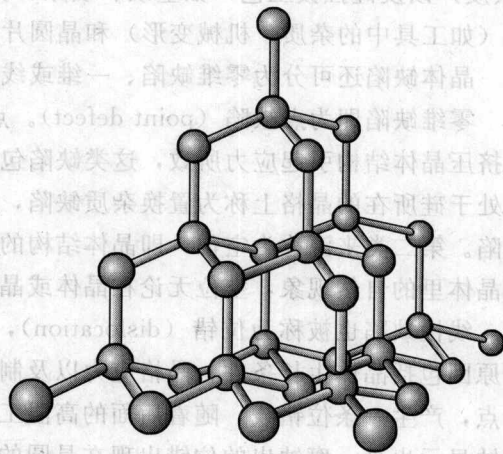


图 2-2 硅的晶体结构

对于特定性能需求的晶圆，除了要求单晶结构之外，还需要有特定的晶体取向（crystal orientation）。平面性能之所以不同在于原子数和原子间的结合能。每个平面具有不同的物理和化学特性。

晶面通常用密勒（Miller）指数来表示。这是一个三组数字组合。Miller 指数定义了一个单晶体的每个晶面，一个晶面的 Miller 指数就是它与坐标轴的相交值的倒数再乘以分母

的最小公倍数。两个在硅晶圆中最通常使用的晶向是 (100) 和 (111) 晶面。(100) 晶向的晶圆用来制造 MOS 器件和电路, 而 (111) 晶向的晶圆用来制造双极型器件和电路。注意, 在图 2-3 中, (100) 晶面有一个正方形, 而 (111) 晶面有一个三角形。当晶圆破碎时这些定向会如图 2-4 展现出来。(100) 晶向的晶圆碎成四方形或正好 90° 破裂, 而 (111) 晶向的晶圆碎成三角形。

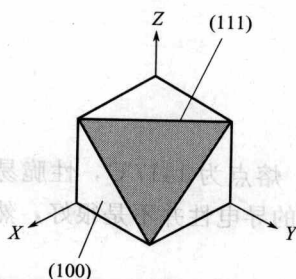


图 2-3 立方体晶体的 (100) 和 (111) 面

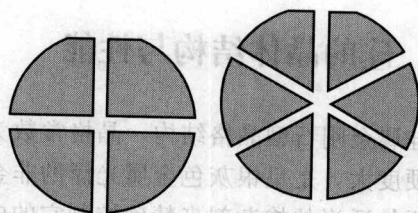


图 2-4 硅晶圆片 (100) 和 (111) 面的典型裂开方式

2.4 硅晶体中的缺陷和非理想状态

微电子器件需要高度在成分和结构上都完美的晶体。但实际上, 晶体都不是绝对完美的, 这种不完美称为晶体缺陷。晶体缺陷会产生不均匀的二氧化硅膜生长、差的外延膜的淀积、晶圆里不均匀的掺杂层及其他问题, 从而导致工艺问题。

根据缺陷的来源可将它们分为生长引入缺陷和加工引入缺陷。其中生长引入缺陷与原料(杂质)以及硅拉拔工艺(如空缺、填隙、沉积、位错)有关, 而加工引入缺陷则与切片加工(如工具中的杂质、机械变形)和晶圆片加工(如晶体缺陷、沉积、机械变形)相关。

晶体缺陷还可分为零维缺陷、一维或线性缺陷、面缺陷和体缺陷。

零维缺陷即为点缺陷 (point defect)。点缺陷的来源有两类: 一类来源于晶体里杂质原子挤压晶体结构引起应力所致, 这类缺陷包括置换杂质缺陷和间隙杂质缺陷。其中外来的原子处于硅所在的晶格上称为置换杂质缺陷, 而外来的原子处于非晶格位置上则称为间隙杂质缺陷。第二类来源称为空位, 即晶体结构的某个位置上缺失了原子。空位是一种发生在每一个晶体里的自然现象, 空位无论在晶体或晶圆加热和冷却都可能发生。

线性缺陷也被称为位错 (dislocation), 是在晶体结构里一组晶胞排错位置。发生位错的原因包括晶体生长条件、晶格应力以及制造过程中的物理损坏。碎片或崩边会成为晶格应力点, 产生一条位错线, 随着后面的高温工艺扩展到晶圆内部。位错能通过表面一种特殊的腐蚀显示出来, 腐蚀出的位错出现在晶圆的表面上, 形状代表了它的晶向。(111) 的晶圆腐蚀出三角形的位错, (100) 的晶圆出现方形的腐蚀坑 (如图 2-4)。

面缺陷包括堆垛层错 (oxidation induced stacking faults, OISF)、晶界 (grain boundary) 和双晶界。改变体积的加工工序 (如氧化) 会导致杂质和面位错的产生。

体缺陷包括空隙和沉淀。空隙是由于在某些工艺 (如晶体拉拔) 中空位的聚集所产生的, 由于过去用激光散射仪对它进行探测, 空隙和颗粒的表现是一样的, 所以也将空隙归为颗粒的一种, 被称为晶体原生颗粒 (crystal originated particles, COP)。随着科技的发展,

目前已可以用多角度散射仪来区分空隙和颗粒。沉淀是在硅锭冷却过程中，杂质含量和掺杂浓度超过了其固溶度，而多余的不溶的杂质和掺杂物就会析出。沉淀可能发生在硅锭表面或内部，而内部的沉淀会成为一个杂质汇集的中心，有时是有益的。氧沉淀（oxygen precipitates）就属于沉淀缺陷。

2.5 硅的晶体生长及设备

1950年，硅单晶作为半导体材料开始进入实用化阶段。制作单晶硅的工艺主要有直拉法、区熔法和外延法。直拉法适宜于生长低电阻大直径单晶，其径向杂质分布均匀，适宜作低压硅器件和集成电路的材料。区熔单晶径向杂质分布均匀性较直拉法差，但氧、碳含量低，用高阻区熔单晶经过中子辐照可以得到杂质分布均匀性相当满意的单晶材料，适宜于制作高压大功率器件。影响单晶质量的关键因素是晶格缺陷和杂质。

任何集成电路的制造都离不开衬底材料——单晶硅，而制备衬底材料单晶硅的方法则主要为悬浮区熔法和直拉法，而外延法则用于生长单晶硅薄膜。直拉法生长的单晶硅主要用于半导体集成电路、二极管、外延片衬底、太阳能电池等。区熔法单晶广泛用于大功率输变电、电力机车、变频、机电一体化、节能灯、电视机等系列产品。外延法所制备的外延片主要用于集成电路领域。

2.5.1 硅的纯化

尽管含硅化合物储量丰富，但自然界中不存在单质硅，故需要对硅进行纯化。硅的纯化工艺是硅晶圆制备中的第一步，如图2-5所示。通过在电炉里人工加热石英砂和碳可制得纯

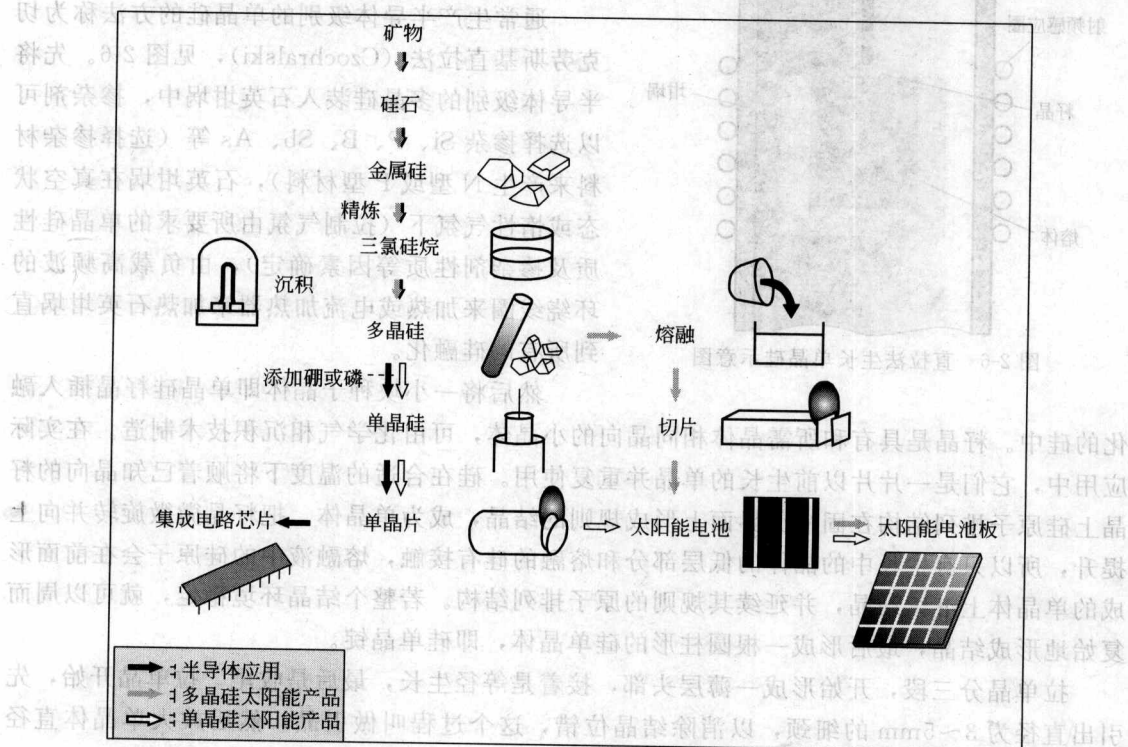
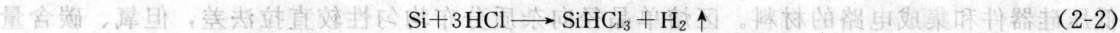


图 2-5 硅的纯化工艺

度为 98% 的纯净硅。其中碳和原本二氧化硅中的氧结合，留下或多或少熔融状态的硅。化学反应式如式 (2-1)，当硅冷却时，无数微小的晶体就形成了，而后它们会合成在一起形成有细密纹理的灰色固体。由于灰色固体是由大量晶体组成的，这种硅被称为多晶硅，这种生成的硅也被称为冶金级硅 (metallurgical grade silicon, MGS)。杂质和混乱的晶体结构使得冶金级别的多晶硅不适合制造半导体。



进一步提纯冶金级硅能产生特别纯净的半导体级别物质。首先将冶金级硅通过反应 (2-2) 生成三氯硅烷 (trichlorosilane)。然后通过蒸馏法对三氯硅烷进行纯化，可去除原冶金级硅中的杂质，如 PCl_3 、 PCl_5 、 FeCl_3 、 BCl_3 。



经过反复的蒸馏后，用氢气把特别纯的三氯硅烷还原为硅。此时所获得的硅已具有非常高的纯度了，被称为电子级硅 (electronic grade silicon, EGS)。化学反应式如下：



虽然最终的产物已经非常纯净，但仍是硅的多晶体。实用的集成电路只能用单晶制造，所以下一步就是利用这种多晶硅为原材料生长单晶硅。

2.5.2 直拉法生长单晶硅

随着超大规模集成电路的不断发展，不但要求单晶硅的尺寸不断增加，而且要求所有的杂质浓度能得到精密控制，而比较传统的悬浮区熔法无法满足这些要求。目前市场上的单晶硅绝大部分是采用直拉法制备得到的。

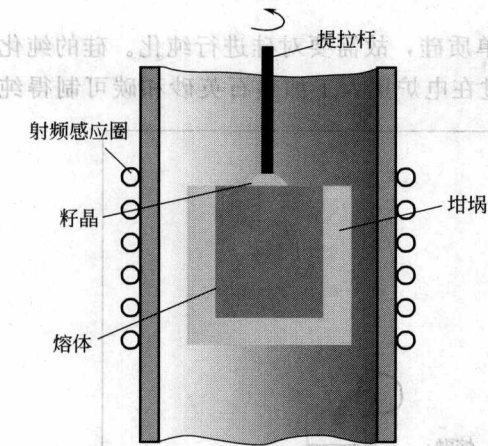


图 2-6 直拉法生长单晶硅示意图

通常生产半导体级别的单晶硅的方法称为切克劳斯基直拉法 (Czochralski)，见图 2-6。先将半导体级别的多晶硅装入石英坩埚中，掺杂剂可以选择掺杂 Si、P、B、Sb、As 等（选择掺杂材料来产生 N 型或 P 型材料），石英坩埚在真空状态或惰性气氛下（控制气氛由所要求的单晶硅性质及掺杂剂性质等因素确定），由负载高频波的环绕线圈来加热或电流加热器来加热石英坩埚直到所有的硅融化。

然后将一小块种子晶体即单晶硅籽晶插入融化的硅中。籽晶是具有和所需晶体相同晶向的小晶体，可由化学气相沉积技术制造。在实际应用中，它们是一片片以前生长的单晶并重复使用。硅在合适的温度下将顺着已知晶向的籽晶上硅原子排列结构在固液交界面上形成规则的结晶，成为单晶体。把籽晶微微旋转并向上提升，所以只有生长中的晶体的低层部分和熔融的硅有接触，熔融液中的硅原子会在前面形成的单晶体上继续结晶，并延续其规则的原子排列结构。若整个结晶环境稳定，就可以周而复始地形成结晶，最后形成一根圆柱形的硅单晶体，即硅单晶锭。

拉单晶分三段，开始形成一薄层头部，接着是等径生长，最后是收尾。拉单晶开始，先引出直径为 3~5mm 的细颈，以消除结晶位错，这个过程叫做引晶。然后放大单晶体直径至工艺要求，进入等径阶段，直至大部分硅熔液都结晶成单晶锭，只剩下少量剩料。

控制直径、保证晶体等径生长是单晶制造的重要环节。为了实现均匀生长、均匀掺杂、完美晶体和直径控制，籽晶和坩埚（伴随着拉速）在整个晶体生长过程中是以相反的方向旋转的。工艺控制需要一套复杂的反馈系统，综合转速、拉速及熔融物温度参数。当结晶加快时，晶体直径会变粗，提高升速可以使直径变细，增加温度能抑制结晶速度；反之，若结晶变慢，直径变细，则通过降低拉速和降温去控制。直径检测必须隔着观察窗在拉晶炉体外部非接触式进行。拉晶过程中，固态晶体与液态熔融液的交界处会形成一个明亮的光环，亮度很高，称为光圈。它其实是固液交界面处的弯月面对坩埚壁亮光的反射。当晶体变粗时，光圈直径变大，反之则变小。通过对光圈直径变化的检测，可以反映出单晶直径的变化情况。自动直径检测就是基于这个原理发展起来的。

大直径硅单晶的收颈是为了抑制位错大量地从籽晶向颈部以下单晶延伸，收颈是靠增大提拉速度来实现的。一旦晶体生长到它的最终尺寸，就将它从熔融的液体中提起来，慢慢冷却到室温。最终的单晶硅称为硅锭。由于熔融硅存在很大的表面张力，所形成的硅锭为圆柱形。

在熔硅阶段石英坩埚位置的调节很重要。开始时，坩埚位置很高，待下部多晶硅熔化后，坩埚逐渐下降至正常拉晶位置。熔硅时间不宜过长，否则掺入熔融硅中的多晶硅会挥发，而且石英坩埚也容易被熔蚀。所用掺杂剂可在拉制前一次性加入，也可在拉制过程中分批加入。

为了得到所需纯度和尺寸的晶体，需要对 Czochralski 工艺进行控制。自动化系统可以控制熔化物质的温度和晶体生长的速度。在单晶硅生长过程中应保持熔硅液面在温度场中的位置不变，因此，坩埚必须自动跟踪熔硅液面下降或上升。同时，拉晶速度也应自动调节以保持等直径生长。

晶体中的掺杂浓度可以通过把少量的掺杂多晶硅加到熔融状态的硅中进行控制。除了故意加入的杂质，石英坩埚里的氧和加热物质中的碳会溶解到熔融状态的硅中，从而混入生长中的晶体。这些杂质会改变最终硅的电学特性。不同的掺杂剂的分凝系数很不相同，其分凝系数 $k = \text{固体中的浓度} / \text{液体中的浓度}$ ，而氧是有可能优先进入固相硅中的唯一材料。由于掺杂剂的分凝系数小于 1，对照于最后的硅锭，要在硅熔融液中加入过量的掺杂剂，随着拉拔过程的进行，硅熔融液的体积会减小，掺杂剂的浓度会随之升高，而硅锭中的氧浓度也会降低，这与硅熔融液与石英坩埚接触面积的降低、硅熔融液的流动形式及硅坩埚表面温度等因素有关。另外，由于在生长过程中，晶体是一起旋转的，中间层和边缘层的厚度是不同的，这就造成掺杂呈辐射状及氧的浓度的不均一性。所以，对于整个硅锭而言，掺杂度和氧浓度是不确定的。

2.5.3 区熔法生长单晶硅

区熔法（float zone, FZ）是在 20 世纪 50 年代被提出并很快被应用到晶体生长技术中的。用这种方法制备的单晶硅的电阻率非常高，特别适合制作电子器件。虽然目前悬浮区熔法制备的单晶硅所占有的市场份额较小，但其仍然在特殊需要中被使用。例如，对于有些器件（高功率的晶闸管和整流器），高的氧含量是不能被接受的，而直拉法的一个缺点即是坩埚中的氧进入到晶体中造成硅锭的不纯。对于制造高纯度硅或无氧硅等特殊要求，晶体必须用区熔法来生长。

区熔法生长的晶体与直拉法生长的晶体相比较，具有较高的位错密度，其成本也较高，并且所生产的晶圆片尺寸比较小。但是，区熔法不需要使用石英坩埚，能够生长出低氧含量

的高纯晶体，也避免了从坩埚中引入金属杂质。与直拉法相比，区熔法所制备的硅具有高的电阻率，可达到 $20000\Omega\cdot\text{cm}$ ，而直拉法所生产的硅的电阻率仅在 $100\sim 1000\Omega\cdot\text{cm}$ 之间。然而，由于区熔法所制备的为高纯度硅或无氧硅，缺少了氧对硅力学性能的加强，所以其机械强度要比直拉法所制备的硅要小。区熔法中所使用的掺杂剂也与直拉法不同，其是通过使用气态掺杂剂（如 PH_3 、 B_2H_6 ）冲刷熔融区域来实现的。另外，可以通过中子嬗变掺杂（neutron transmutation doping, NTD）来得到高电阻率的晶圆片，即一个硅原子核捕捉一个中子，然后通过 β 衰变而转变为一个新的原子核。其反应式如下：



这也就是为什么区熔法可以生产 N 型高电阻率的硅。区熔法包括水平区熔法和悬浮区熔法。

2.5.3.1 水平区熔法

水平区熔法主要用于材料的物理提纯，也用来生长单晶体，其装置如图 2-7 所示。水平区熔法是将材料置于水平舟内，通过加热器加热。先在舟端放置籽晶，并使其与多晶材料间产生熔区，然后以一定的速度移动熔区，使熔区从一端移至另一端，使多晶材料变为单晶体。此方法的优点是减小了坩埚对熔体的污染、降低了加热功率，而且这种工艺过程可以反复进行，从而提高了晶体的纯度。这种方法多用于制备单晶锗。

硅在熔融状态下有很强的化学活性，几乎没有不与它发生反应的容器，即使高纯石英舟或坩埚，也要和熔融硅发生化学反应，使单晶的纯度受到限制。因此，目前不用水平区熔法制取纯度更高的单晶硅。

2.5.3.2 悬浮区熔法

悬浮区熔法是一种垂直区熔法，其装置如图 2-8 所示。悬浮区熔法晶体生长需要一根多晶棒以及浇注在模子里的掺杂物。籽晶熔合到棒的一端，夹持器装在单晶炉里。当高频线圈加热多晶棒和籽晶的界面时，多晶到单晶的转变开始了。线圈沿着多晶棒的轴移动，一点点把多晶棒加热到液相点。在每一个熔化的区域，原子排列成末端籽晶的方向。这样整个棒以籽晶的定向而转变成一个单晶。

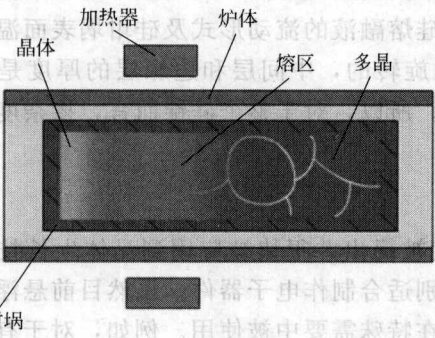


图 2-7 水平区熔法示意图

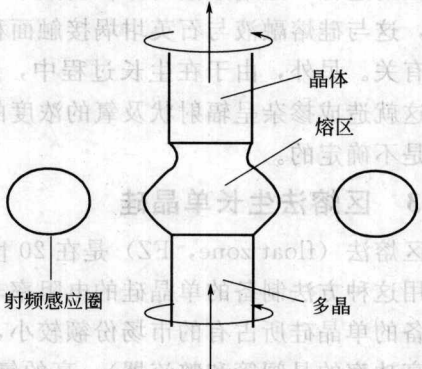


图 2-8 悬浮区熔法示意图

因为悬浮区熔法是依靠表面张力支持着正在生长的单晶和多晶棒之间的熔区，而熔融硅有较大的表面张力和较小的密度，所以悬浮区熔法是生长单晶硅的优良方法。这种方法不需要坩埚，免除了坩埚污染。此外，由于加热温度不受坩埚熔点限制，因此可以用来生长熔点

高的材料,如单晶钨等。

2.5.4 外延法

外延是指在一定条件下,通过一定方法获得所需原子,并使这些原子有规则地排列在衬底上,通过排列时控制有关工艺条件,形成具有一定的导电类型、电阻率及厚度的新单晶层的过程。

外延生长法(epitaxial growth)能生长出和单晶衬底原子排列同样的单晶薄膜。在双极型集成电路中,为了将衬底和器件区域隔离,即进行电绝缘,在P型衬底上外延生长N型单晶硅层。在MOS集成电路中也广泛使用外延生长法,可以容易地控制器件的尺寸,达到器件的精细化。此时,用外延生长法外延一层杂质浓度低的单晶层(衬底为高浓度的基片),可降低电阻,达到基极电位稳定的目的。外延生长法可以在平面或非平面衬底生长,能获得十分完善的结构。关于外延法将于第4章中进行详细介绍。

2.5.5 生长设备

2.5.5.1 石英坩埚

石英坩埚用于盛放多晶硅原料(如图2-9所示),其质量是单晶生长的关键。石英坩埚的原料为石英玻璃,因此它在许多方面接近石英玻璃的特点,但是它的抗冲击性能好于石英玻璃,可以制成大规格及形状各异的坩埚产品。单晶硅生长所用盛装原料多晶硅的坩埚是由玻璃质(vitreous)二氧化硅制成的。

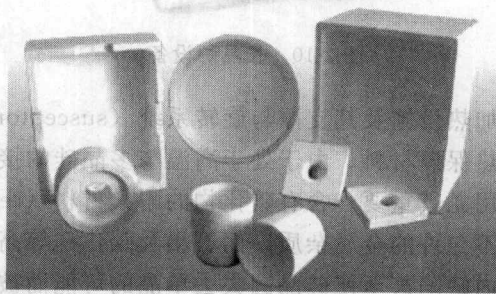


图2-9 石英坩埚

石英坩埚具有以下几点主要性能。

- ① 石英坩埚的热膨胀系数为 $0.5 \times 10^{-6} \text{ }^{\circ}\text{C}^{-1}$,可在 1700°C 以下灼烧,但灼烧温度高于 1100°C 石英会变成不透明,其在 $1100 \sim 20^{\circ}\text{C}$ 温度水冷急变三次下不炸裂。
- ② 石英坩埚的体积密度为 $1.9 \sim 1.95 \text{ g/cm}^3$,气孔率小于 15% ,耐压强度大于 45 MPa 。
- ③ 石英坩埚中 SiO_2 的含量大于 99.5% ,耐盐酸、硫酸、氯气、磷酸侵蚀,但不能和 HF 接触,高温时,极易和苛性碱及碱金属的碳酸盐作用。所以,除 HF 外,普通稀无机酸可用作石英坩埚的清洗液。

- ④ 石英坩埚的电击穿强度为 $16 \sim 20 \text{ kV/mm}$,介电常数为 $3.17 \sim 3.42$ ($20 \sim 1300^{\circ}\text{C}$)。

影响石英坩埚质量的因素包括坩埚气孔大小和分布、材料韧性关系、热传导性质等。选用坩埚的直径大小由长晶炉的大小而定。

对于拉制大直径单晶,除了应考虑减小熔体温度波动和晶体热应力外,如何选用石英坩埚也很关键。石英坩埚不仅要拥有好的表面清洁度,而且其纯度要更高。一方面,如果石英坩埚的表面清洁度不好,由于大石英坩埚壁的使用温度比小石英坩埚壁高很多,使熔体和石英坩埚的反应更为剧烈,从而增加了坩埚内壁方石英层的形成。这种方石英层的粒子容易脱落进入熔体中,而后经过熔体输运到生长界面引起位错。另一方面,坩埚的纯度不高将导致坩埚的软化点较低,容易引起坩埚变形并使热场发生变化,造成拉晶困难。

2.5.5.2 长晶炉

长晶炉设备如图2-10所示,其剖视图如图2-11所示。长晶炉主要包括一密闭腔室、石

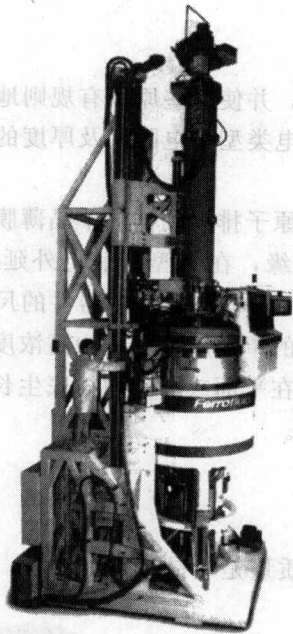


图 2-10 长晶炉设备

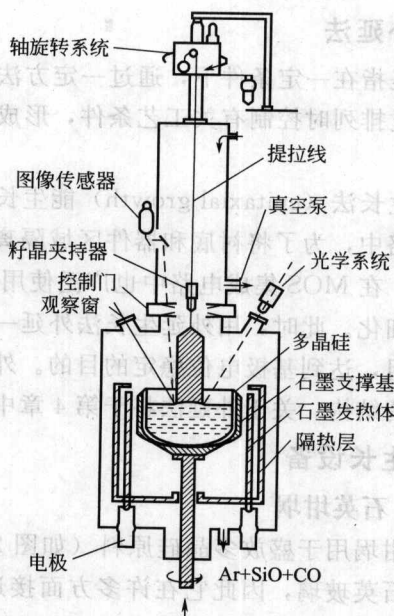


图 2-11 长晶炉剖视图

墨加热设施及其支撑与旋转系统 (susceptor)，加热设施与水冷双层炉壁间有石墨制的低密度热保温材料。由于处于高温与多晶硅的接触，而对于硅晶圆的纯度要求又高，因此坩埚的选用尤其重要。含有碳化物的耐火材料 (refractory carbide) (如 TiC) 会使硅晶圆中混入一些不允许的金属杂质，而石墨及碳化硅等高温稳定陶瓷也因可能与硅反应析出 SiC 而造成晶体缺陷甚至使硅晶圆失去单晶的可能而被排除。所以，目前几乎所有 CZ 长晶系统均使用高纯度石英 (fused silica or quartz) 为坩埚材料。为了避免石英坩埚热潜变导致的破裂，支撑石英坩埚的基座 (susceptor) 及整个热区 (hot zone) 则采用高纯度石墨为材料。

石墨坩埚是由焦炭 (petroleum coke) 及沥青 (coal-tar pitch) 为原料，采用冷等压制模 (isostatically molded) 或挤出法 (extruded) 制成的。长晶炉的热场 (thermal field) 分布状况以及长晶工艺条件和质量受石墨的材质、热导率及形状的影响。

为了避免硅在高温下氧化，炉子必须在惰性的氩气氛下操作。石英坩埚在高温且惰性的气氛下逐渐脱氧，化学反应如下：



其中，氧原子以气态一氧化硅的形式进入氩气流中排出长晶炉，或溶入硅熔融液中成为硅晶棒氧杂质的来源。另外，一氧化硅可与石墨反应生成碳化硅颗粒，其反应如下：



部分 C 可经由晶界面而进入单晶棒中。由于这些掺杂元素将影响各个 IC 组件的均匀电性及物性分布而导致 IC 产品合格率下降，所以它们在晶棒中的径向及轴向的分布和含量控制是长晶工艺参数控制中最重要的一环。

为了控制单晶棒的杂质成分免于各种污染源，不论是晶棒拉伸腔室或是石墨加热区域，真空或惰性气氛环境是长晶炉最基本的要求。但在高度真空状态下，由于硅熔融体与坩埚反

应而形成的 SiO 气体在硅熔融时的蒸气压约为 12mbar ($1\text{bar}=10^5\text{Pa}$), 如此真空状态将会使硅持续沸腾而影响拉晶动作进行的稳定性, 因此通常还是选择在惰性环境下进行。

晶棒直径是长晶工艺第一优先控制的参数, 而拉晶速度、转速、液面位置以及温度等是影响单晶尺寸的主要控制参数, 这些参数之间相互影响。不论是液面位置、温度或是晶棒外径的监测设施, 一般均采用非接触式的光学或是电子学技术间接方法来测量, 例如以激光监控液面。晶棒外径采用扫描照相机进行监测。在某固定直径的长晶条件下, 熔融液温度瞬间变高将导致晶棒直径有变小的倾向, 进而造成钨丝线上升速率急速变慢, 反之则变快。温度的不稳定会引起钨丝线上升速率交互跳动, 从而造成晶体质量不良。

硅金属熔融液温度, 尤其是液态表面温度的控制极为重要, 一般可以采用热电偶测量、红外线测温仪等对其进行控制。为了补偿散热率随熔融液逐渐减少而提高的问题, 加热器的输出功率是随着晶体生长而缓慢上升的。

硅晶种被纯度 99.7% 的钨丝线所悬挂, 晶体生长时, 钨丝线及晶棒将缓慢上升, 从而造成熔融液面下降。所以, 由冷等静压石墨制成的坩埚的支撑轴需不断地缓慢上升以保持固定的液体表面高度。光学影像测量系统固定扫描晶棒与熔融表面形成的凹凸光环 (meniscus) 大小, 以决定成长中晶棒的直径。

2.6 其他单晶

GaAs 和 InP 与硅不同, 它们都是直接带隙材料, 具有电子饱和漂移速度高、耐高温、抗辐照等特点, 在超高速、超高频、低功耗、低噪声器件和电路, 特别在光电子器件和光电集成方面有独特的优势。这些材料和制成的器件在激光通信、移动通信及全球定位系统、卫星接收等方面有广阔的应用。非掺杂半绝缘 GaAs 单晶是高速数字电路、微波单片电路、大功率器件、低噪声器件和功率模块的基础材料。InP 具有比 GaAs 更优越的高频性能, 发展的速度更快, 但研制直径 3in ($1\text{in}=25.4\text{mm}$) 以上大直径的 InP 单晶的关键技术尚未完全被突破, 价格也较高。

GaAs 和 InP 单晶的发展趋势是增大晶体直径、提高材料的电学和光学微区均匀性、降低单晶的缺陷密度 (特别是位错) 等。另外, GaAs (111) 也是目前生长 InN 薄膜的衬底材料。InN 薄膜在 GaAs (111) 衬底上的核化方式没有在白宝石衬底上生长 InN 薄膜时出现的柱状、纤维状结构, 表面非常平整。

液体掩盖直拉法 (LEC) 用来生长 GaAs 晶体, 实质上, LEC 和标准的直拉法一样, 由于在晶体生长的温度条件下, 镓和砷起反应, 砷会挥发出来形成不均匀的晶体, LEC 为 GaAs 做了重要改进。一方面是给单晶炉加压来抑制砷的挥发; 另一方面是液体掩盖直拉法工艺。液体掩盖直拉法使用一层氧化硼 (B_2O_3) 漂浮在熔融物上面来抑制砷的挥发。在这个方法中, 单晶炉里需要大约一个大气压。GaAs 和 InP 单晶的 VGF 生长技术发展很快, 很有可能成为其生长的主流技术。

GaN 结合了 SiC 的耐高压、高温特性与 GaAs 的高频特性, 近年来在光电子领域和高温高频电子应用前景备受关注。由于直接带隙宽, GaN 可用来制作蓝光 LED 及蓝/紫 LD, 在全彩显示、半导体照明、数据存储等方面具有良好的发展前景。GaN 还是制作紫外探测器的良好材料。由于具有化学稳定性好、热传导性能优良、击穿电压高、介电常数低等特点, GaN 在高温、大功率、高频器件方面的应用也极其引人注目。

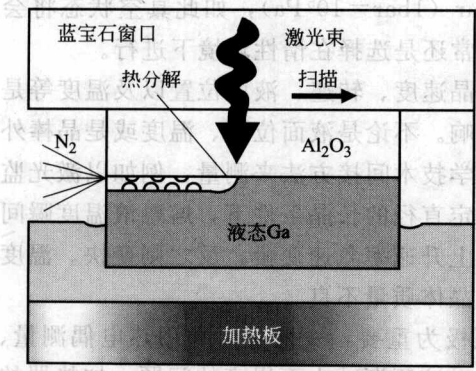


图 2-12 激光剥离示意图

GaN 体单晶衬底的生长方法包括 HVPE 法、气相传输法、高压氮气溶液法 (HNPSG)、助溶剂法、氨热法、提拉法。HVPE 工艺简单、生长速率快，是目前生长 GaN 体材料较常用的，也是实用化程度较高的方法。

HVPE 一般用来制备自支撑 GaN 单晶衬底。先用 HVPE 法生长 GaN 单晶外延层，然后从衬底上剥离下来，作为 GaN 单晶衬底使用。根据所采用衬底材料的不同，可以选择机械方法、化学腐蚀和激光剥离的方式去除衬底。由于目前主要用蓝宝石作衬底，激光剥离成为主流的剥离方法。

激光剥离是利用了 GaN 在高温下分解的特性，如图 2-12 所示，将激光从蓝宝石衬底射入，激光能量将被 GaN/Al₂O₃ 界面吸收，局部温度瞬间升高，使 GaN 分解为 N₂ 和液体 Ga，通过激光束的扫描，就可以将蓝宝石和 GaN 分开。

ZnO 单晶作为一种宽带半导体材料具有许多应用潜力，如制作探测器、新型大功率微波器件等。另外，ZnO 单晶所具有的光学、电学和结构特性优于 GaN、SiC 等其他的宽禁带材料，具有很好的抗辐照性能、对可见光透明、适合进行湿法化学加工处理等优点。这些特性使得 ZnO 光电器件在发用方面可用于超高密度光存储、全色显示、激光打印、污染检测仪、紫外光控制器、紫外光谱仪以及透明大功率电子器件等，在军用方面可用于激光器、飞机和导弹尾焰紫外探测、生化战剂监测和紫外报警器等。此外，ZnO 还具有优异的压电特性和光电特性，可用于制备高性能的声换能器、声表面波 (surface acoustic wave, SAW) 器件和可燃气体传感器件 (gas sensor)。ZnO 还是绿色环保的透明电极材料，可替代传统的 ITO 电极用于太阳能电池和 OLED 显示器。

(0001) 面蓝宝石晶体 (α -Al₂O₃ 单晶) 是目前最常用的 InN 的外延衬底材料，其具有良好的高温稳定性和力学性能，且由于对其研究较多，生产技术较为成熟，而且价格便宜，(0001) 面蓝宝石晶体现在仍然是应用最为广泛的衬底材料。

2.7 晶圆制备

晶圆是制作硅半导体所用的硅片，形状似圆形，故称晶圆。

将硅单晶棒制备成硅晶圆片的工艺即为晶圆成型。硅晶圆加工成型工艺步骤如图 2-13 所示，其中包括了结晶定位 (orientation)、切片 (slicing)、边缘磨圆 (edge contouring)、晶圆研磨 (lapping)、化学刻蚀 (etching)、热处理 (heat treatment) 及吸除法 (gettering)

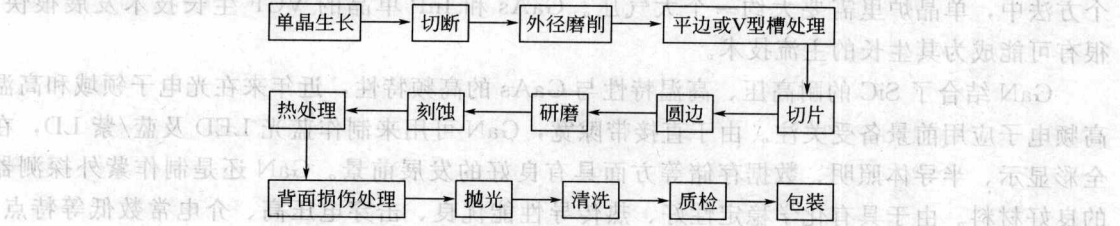


图 2-13 晶圆加工过程

等步骤。

SOI 技术是降低晶体管漏电流的有效措施, 而应变硅技术是提高晶体管速度的有效途径。目前制造 SOI 晶圆的方法主要有两种: 一是注氧隔离法 (separation by implantation of oxygen, SIMOX), 另一种是智能剥离法 (smart-cut)。注氧隔离法是采用大束流专用氧离子注入机把氧离子注入到硅晶圆中, 然后在惰性气体中进行不小于 1300°C 高温退火, 从而在硅晶圆顶部形成厚度均匀的极薄表面硅层和 SiO_2 埋层。其优点是硅薄层和 SiO_2 埋层的厚度可精确控制, 缺点在于由于氧注入会引起对硅晶格的破坏, 导致硅薄层缺陷密度增高。

智能剥离法是利用中等剂量氢离子注入，在一个硅晶圆中形成气流层，于低温情况下和另一个硅晶圆键合，然后进行热处理使注氢的硅晶圆片从气流层剥离出来，最后对硅表面层进行化学机械抛光，使其表面光滑。其优点是硅薄层缺陷密度低，硅薄层和 SiO_2 埋层厚度也易控制。

3

薄 膜

3.1 概述

薄膜材料和工艺在微电子产业中占有非常重要的地位，其被广泛用于电阻、电感、电容、金属导线的制备等领域。薄膜材料可以充当微电子器件中的一部分而被永久使用，可以在微加工中作为保护层、牺牲层，在刻蚀和扩散工艺中也可作为掩模进行使用。

薄膜材料是典型的二维材料，与一般常用的三维块体材料相比，在性能和结构上具有很多特点。作为二维材料，薄膜最大的特点是尺寸优势，利用这个特点可以实现各种元器件的集成化和微型化。另一方面，功能膜的某些性能可以在制备时通过特殊的薄膜工艺技术实现。

薄膜材料表面性质极为突出，存在一系列与表面界面有关的物理效应：①光干涉效应引起的选择性透射和反射；②在表面，原子周期性中断，产生的表面能级、表面态数目与表面原子数有同一量级，对于半导体等载流子少的物质将产生较大影响；③表面磁性原子的邻原子数减少，引起表面原子磁矩增大；④电子在表面碰撞发生非弹性散射，使电导率、霍尔系数、电流磁效应等发生变化；⑤薄膜材料的各向异性，等。

薄膜材料的种类非常多，它包括单质、氧化物、氮化物等。按照导电性可将其分为导体（conductor）（如 Cu、Al、W、Ti、TiN、TaN、TiSi₂）、半导体（semiconductor）（如 Si、Ge、SiC、GaN、GaAs、SnO₂）和绝缘体（insulator）（如金刚石、SiO₂、Si₃N₄、Al₂O₃、AlN、BN、聚合物）。

薄膜生长主要包括三个过程：①晶体形成；②聚集成束（也称岛生长）；③形成连续的膜。薄膜的制备方法非常繁多，同一原料使用不同的制备方法所得到的薄膜的性能也不相同。薄膜的制备方法多数为非平衡状态的制取过程，由于在薄膜的制备过程中，基片温度一般不很高且扩散较慢，因而制成的薄膜常常是非平衡相的结构。薄膜的制备方法包括物理气相沉积、蒸发、分子束外延生长、化学气相沉积等。

3.2 衬底

制备薄膜通常要在合适的衬底上进行。对于不同的薄膜材料，其所选择的衬底也不相同。在 IC 工业中，作为衬底材料的除了硅以外，还可以是碳化硅、蓝宝石、砷化镓、氧化铝、氮化镓、玻璃、塑料片等。

对于射频应用而言，理想的衬底应该是电绝缘性好且射频损耗少，同时可提供用来生长高品质的活性层（active layer）的籽晶层（seed layer）。另外，还应该具有高的热导率，使

得晶体管的热可以有效地散发, 这项热管理 (thermal management) 能确保长期的可靠性, 使器件能维持最大的输出功率。Soitec 集团开发出硅上氮化镓、绝缘衬底上碳化硅 (SiCOI)、绝缘衬底上氮化镓 (GaNOI) 以及多晶碳化硅上硅 (SopSiC) 四种衬底籽晶层, 用来生长低缺陷密度的氮化镓高电子迁移率晶体管。

半绝缘砷化镓目前已成为一种重要的微电子和光电子基础材料, 广泛应用于新一代移动通信、宽带网络通信系统等民用和国家安全等领域。

随着器件和电路的大批量生产, 为了提高生产效率、降低成本, 使用大直径的衬底芯片是必然的发展趋势。由于目前大直径的氮化镓和碳化硅衬底在市场上较少, 这将制约着 SiCOI 与 GaNOI 晶圆的尺寸大小。SiCOI 晶圆底部的衬底是由硅氧化得来的, 如同一个衬底载体 (substrate holder), 它比碳化硅衬底有着更佳的操作特质。SiCOI 晶圆上能生长出和碳化硅上的氮化镓薄膜有着同样品质的氮化镓晶体。GaNOI 衬底使得高质量的氮化镓薄膜的同质外延 (homoepitaxial) 生长变得可行。然而, 此技术受缺乏高品质的氮化镓本体材料的影响, 其价格还很高。

GaN 是一种商业化前景最好的光电子材料, 它具有某些其他材料无可比拟的优越性。由于 GaN 的熔点高, 很难采用常规的方法直接生长单晶体。因此要获得高质量、大尺寸 GaN 单芯片多是采用外延技术。制备外延 GaN 薄膜所使用的主要衬底材料包括蓝宝石、SiC、硅等衬底材料, 而以蓝宝石应用最广泛。

蓝宝石的主要化学成分是三氧化二铝 (Al_2O_3), 晶型为 $\alpha\text{-Al}_2\text{O}_3$, 密度为 3.98g/cm^3 (20°C 时), 熔点为 2050°C , 沸点为 3500°C , 最高工作温度为 1900°C 。其化学性能非常稳定, 一般不溶于水, 也不受酸、碱腐蚀。蓝宝石的硬度很高, 莫氏硬度达 9 级, 仅次于最硬的金刚石, 并且它具有很好的力学性能、透光性、热传导性和电气绝缘性。蓝宝石晶体的生长方法主要有: 熔焰法 (verneuil)、提拉法 (CZ 法)、导膜法 (EFG)、感应温场上移法 (FUS 法)、动态凝固法 (DGSM)、热交换法 (HEM) 等。

在碳化硅上生长的氮化镓器件可以表现出与使用硅晶种层生长的器件相似的射频和直流特性。多孔性 (porous) 碳化硅比硅晶体在热传导方面有优势, 将会改善射频功率器件在最大功率、工作温度及可靠性等方面的表现, 这些益处将缩短其与碳化硅器件的差距。另外, 多孔碳化硅的制造成本也较低。

多晶碳化硅具有高阻抗的性能特点, 并且有着与单晶碳化硅相当的热性能和力学性能。多晶碳化硅可以用化学气相沉积法 (CVD) 来生产, 而且此材料早已被作为空白晶圆广泛地应用于微电子上, 其成本只有硅晶体的 2~3 倍, 而电阻率可以很容易地从 $1.5 \times 10^{-2} \Omega \cdot \text{cm}$ 调整到 $1 \times 10^9 \Omega \cdot \text{cm}$, 同时射频损耗则也可调整到和 GaAs 衬底一样低。

3.3 多晶硅

多晶硅是单质硅的一种形态, 是由许多硅单晶颗粒组合而成的硅晶体。熔融的单质硅在过冷条件下凝固时, 硅原子以金刚石晶格形态排列成许多晶核, 如果这些晶核长成晶面取向不同的晶粒, 则这些晶粒结合起来, 就结晶成多晶硅。由于各个晶粒的排列方向彼此不同, 其中通常含有大量的缺陷。

多晶硅薄膜材料同时具有单晶硅材料的高迁移率及非晶硅材料的可大面积、低成本制备的优点。多晶硅与单晶硅相比较, 在力学性质、光学性质和热学性质的各向异性方面远不如

单晶硅明显；在电学性质方面，多晶硅的导电性也远不如单晶硅显著，甚至几乎没有导电性；在化学活性方面，两者的差异极小；在力学性能方面，多晶硅与单晶硅略有不同，如多晶硅的弹性模量和热膨胀系数与单晶硅一致，屈服强度与热导率低于单晶硅，多晶硅可以与单晶硅一样作为机械材料。

多晶硅材料是制造硅抛光片、太阳能电池（如图 3-1）及高纯硅制品的主要原料，也可用于 MEMS 传声器、太阳能传感器、薄膜晶体管（thin film transistor, TFT）。在 MOS 器件中，掺杂的多晶硅作为栅电极，也能阻碍注入，也就是所谓的自对准工艺。

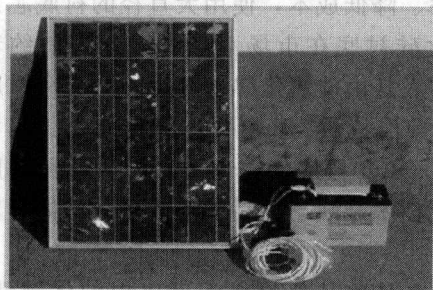


图 3-1 多晶硅太阳能电池板

另外，多晶硅光电池没有光致衰退效应，材料质量有所下降时也不会导致光电池受影响。在单晶硅衬底上用液相外延制备的多晶硅光电池转换效率为 15.3%，经减薄衬底、加强陷光等加工，可提高到 23.7%。多晶硅光电池已成为科研人员研究的热点。

低温多晶硅（low temperature poly silicon, LTPS）是另一个研究热点，其制程温度应低于 600℃，尤其对于激光退火（laser anneal）工艺要求。与非晶硅（amorphous Si）相比，LTPS 的电子移动速度更快，把驱动 IC 的外围电路集成到面板基板上的可行性更强，反应速度更快，外观尺寸更小，联结和组件更少，板系统设计更简单以及面板的稳定性更强。

根据制备过程中的温度可以将多晶硅薄膜的制备工艺分为两大类。一类是高温工艺，制备过程中温度高于 600℃，以昂贵的石英为衬底，其制备工艺较简单；另一类是低温工艺，整个加工工艺温度低于 600℃，可用廉价的玻璃作衬底，因此可以大面积制作，其制备工艺却比较复杂。目前制备多晶硅薄膜的方法主要有低压化学气相沉积（low-pressure chemical vapor deposition, LPCVD）、化学气相沉积法（chemical vapor deposition, CVD）、等离子体增强化学气相沉积法（plasma-enhanced chemical vapor deposition, PECVD）、液相外延法（liquid phase epitaxy, LPE）、等离子体溅射沉积法（plasma）。

低压化学气相沉积是集成电路中所用多晶硅薄膜制备中普遍采用的一种直接生成多晶硅的方法。由于这种方法具有成本低、生长速度快、纯度高、成膜致密、均匀性好以及装片容量大等优点，是目前工业上制备多晶硅薄膜的主要方法。另外，低压化学气相沉积法生长的多晶硅薄膜，晶粒具有择优取向，呈 V 字形形貌，内含高密度的微孪晶缺陷，且晶粒尺寸小，载流子迁移率不够大，使其在器件应用方面受到一定限制。虽然减少硅烷压力有助于增大晶粒尺寸，但往往伴随着表面粗糙度的增加，对载流子的迁移率与器件的电学稳定性产生不利影响。

等离子增强化学气相沉积法（PECVD）是在非硅衬底上制备晶粒较小的多晶硅薄膜的一种方法。该薄膜是一种 P-I-N 结构，主要特点是在 P 层和 N 层之间有一层较厚的多晶硅的本征层（I 层），另外，此法具有制备温度很低、晶粒很小以及几乎不存在效率衰减问题等优点。但是，该方法也存在生长速度太慢以及薄膜极易受损等问题。

等离子体溅射沉积法是一种物理制备法，由于它存在晶粒的致密度问题，采用此方法制备多晶硅还不是很成熟。液相外延法就是通过将硅熔融在母液里，降低温度使硅析出成膜的一种方法。

直接在非硅底材上用 CVD 法沉积多晶硅,难以形成较大的晶粒,并且在晶粒之间易形成孔隙,对制备较高效率的电池不利。人们因此发展了再结晶技术,以提高晶粒尺寸。其具体方法是:先用低压化学气相沉积法在衬底表面形成一层较薄的、重掺杂的非晶硅层,再用高温将这层非晶硅层退火,得到较大的晶粒,用这层较薄的大尺寸多晶硅层作为籽晶层,在其上面用 CVD 法生长厚的多晶硅膜。可以看出,这种 CVD 法制备多晶硅薄膜太阳能电池的关键是寻找一种较好的再结晶技术。到目前为止,再结晶技术主要有固相晶化(solid phase crystallization, SPC)法、区熔再结晶(zone melting recrystallization, ZMR)法以及激光再结晶(laser recrystallization, LRC)法。

固相晶化法需对非晶硅薄膜进行整体加热,其缺点是整体温度较高,晶粒取向散乱,不易形成柱状结晶。区熔再结晶法需将非晶硅整体加热至一定温度,通常是 1100°C ,再用一个加热条加热局部使其达到熔化状态。加热条在加热过程中需在非晶硅表面移动。区熔再结晶法可以得到厘米量级的晶粒,并且在一定的技术处理和工艺条件的配合下可以得到比较一致的晶粒取向。激光退火法用激光束产生的高温将非晶硅薄膜熔化结晶,以得到多晶硅薄膜。

除了上述几种制备多晶硅薄膜的主要方法外,还有一些较新的方法,包括金属横向诱导法(metal induced lateral crystallization, MILC)、超高真空化学气相沉积(ultrahigh vacuum chemical vapor deposition, UHV/CVD)、电子束蒸发(electron beam evaporation)等。金属诱导非晶硅晶化法制备多晶硅薄膜具有均匀性高和成本低的优点,而且其相连金属掩蔽区以外的非晶硅也可以被晶化,但是目前 MILC 的晶化速率不高,并且增长速率随着热处理时间的延长而降低。用 UHV/CVD 生长多晶硅,当生长温度低于 550°C 时能生成高质量细颗粒多晶硅薄膜,不需要进行再结晶处理,这是传统 CVD 做不到的,因此该法很适用于低温多晶硅薄膜晶体管制备。

3.4 非晶硅

目前研究得最多、实用价值最大的非晶态半导体主要有两类:即非晶态硅和硫属半导体。特别是非晶态硅,在理论上和应用方面的研究都非常活跃。非晶硅($\alpha\text{-Si:H}$)是一种直接能带半导体,它的结构内部有许多所谓的“悬键”,即是没有和周围的硅原子成键的电子,这些电子在电场作用下就可以产生电流,并不需要声子的帮助。因而非晶硅可以做得很薄,还有制作成本低的优点。但是,由于在非晶硅材料中含有硅原子及大量孔隙及缺陷,其阻值大,且在经历集成电路的高温工艺时,会出现再结晶现象。

非晶硅是一种新兴的半导体薄膜材料,它作为一种新能源材料和电子信息新材料,自 20 世纪 70 年代问世以来,取得了迅猛发展。非晶硅的用途很多。太阳能电池(图 3-2)是目前非晶硅材料应用最广泛的领域,这种太阳能电池将成为无污染的特殊能源。与晶态硅太阳能电池相比,它具有制备工艺相对简单、原材料消耗少、价格比较

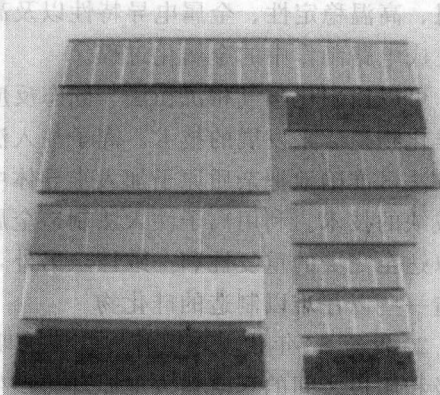


图 3-2 非晶硅太阳能电池板

便宜等优点,可以制成非晶硅场效应晶体管;用于液晶显示器件、集成式图像传感器以及双稳态多谐振荡器等器件中作为非线性器件;制作的静电复印感光膜,复印速率高,图像清晰,使用寿命长;还可以制成各种光敏、位敏、力敏、热敏等传感器等。

近年来,由于非晶硅薄膜晶体管(α -Si/poly-Si)本身具有低温制程及低成本制造等优势,不仅可以用来控制画面灰阶的变化,而且可以用于主动式有机发光显示器,作为 OLED 器件的驱动组件,或使用在有机电路(organic electronic)产品上。

非晶硅光电池一般采用高频辉光放电方法使硅烷气体分解沉积而成。由于分解沉积温度低,可在玻璃、不锈钢板、陶瓷板、柔性塑料片上沉积约 $1\mu\text{m}$ 厚的薄膜,易于大面积化,成本较低。为提高效率和改善稳定性,人们有时还将其制成多层叠层式结构,或是插入一些过渡层。

由非晶态合金的制备原理可知,要获得非晶态,需要有高的冷却速率。对冷却速率的具体要求随材料而定。硅要求有极高的冷却速率,目前用液态快速淬火的方法还无法得到非晶态。近年来,发展了许多种气相淀积非晶态硅膜的技术,包括真空蒸发、辉光放电、溅射及化学气相淀积等方法。一般所用的主要原料是单硅烷(SiH_4)、二硅烷(Si_2H_6)、四氟化硅(SiF_4)等,纯度要求很高。非晶硅膜的结构和性质与制备工艺的关系非常密切,目前认为以辉光放电法制备的非晶硅膜质量最好,设备也不复杂。

化学气相淀积法制备非晶硅,其反应气体可为 SiH_4 或 Si_2H_6 。当以 SiH_4 为反应气体时,反应温度为 550°C ,但淀积的速率较慢;使用 Si_2H_6 为反应气体时,可增进淀积速率,反应温度为 470°C 。也可采用等离子体增强化学气相淀积法,不仅可降低沉积温度,还可利用非热能量来促进化学反应从而增加淀积速率。

辉光放电法是利用反应气体在等离子体中发生分解而在衬底上淀积成薄膜,即在由高频电源在真空系统中产生的等离子体的帮助下进行化学气相淀积。根据在真空室内施加电场的方式,可将辉光放电法分为直流电、高频法、微波法及附加磁场的辉光放电。在辉光放电装置中,非晶硅膜的生长过程就是硅烷在等离子体中分解并在衬底上淀积的过程。

3.5 硅化物

金属硅化物是由金属和硅组成的化合物,其中很多呈现出金属电导特性。纯金属虽有良好的导电性能,但由于各种原因,不适用于制造超大规模集成电路。由于金属硅化物具有低电阻、高温稳定性、金属电导特性以及高电迁移阻抗等优点,所以过去 30 年来已被广泛用于集成电路制作中的金属化过程。

可以使用化学气相沉积法、固态反应法及离子注入法来制备硅化物。其中离子注入法合成硅化物是后来发展的技术。离子注入法是利用电场加速离子,并使之注入目标固体内。这种方法可准确地把杂质原子加入半导体中以改变半导体的导电性能,是现代集成电路工业不可或缺的技术。利用离子注入法制造金属硅化物,不仅精确控制离子的注入数量和深度,还可以达至完美的重复性和一致性,另外,它打破了传统采用的沉积及反应过程的局限,可以制造一些以往难以制造的硅化物。

20 世纪 80 年代,布朗等人在劳伦斯柏克莱实验室开发了金属蒸气真空弧离子源,利用阴极和阳极之间的真空弧放电原理,产生高密度金属等离子体,从中抽取阴极金属的离子强束。这种新颖金属离子源以脉冲形式工作,能产生高峰值束流的宽束,其高束流和宽束特性

正好解决了离子注入法合成硅化物中由于高注入剂量而引发的效率问题。

金属硅化物在 VLSI/ULSI 器件技术中起着非常重要的作用。现在快速热处理工艺已经被广泛地用于在器件中制备金属硅化物。快速热退火 (rapid thermal annealing, RTA) 已经被证明在减少硅化物形成中及形成后的总热预算方面优于传统的加热炉技术。图 3-3 给出了硅化物在器件中的位置。图 3-4 是一个 MOS 器件薄膜电阻的组成部分。因为在结上覆盖了一层高电导率层, 硅化物工艺减小了扩散电阻 (图中 $R_{\text{扩散}}$ 部分); 同时因为增加了有效接触面积, 所以也减小了接触电阻 ($R_{\text{接触}}$)。

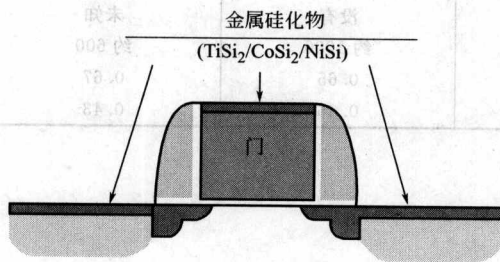


图 3-3 硅化物在晶体管中的位置

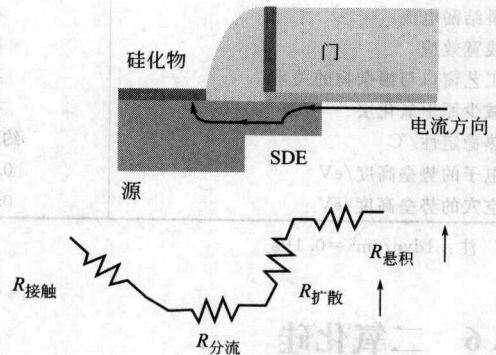


图 3-4 一个 MOS 器件薄膜电阻的组成部分

自对准硅化物 (salicide) 工艺已经成为近期的超高速 CMOS 逻辑大规模集成电路的关键制造工艺之一。该工艺同时减小了源/漏电极和栅电极的薄膜电阻, 降低了接触电阻, 并缩短了与栅相关的 RC 延迟。另外, 它也允许通过增加电路封装密度来提高器件集成度。

众多硅化物中, 以二硅化钴的室温电阻率最低, 可在硅表面形成优质外延层。经适当的热处理后, 可在硅内形成一层连续的单晶二硅化钴埋层。以金属蒸气真空弧注入法制造的二硅化钛与二硅化钴相似, 可应用于金属化过程。

从 $0.18\mu\text{m}$ 技术节点到 90nm 技术节点, 由于钴不存在线宽效应, 取代了钛。Co 由高阻的 CoSi 相形成低阻的 CoSi_2 相。因为 CoSi 到 CoSi_2 的成核非常迅速, 所以在相变过程中没有观察到线宽效应。当技术向前推进后, 器件的尺寸变得越来越小。这时结中高的硅消耗成为钴的一个大问题, 因为高的硅消耗减少了有用的动态区。

从 65nm 节点以后, 由于镍具有更低的硅消耗和热预算而被应用。表 3-1 给出了 TiSi_2 、 CoSi_2 、 NiSi 三种硅化物的典型工艺条件。 NiSi 有更低的退火温度, 因而热预算最小, 优化后的快速热处理 (rapid thermal processing, RTP) 温度范围是 $350\sim 500^\circ\text{C}$ 。在这样低的温度下, 信噪比更低, 控制更加困难。

表 3-1 三种硅化物的典型工艺条件

硅化物	典型的一次退火	金属蚀刻剂	典型的二次退火
TiSi_2	$600\sim 700^\circ\text{C}$ 30s	$\text{NH}_4\text{OH}+\text{H}_2\text{O}_2$	$800\sim 900^\circ\text{C}$ 30s
CoSi_2	$400\sim 550^\circ\text{C}$ 30s	$\text{HCl}+\text{H}_2\text{O}_2+\text{H}_2\text{O}$	$700\sim 800^\circ\text{C}$ 30s
NiSi	约 350°C 瞬间热处理	$\text{H}_2\text{O}_2+\text{H}_2\text{SO}_4+\text{H}_2\text{O}$	约 450°C 30s

表 3-2 中总结了 TiSi_2 、 CoSi_2 、 NiSi 三种硅化物的主要性能。 NiSi 在高温时不稳定, 在低温情况时形成高阻的 Ni_2Si 。 NiSi 是人们需要的低阻相, 但它是一个中间相。在高于 600°C 时, 低阻的 NiSi 会转变为高阻的 NiSi_2 相。

表 3-2 三种硅化物的主要性能

硅化物	TiSi ₂	CoSi ₂	NiSi
技术节点	>0.18μm	0.18μm~90nm	≤65nm
体电阻率/Ω·cm	13~16	18~22	12~15
硅消耗(1nm 厚的金属)/nm	2.24	3.63	1.84
形成的硅化物(1nm 厚的金属)/nm	2.5	3.49	2.22
应力/(×10 ⁹ dyn/cm ²)	15~25	8~10	约 1
移动的元素	Si	Co	Ni
结漏电流	较少	有	较少
桥结漏电流	有	很少	很少
线宽效应	有	没有	没有
工艺窗口与掺杂物的关系	有	没有	没有
减少原生氧化层	有	没有	未知
热稳定性/℃	约 900	约 1000	约 600
电子的势垒高度/eV	0.61	0.65	0.67
空穴的势垒高度/eV	0.49	0.45	0.43

注：1dyn/cm²=0.1Pa。

3.6 二氧化硅

结晶二氧化硅因晶体结构不同，分为石英、鳞石英和方石英三种。二氧化硅属于空间网状结构，是原子晶体，在其晶体中，硅原子的 4 个价电子与 4 个氧原子形成 4 个共价键，硅原子位于正四面体的中心，4 个氧原子位于正四面体的 4 个顶角上，整个晶体是一个巨型分子。SiO₂ 中 Si—O 键的键能很高，熔点 1723℃，沸点 2230℃，都很高。SiO₂ 是酸性氧化物，是硅酸的酸酐，其化学性质很稳定，不溶于水也不跟水反应，不与一般的酸起作用，但能与氟化氢气体或氢氟酸反应生成四氟化硅气体，常温下能与强碱溶液缓慢地作用生成相应的硅酸盐，而高温下与碱性氧化物或某些金属的碳酸盐发生共熔反应生成硅酸盐。

二氧化硅膜以其高的化学稳定性（仅氢氟酸能很好地腐蚀二氧化硅）、可加工性等优点，已成为微电子工业不可或缺的材料，并广泛应用于 IC 工业中。SiO₂ 膜层的主要应用包括以下几点：

- ① 作为杂质选择扩散的掩蔽膜，离子注入的阻挡层（有时与光刻胶、Si₃N₄ 层一起使用）；
- ② 作为集成电路的隔离介质和绝缘介质材料以及多层金属互连层之间的介质材料；
- ③ 作为电容器，栅氧或储存器单元结构中的介质材料；
- ④ 为光刻掩模中有用的抗反射层；
- ⑤ 在 VLSI 多层金属中，用作浅槽隔离的填充物和侧墙；
- ⑥ 在 MOS 电路中作为 MOS 器件的绝缘栅介质；
- ⑦ 作为器件表面的保护膜，也是对器件和电路进行钝化的钝化层材料。一方面，可以避免硅表面被镊子划伤以及蒸发、烧结和封装过程中可能带来的杂质污染；另一方面，可以使硅片表面、PN 结与外界气氛隔离开来，从而减弱环境气氛对硅片表面性质的影响。

对于不同的工艺可采用不同的方法制备 SiO₂ 膜，制备方法包括干法氧化、水蒸气氧化、湿氧氧化、热氧化法、干氧-湿氧-干氧（简称干湿干）氧化法、氢氧合成氧化、化学气相淀积法、热分解淀积法、溅射法等。

干法氧化通常用来形成栅极 SiO_2 膜, 制备薄、界面能级和固定电荷密度低的薄膜, 干法氧化成膜速度慢于湿法氧化。湿法氧化通常用来形成作为器件隔离用的比较厚的 SiO_2 膜。当 SiO_2 膜较薄时, 膜厚与时间成正比, SiO_2 膜变厚时, 膜厚与时间的平方根成正比。因此, 要形成较厚的 SiO_2 膜, 需要较长的氧化时间。 SiO_2 膜形成的速度取决于经扩散穿过 SiO_2 膜到达硅表面的 O_2 及 OH 基等氧化剂数量的多少。湿法氧化时, 因 OH 基在 SiO_2 膜中的扩散系数比 O_2 的大, 氧化反应时, Si 表面向深层移动。因此, 不同厚度的 SiO_2 膜, 去除后的 Si 表面的深度也不同。 SiO_2 膜是透明的, 可通过光干涉法来估计膜的厚度。

3.7 金属薄膜

随着 IC 工业进入超大规模集成电路 (ULSI) 阶段, 金属薄膜已成为微电子工业的重要材料, 各种金属的性能见表 3-3, 其在集成电路中主要用于低阻栅电极 (gate electrode)、肖特基接触 (Schottky barrier contact)、欧姆接触 (Ohmic contact) 以及器件间互连 (interconnect)。例如, 钯或铂的薄膜材料常被用于化学传感器的催化剂; 钛或铬薄膜材料可作为黏附层, 使金等贵金属很好地与基底黏附; 镍和铬薄膜常用作刻蚀掩模; 铜膜则经常被用于金和镍下的牺牲层材料等。

表 3-3 各种金属的性能

金属	熔点/ $^{\circ}\text{C}$	电阻率/ $\mu\Omega \cdot \text{cm}$	热膨胀系数/ $\times 10^{-6}^{\circ}\text{C}^{-1}$	热导率/ $[\text{W}/(\text{cm} \cdot \text{K})]$
Al	650	3	23	2.4
Cu	1083	1.7	16	4
Au	1064	1.7	14	3
W	3387	5.6 ^①	4.5	1.7
Ti	1660	48 ^①	8.6	0.2
Ni	1455	6.8 ^①	13	0.9
Cr	1875	13 ^①	6	0.7
Co	1500	6.2 ^①	12.5	0.7
Pt	1769	10 ^①	9	0.7

① 薄膜的电阻率远大于其块状材料的电阻率。

金属薄膜的性能 (如电阻率、应力、相、附着力及表面形态等) 受薄膜沉积工艺和工艺设备的影响非常大, 不是任何一种金属薄膜材料都可以用任何一种沉积方法来制备的。

薄膜材料的电阻率往往高于同种材质的块状材料。一般而言, 薄膜材料的电阻率是相应块状材料的 1.5~2 倍, 而薄膜中常常要求较低的电阻率。见表 3-3 所列, 除了 Al、Cu、Au 薄膜的电阻率与其块状材料非常接近以外, 如 W、Ti、Ni、Cr、Co、Pt 等的薄膜的电阻率远大于其块状材料, 约为其体材料的 2 倍。合金和金属化合物的电阻率通常比金属薄膜高得多, 在 $100 \sim 500 \mu\Omega \cdot \text{cm}$ 的范围内, 并且沉积工艺对其电阻率的影响更大。

3.8 薄膜新材料

3.8.1 金刚石

宽带隙金刚石膜由于其优异的物理性质和低成本, 在机械、电子、光学及军事工业有广阔的应用前景。统计数字表明, 金刚石膜产品正以几乎每年增长 1 倍的速度走向市场。金刚

石薄膜是一种宽带隙材料（其禁带宽度约为 5.45eV），其在空气中 500~600℃或在惰性气体中 1400~1700℃还是十分稳定的。因此金刚石膜可做成高温半导体器件。目前利用掺杂的半导体金刚石膜做的 MOSFET 等器件在 300~400℃温度下能够正常工作。另外，半导体金刚石膜还可制作性能优异的高频大功率晶体管。

金刚石的性能如下：热扩散系数 $1.6 \sim 2.5 \text{ cm}^2/\text{s}$ ，膜密度 $2.8 \sim 3.5 \text{ g/cm}^3$ ，熔点 3700℃，热稳定性高于 1300℃，弹性模量 1143GPa，泊松比 0.0691，室温下热膨胀系数最低为 $0.8 \times 10^{-6} \text{ K}^{-1}$ ，具有极好的抗热冲击性能。

金刚石的应用非常广泛，主要用于以下几方面。

① 金刚石具有极高硬度，是最好的切削刀具和耐磨材料。目前已有金刚石膜刀具和金刚石膜涂层刀具商品。

② 金刚石具有优异的电学性质如宽禁带、高载流子迁移率、低介电常数、高热导率、高击穿电压以及防辐射等，用它制作半导体器件可在 600℃的高温下工作，作为耐强辐射器件可在宇宙飞船和原子能反应堆等环境下正常工作。金刚石膜在半导体器件和紫外光电子组件上的实际应用将引起电子学领域中的一场革命。

③ 半导体器件在工作时容易发热并导致其性能下降甚至破坏。为防止此种现象，一般都会考虑配备散热系统。金刚石是具有最高的热导率的无机非金属材料。室温下，金刚石的热导率为铜的 6 倍，因此利用金刚石的高热导率、高绝缘性以及与众多半导体材料有较好匹配的低热膨胀特性，可将金刚石制备成最理想的热沉材料。近年来，由于高热导率金刚石薄膜制备技术的不断发展，使金刚石热沉在大功率激光器、微波器件、列阵器件和大功率集成电路等高功率密度电子和光电子工业上的应用实现。但由于天然金刚石价格昂贵、人工合成的金刚石颗粒太小，抑制了金刚石热沉的应用和推广。

④ 金刚石在红外到紫外光波长内有很高的光透射率，并与它极好的热导性、耐磨损和耐腐蚀性相结合，可用作导弹拦截和战术飞行的红外窗口、光盘、紫外激光器等保护层等。

⑤ 利用金刚石极好的刚性和最大声速特性，可将它制成高保真扬声器和振动膜（频率响应可达 60kHz 以上），其声传感器和频率响应最高等性能在卫星通讯和移动电话等方面极有应用前景。其高强度、高热导率及宽透光范围的优异特性，使金刚石成为高马赫导弹球罩的首选材料。其高禁带宽度和电负性可能用作极低功耗的大屏幕平板显示器。

纳米级金刚石晶体膜除具有金刚石的高硬度、化学惰性等优良性能外，还具有自然清洁、自然灭菌、耐磨损、冷阴极场发射及阻隔热辐射等纳米材料性能。应用这一新材料将成功推出最新的高科技产品——场发射显示器，其清晰度将比目前显示技术提高数千倍。用这种材料生产建筑玻璃，具有很好的自然清洁和隔热节能功能，不仅可以节约管理费用，而且其隔热效果可节省空调耗电 20%~30%。用这种材料生产汽车玻璃不但能够自然清洁，而且可以防雨、防晒、防划伤，提高汽车产品的科技含量。

3.8.2 其他

与传统存储器相比，具有非挥发性、更快读写速度的铁电存储器正越来越受到人们的重视。PZT [锆钛酸铅 $\text{Pb}(\text{Zr}, \text{Ti})\text{O}_3$] 是一种很好的铁电材料，具有很高的自发极化强度，其制备技术和特性也经过了多年的研究和发展。但是 PZT 材料中含有重金属铅，易挥发，会对环境和人体造成危害，且 PZT 薄膜的抗疲劳特性较差。近年来， $\text{SrBi}_2\text{Ta}_2\text{O}_9$ (SBT) 被认为是一种很有应用前景的材料。该材料的自发极化强度虽然比 PZT 小，但漏电特性、

矫顽场均优于 PZT，特别是在抗疲劳特性方面表现出了优越的性能。但是其析晶温度较高（通常高于 750°C ）。另一种是层状 Bi 结构材料 $\text{Bi}_{3.25}\text{La}_{0.75}\text{Ti}_3\text{O}_{12}$ (BLT)，其结构如图 3-5 所示。它的 2Pr 可以达到 $28\mu\text{C}/\text{cm}^2$ 左右，在经过 10^{10} 次的电压翻转后，其剩余极化强度也没有显著的下降，与 SBT 材料相比，BLT 在低于 700°C 退火即可得到具有铁电性能的结构，被认为是最具有应用前景的铁电材料之一。

在存储器电路生产中，特别是在 DRAM、FLASH 和 SRAM 器件工艺过程中，通过多晶硅上淀积 WSi_x ，经退火工艺后形成复合栅结构，降低多晶硅栅的电阻率从而提高器件的速度。 WSi_x 薄膜最重要的优点是电阻率低，薄膜电阻率首先取决于硅含量，控制薄膜电阻率主要的工艺参数是 SiH_4 与 WF_6 的分压比、淀积温度以及淀积速率。通常总流量中 SiH_4 的含量越高，最终形成的 WSi_x 薄膜中硅含量就越

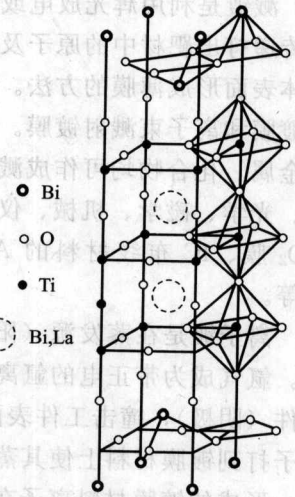


图 3-5 BLT 结构示意图

高，则薄膜电阻率就越高，相反减少气体总流量中 SiH_4 含量可以减少薄膜电阻率。薄膜的电阻率随着淀积温度的提高而增大，因为温度越高导致薄膜中硅含量越高。相反，温度越低，电阻率就越低。淀积速率也是影响薄膜电阻率的一个重要因素，淀积速率越高，总反应气体流量越大，薄膜电阻率就越低。反之，降低淀积速率，会增加薄膜的电阻率。

由于 InP/InGaAs 材料系的固有特性，采用这种材料系的 HBT，在许多性能方面皆优于 AlGaAs/GaAs HBT，所以 InP/InGaAs HBT 的研究与应用越来越受到人们的关注。InGaAs 和 InP 的导带能谷间隔较大，分别为 0.55eV 和 0.54eV (GaAs 仅为 0.28eV)，可以有更大的过冲速度、更短的渡越时间，因此有更优越的高速性能。InGaAs 的表面复合速度比 GaAs 的要低一个数量级，因此在缩小器件尺寸时，对电流增益影响不明显。与光通信用的激光器、探测器等器件具有相同的材料系而在材料外延及器件工艺上更容易实现光电集成等。

3.9 薄膜制备方法

3.9.1 物理气相沉积

物理气相沉积 (physical vapor deposition, PVD) 一般使用氩等惰性气体，在高真空中，将氩离子加速以撞击溅镀靶材后，使靶材喷射出金属气体，并使被溅击出来的物质（通常为铝、钛或其合金）沉积在晶圆表面。PVD 可分为三种技术，即蒸镀 (evaporation)、溅镀 (sputter) 以及离子镀 (ion deposition)。在集成电路中应用的许多金属或合金材料都可通过蒸镀或溅镀的方法制造。

蒸镀是在真空中，把蒸镀材料放置于坩埚内加热熔化后蒸发（或升华），产生的蒸气原子（或分子）向周围运动，当碰到温度较低的基体时，凝集在基体表面上形成镀膜的方法。蒸发材料可以是金属、合金或化合物，从而制备出金属、合金、化合物薄膜。真空镀膜具有材料纯、质量高、工艺简单、成本低等优点，在光学、微电子学、磁学、装饰、防腐蚀等方面得到了广泛应用。

溅镀是利用辉光放电或离子源产生的包括正离子在内的荷能离子轰击靶材，通过粒子动能传递打出靶材中的原子及其他粒子的溅射过程，使溅射出来的原子或其他粒子沉积凝集在基体表面形成薄膜的方法。溅射镀膜可根据产生溅射粒子的方法分为直流溅射镀膜、磁控溅射镀膜和离子束溅射镀膜。它可以实现高速大面积沉积，而且可以大规模连续生产。几乎所有金属、化合物均可作成溅射靶，在不同材料基体上得到相应材料的薄膜。目前它已在电子学、光学、磁学、机械、仪表、轻工业等行业得到了广泛的应用。例如 MOS 用的 Al_2O_3 和 SiO_2 膜、IC 布线材料的 Al-Si 合金和 W-Ti 合金膜、ITO (indium tin oxide) 透明导电膜等。

离子镀是在蒸发源（阳极）与工件之间产生辉光放电，并在工件周围形成一个等离子区。氩气成为带正电的氩离子 (Ar^+) 及电子，在电场作用下，氩离子受电场作用高速飞向工件（阴极），撞击工件表面进行溅射清洗。镀膜材料放在水冷或铜坩埚（又称蒸发源）中，电子打到镀膜材料上使其蒸发之后，蒸发的镀膜材料原子进入等离子场，受到电子碰撞而电离，形成的镀膜材料离子在电场作用下飞向阴极工件表面形成涂层。实现离子镀的设备种类很多，典型的有热阴极离子镀、高频感应离子镀、空心阴极放电离子镀、多电弧离子镀和活性反应离子镀等。由于离子镀设备比较复杂且价格昂贵，在工业生产中尚未被普遍使用。

3.9.2 蒸发和分子束外延生长

蒸发 (evaporation) 是简单而直接的 (见图 3-6)，其在高真空 (high vacuum, HV) 下加热金属，使金属有高的蒸气压，从而蒸发并以热运动的速度到达基片表面。蒸发基本上是在室温下完成的。由于要求高的真空度，当存在加热系统时含有给系统带入杂质的危险。所以，蒸发中既没有使用轰击来加热原子本身，也没有使用任何加热装置对基片进行加热。

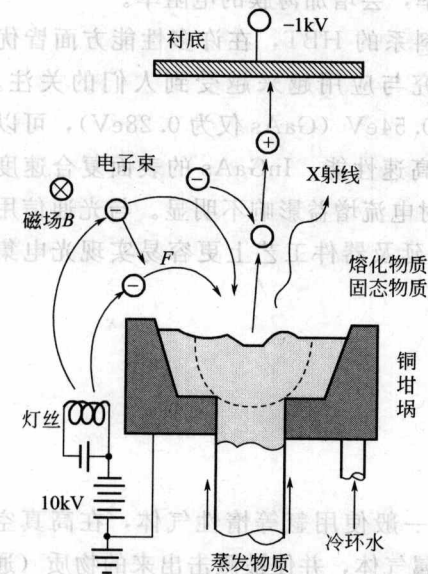


图 3-6 真空电子束蒸发镀膜

蒸发系统为高真空 (high vacuum, HV) 或超高真空 (ultra high vacuum, UHV) 系统。由于在高真空中，原子间不会产生碰撞，从靶源直接到基片。而基片相对于原子束的方向对于获得均匀的薄膜和尺寸非常关键，旋转基片是保证薄膜均匀性的重要途径。

生长系统配有多种监控设备，可对生长过程进行瞬时测量分析。例如，对表面凹凸、起伏、原子覆盖度、黏附系数、蒸发系数及表面扩散距离等生长细节进行精确监控。

分子束外延生长 (molecular beam epitaxy, MBE) 是一种物理沉积单晶薄膜方法，是从蒸发演变而来的 (图 3-7) 在超高真空腔内，源材料经高温蒸发产生分子束流。入射分子束与衬底交换能量后，经表面吸附、迁移、成核、生长成膜。与蒸发不同的是，其基源材料是在平衡源中加热，这比蒸发中的开放源要稳定得多。MBE 具有以下几个优点。

① 由于 MBE 是在超高真空系统中操作，并且使用纯度极高的元素材料，所以可以得到高纯度、高性能的外延薄膜。

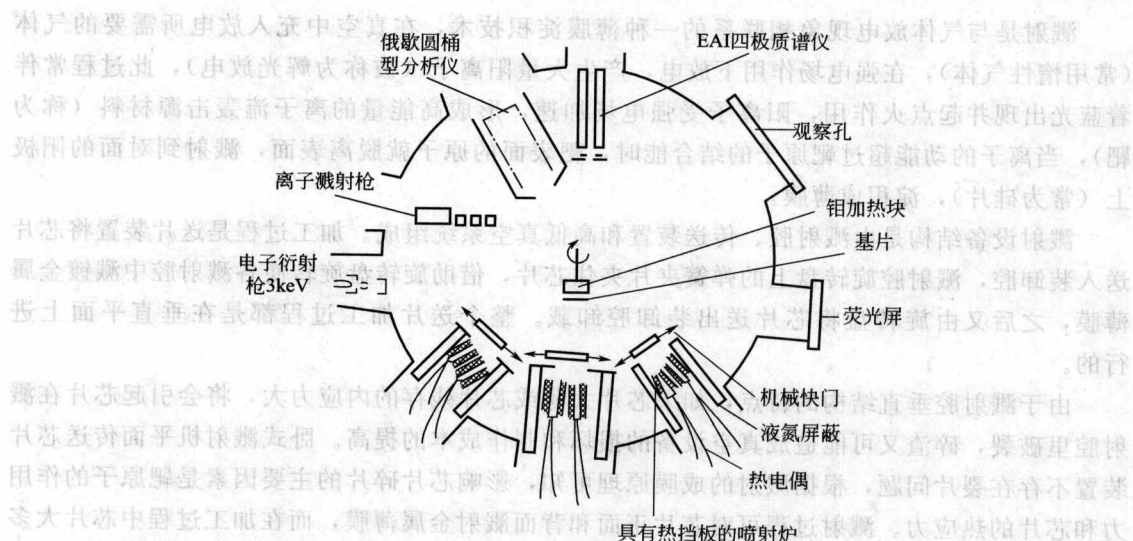


图 3-7 分子束外生长设备示意

② 由于 MBE 生长速率低，其可以精确地控制外延层厚度，可制造超薄层晶格结构及其他器件。

③ MBE 生长温度低，可避免高温生长引起的杂质扩散，能得到突变的界面杂质分布。

④ MBE 可在生长腔内安装仪器（如配置反射式高能衍射仪、俄歇电子谱仪、二次离子谱仪和 X 射线光电子能谱仪等）。通过这些仪器可以对外延生长表面情况、外延层结晶学和电学性质等进行原位检测和质量评价。

⑤ 由于能够旋转，保证了外延膜的均匀性。

⑥ 分子束外延技术使异质结构、量子阱与超晶格得到迅速发展，为晶格失配外延生长开辟了器件制造的新领域。

然而，MBE 也存在一些不足，例如，生长速率低；难于控制两种以上 V 族元素，不利于批量生产；表面形态存在卵形缺陷、长须状缺陷及多晶生长等。

3.9.3 溅射

在半导体芯片制造过程中，一个重要环节就是金属薄膜沉积，主要用于电路引线。沉积金属薄膜最常用的方法是蒸发和溅射。随着集成电路向线结和图形微细化的方向发展，对接触和互连的要求越来越严，特别是铝硅互溶引起的结穿通和电迁移现象更加严重，接触和互连材料就有必要采用铝的合金以及各种难熔金属。对于这些材料，用通常的真空蒸发方法难于胜任，一般采用磁控溅射技术。

溅射可分成物理溅射和化学溅射，后者在溅射时发生化学反应。物理溅射常在入射离子能量处于中、高范围（直到 MeV 时）发生，在低能区急剧减弱。与此相反，化学溅射会延续到能量更低的范围。溅射还可根据产生溅射粒子的方法分为直流溅射、磁控溅射和离子束溅射。它可以实现高速大面积沉积；几乎所有金属、化合物均可作成溅射靶，另在不同材料基体上得到相应材料薄膜；可以大规模连续生产。目前它已在电子学、光学、磁学、机械、仪表、轻工业等行业，作为一种有力的薄膜制备手段得到广泛应用。例如，半导体场效应管用的 Al_2O_3 和 SiO_2 膜、IC 布线材料的 Al-Si 合金和 W-Ti 合金膜、铟锡氧化物（indium tin oxide, ITO）透明导电膜等。

溅射是与气体放电现象相联系的一种薄膜淀积技术，在真空中充入放电所需要的气体（常用惰性气体），在强电场作用下放电，产生大量阳离子（被称为辉光放电），此过程常伴着蓝光出现并起点火作用，阳离子受强电场加速，形成高能量的离子流轰击源材料（称为靶），当离子的动能超过靶原子的结合能时，靶表面的原子就脱离表面，溅射到对面的阳极上（常为硅片），淀积成薄膜。

溅射设备结构是由溅射腔、传送装置和高低真空系统组成。加工过程是送片装置将芯片送入装卸腔，溅射腔旋转盘上的弹簧夹片夹住芯片，借助旋转盘旋转使各溅射腔中溅镀金属薄膜，之后又由旋转盘将芯片送出装卸腔卸载。整个送片加工过程都是在垂直平面上进行的。

由于溅射腔垂直结构的特点，如果芯片太薄或芯片残存的内应力大，将会引起芯片在溅射腔里破裂，碎渣又可能造成真空设备的损坏和制作成本的提高。卧式溅射机平面传送芯片装置不存在裂片问题，根据溅射的成膜原理可知，影响芯片碎片的主要因素是靶原子的作用力和芯片的热应力。溅射过程可对芯片正面和背面溅射金属薄膜，而在加工过程中芯片大多在溅射腔或卸载腔内裂片，排除机械装置引起碎片的可能，关键在于溅射加工环境对芯片的影响。

由于溅射中使用高电压和气体，仪器装置较为复杂。射频磁控溅射技术可同时达到快速和低温的要求，其装置结构如图 3-8 所示。磁控溅射对阴极溅射中电子使基片温度上升过快的缺点加以改良，在被溅射的靶极（阳极）与阴极之间加一个正交磁场和电场，使电场和磁场方向相互垂直。当镀膜室真空抽到设定值时，充入适量的氩气，在阴极和阳极之间施加几百伏电压，便在镀膜室内产生磁控型异常辉光放电，氩气被电离，电子经过多次碰撞后，丧失了能量进入弱电场区，最后到达阳极时已经是低能电子，不会使基片过热；与此同时，由于高密度等离子体被束缚在靶面附近，并不与基片接触，则基片可免受等离子体的轰击，可降低基片温度。

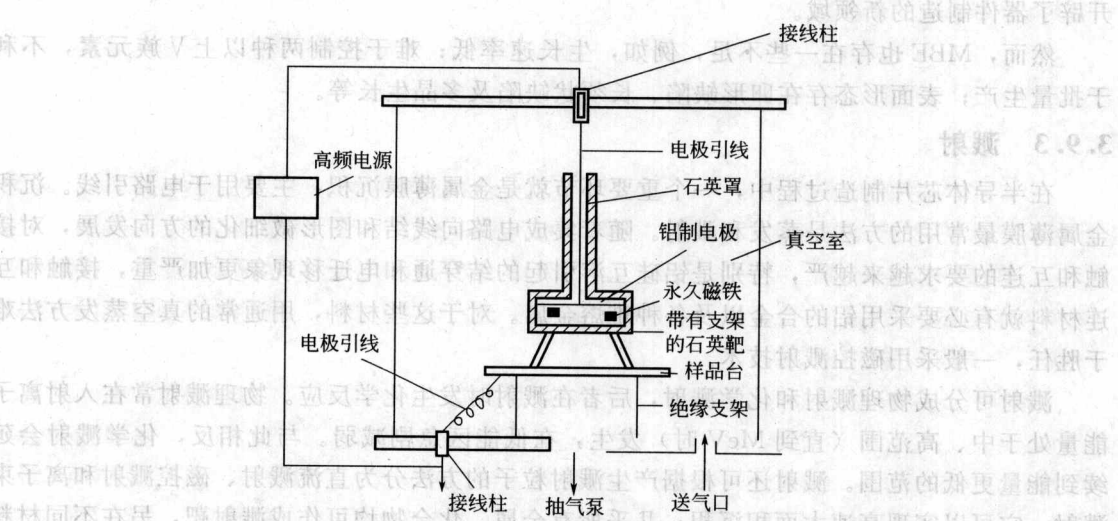


图 3-8 射频磁控溅射二氧化硅装置

磁控溅射镀膜技术可分为平衡磁控溅射和非平衡磁控溅射，其原理如图 3-9 所示。在早期均采用平衡磁控溅射，其磁控溅射源中的磁场为均匀封闭的磁场，利用平行于靶面的磁场分量来约束二次电子在靶面做螺旋线运动，以提高氩气的离子化率和提高溅射速率。其缺点

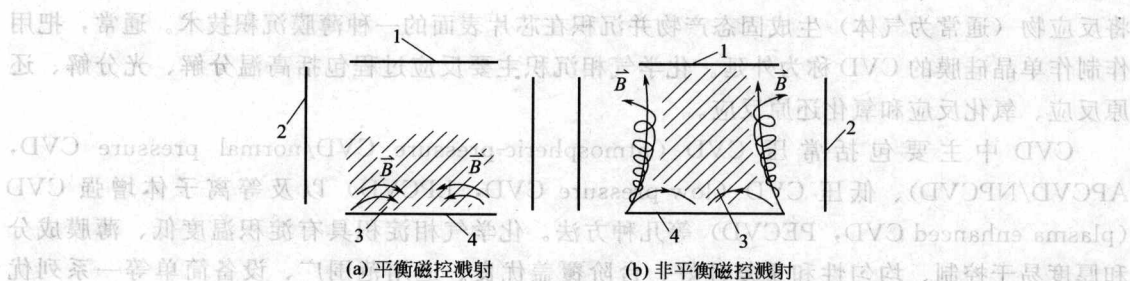


图 3-9 磁控溅射原理

1—工件；2—镀膜室；3—等离子体；4—磁控靶

在于高密度的等离子体区只能分布在靶面附近，整个镀膜室内的等离子体密度低，不利于膜层粒子的活化。

非平衡磁控溅射是将某一磁极的磁场对于另一极性相反磁极的磁场增强或减弱，这就导致了磁场分布的“非平衡”。在保证靶面水平磁场分量有效地约束二次电子运动并维持稳定的磁控溅射放电的同时，另一部分电子沿着强磁极产生的垂直靶面的纵向磁场，可以使逃逸出靶面的电子飞向镀膜区域。这些飞离靶面的电子还会与中性粒子产生碰撞电离，提高镀膜空间的等离子体密度，从而提高沉积速率。

离子束溅射工作原理图如图 3-10 所示。离子束溅射由离子源、离子引出极和沉积室三部分组成，在高真空或超高真空中，利用直流或高频电场使惰性气体（通常为氩气）发生电离，产生辉光放电等离子体。电离产生的正离子和电子高速轰击靶材，使靶材上的原子或分子溅射出来，然后沉积到基板上形成薄膜。

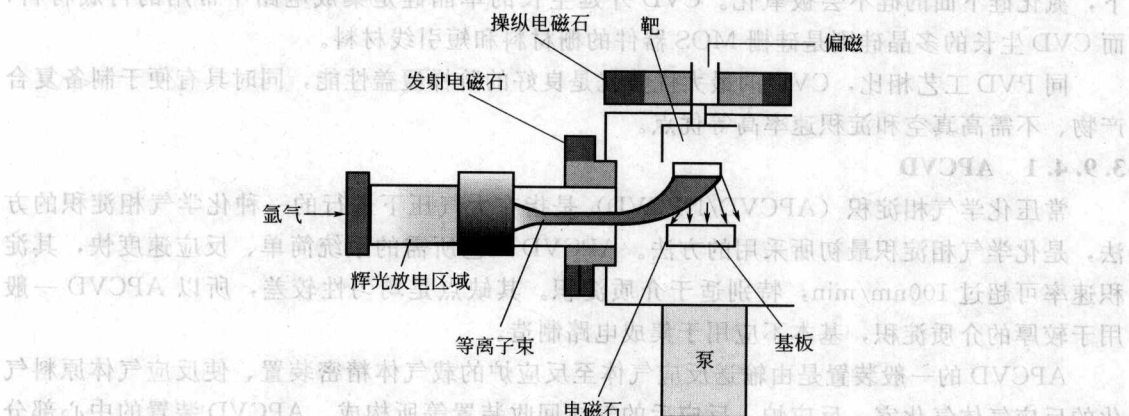


图 3-10 离子束溅射工作原理

离子束溅射法溅射沉积到基片上的粒子能量比蒸发沉积高出几十倍，所形成的纳米材料附着力大。离子束溅射法还具有以下特点：其靶材无相变，化合物的成分不易发生变化；溅射过程中的基片温度较低；通过加大被溅射的阴极表面可提高纳米微粒的获得量；可制备多种纳米金属，包括高熔点和低熔点金属，也能制备多组元的化合物纳米微粒；可以精确地控制离子束的能量、密度和入射角度来调整纳米薄膜的微观形成过程。

3.9.4 化学气相沉积

化学气相沉积 (chemical vapor deposition, CVD) 是利用化学反应的方式在反应室内

将反应物（通常为气体）生成固态产物并沉积在芯片表面的一种薄膜沉积技术。通常，把用作制作单晶硅膜的 CVD 称为外延。化学气相沉积主要反应过程包括高温分解、光分解、还原反应、氧化反应和氧化还原反应。

CVD 中主要包括常压 CVD (atmospheric-pressure CVD/normal pressure CVD, APCVD/NPCVD)、低压 CVD (low-pressure CVD, LPCVD) 以及等离子体增强 CVD (plasma enhanced CVD, PECVD) 等几种方法。化学气相沉积具有沉积温度低、薄膜成分和厚度易于控制、均匀性和重复性好、台阶覆盖优良、适用范围广、设备简单等一系列优点。这种方法几乎可以沉积集成电路所需要的各种薄膜，例如掺杂或不掺杂的 SiO_2 、氮化硅、多晶硅、非晶硅、难熔金属（钨和钼等）及其硅化物等。

目前 IC 生产中，大多数绝缘薄层（约 $1\mu\text{m}$ 厚）都是利用 CVD 法制作的，主要绝缘层的材料有 SiO_2 、 Si_3O_4 、磷掺杂硅玻璃（phosphorous doped silica glass, PSG）等。今后 CVD 技术的发展主要在寻找新材料和开发新的沉积技术等方面进行。在新的材料方面，以 CVD 法沉积金属铜的探索已延续了很久，TiN 化学气相沉积则已接近实用阶段以及绝缘层新材料 Ta_2O_5 及 BaTiO_3 等。在新技术方面，电子回旋再分区 CVD (electron cyclotron re-zones CVD, ECRCVD) 的发展已成为下一步 CVD 开发的重点，金属有机物 CVD (metal organic CVD, MOCVD) 在金属材料沉积上的应用也越来越频繁。

CVD 技术广泛应用于提纯物质、研制新晶体，而且可应用于沉积各种单晶、多晶或玻璃态薄膜材料。在集成电路工艺中，通过 CVD 技术沉积的薄膜有重要的用途。例如，CVD 制备的氮化硅薄膜可以用作场氧化（一种很厚的氧化层，位于芯片上不做晶体管、电极接触的区域，称为场区）的屏蔽层。由于氧原子极难通过氮化硅到达硅，所以，在氮化硅的保护下，氮化硅下面的硅不会被氧化。CVD 外延生长的单晶硅是集成电路中常用的衬底材料，而 CVD 生长的多晶硅则是硅栅 MOS 器件的栅材料和短引线材料。

同 PVD 工艺相比，CVD 的最大优势就是良好的阶梯覆盖性能，同时具有便于制备复合产物、不需高真空和沉积速率高等优点。

3.9.4.1 APCVD

常压化学气相沉积 (APCVD/NPCVD) 是指在大气压下进行的一种化学气相沉积的方法，是化学气相沉积最初所采用的方法。APCVD 工艺所需的系统简单、反应速度快，其沉积速率可超过 $100\text{nm}/\text{min}$ ，特别适于介质沉积。其缺点是均匀性较差，所以 APCVD 一般用于较厚的介质沉积，基本不应用于集成电路制造。

APCVD 的一般装置是由输送反应气体至反应炉的载气体精密装置、使反应气体原料气化的反应气体气化室、反应炉、反应后的气体回收装置等所构成。APCVD 装置的中心部分为反应炉。反应炉的形式可分为四个种类，这些装置中关键在于如何将反应气体均匀送入。当反应炉为水平时，则基板倾斜；为纵型时，则反应气体由中心吹出，且使基板夹具回转；为汽缸型时，亦可同时收容多数基板且使夹具旋转；当为扩散炉型时，在基板的上游加有使混合气体成乱流的装置。

3.9.4.2 LPCVD

随着半导体工艺特征尺寸的减小，对薄膜的均匀性要求及膜厚误差要求的不断提高，出现了 LPCVD。LPCVD 技术不仅用于制备硅外延层，还广泛用于各种无定形钝化膜及多晶硅薄膜的沉积，是一种重要的薄膜沉积技术。

在 LPCVD 反应室内压力减少至 $10\sim 1000\text{Pa}$ ，反应气体、载气体的平均自由行程及扩散常

数变大, 因此, 可大为改善基板上的膜厚及相对阻抗分布, 亦可减少反应气体的消耗, 其反应室扩散炉装置被简化, 温度控制更为简便, 使得其在低气压下基板容易均匀加热, 可大幅度改善其可靠性与处理能力, 因此可大量装荷而改善其生产性。

然而, LPCVD 反应系统一般要求温度在 650°C 以上, 不能应用到后段工艺中。后段工艺中薄膜生长的反应温度较低, 需引入额外的非热能能量或降低反应所需激活能以得到足够反应能量。通过 PECVD 和高密度等离子化学气相沉积 (high density plasma CVD, HD-PCVD) 中的等离子体提供的能量大大降低反应所需热能, 从而使降低反应温度到 400°C 以下, 降低反应激活能可采用 TEOS (邻苯二甲酸) 与 O_3 反应系统的亚常压化学气相沉积 (SACVD)。由于 O_3 在较低温度下就可以提供氧自由基, 反应所需激活能小于 TEOS 与 O_2 系统, 因此较低温度下也可以提供足够的淀积速率。这两种方法都能增加表面反应速率。产物的生长速率由进气口气体流量决定, 更有利于控制制程及薄膜均匀性。

3.9.4.3 PECVD

PECVD 是指采用高频等离子体驱动的一种气相淀积技术, PECVD 装置示意图 3-11, 是一种射频辉光放电的物理过程和化学反应过程相结合的技术, 从而使得许多高温下才能进行的反应可以在非常低的衬底温度下淀积薄膜。工艺上等离子体增强化学气相淀积主要用于淀积绝缘层。这种方法兼备物理气相淀积和化学气相淀积特性。该法适应了当前 VLSI 技术向低温工艺方向发展的趋势, 引起了国内外学术界的高度重视。近年来, PECVD 低温法形成薄栅介质膜在薄膜晶体管、集成电路、亚微米 CMOS 工艺和 SiGe/Si 异质结构中备受关注, 可以获取高质量薄栅介质膜及其电学特性。制备纳米级 SiO_xN_y 薄膜时, 可使衬底处于较低工作温度下 ($<400^{\circ}\text{C}$) 完成。现在研究的一个重要热点在于 PECVD 法低温形成这种薄膜的界面陷阱上。

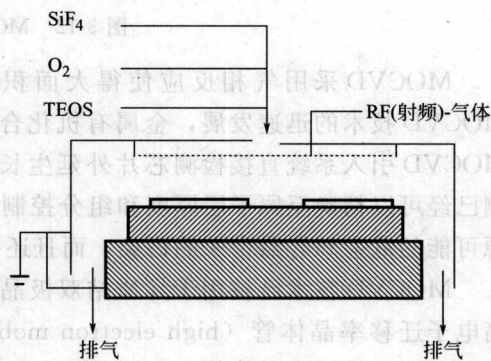
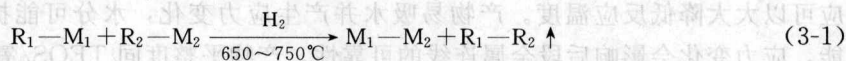


图 3-11 PECVD 装置示意

3.9.4.4 MOCVD

MOCVD 是在 1968 年由美国洛克威尔公司的 Manasevit 等人提出的制备化合物半导体薄膜技术。MOCVD 是采用 III、II 族元素的有机化合物和 V 族、VI 族元素的氢化物等作为生长源材料, 以热分解反应在衬底上进行气相外延, 生长 III-V 族, II-VI 族化合物半导体以及它们的多元固溶体的薄膜, 其化学反应式可表示为:



其中 $\text{M}_1 = \text{III A}, \text{II B}, \text{VI A}$, $\text{R}_1 = \text{CH}_3, \text{C}_2\text{H}_5$, $\text{M}_2 = \text{V A}, \text{VI A}$, $\text{R}_2 = \text{H}, \text{CH}_3, \text{C}_2\text{H}_5$ 。

MOCVD 的生长系统一般包括气体处理系统反应室、尾气处理和控制系统, 如图 3-12 所示, 其设备比较简单, 加热方式有高频感应加热和辐射加热, 可分为卧式和立式两种。根据反应室的工作压力可将其分为常压 MOCVD (AP-MOCVD) 和低压 MOCVD (LP-MOCVD)。作为 MOCVD 的 MO 源毒性低、有适当的蒸气压、在室温下最好是液体、有较低的热分解温度以及应满足易于合成与提纯等。

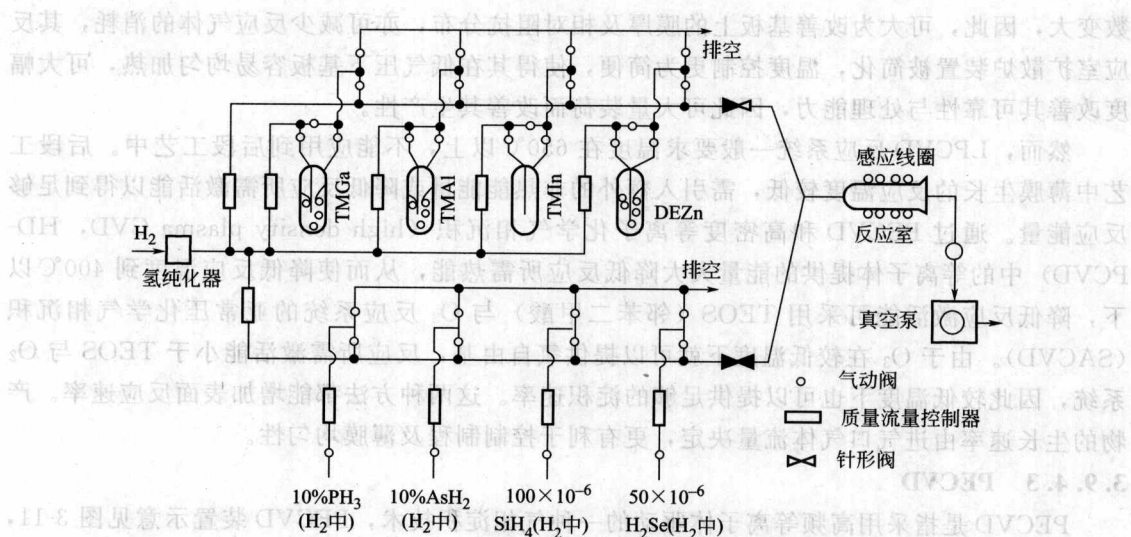


图 3-12 MOCVD 生长系统方框图

MOCVD 采用气相反应使得大面积均匀生长成为可能，还能进行批量生产。随着 MOCVD 技术的迅速发展，金属有机化合物的种类不断增多，质量也相应提高。目前，在 MOCVD 引入系统直接检测芯片外延生长过程技术，各有机源气流的精确控制以及在线检测已经可以精确至原子层厚度和组分控制，如此不仅从根本上消除了 MOCVD 有剧毒有机源可能的危害和容器带来的污染，而且还可节省贵重的有机源的用量，降低了成本。

MOCVD 技术已被用于异质结双极晶体管（heterojunction bipolar transistors, HBT）、高电子迁移率晶体管（high electron mobility transistor, HEMT）、太阳能电池、激光器、光探测器、场效应晶体管（field effect transistor, FET）和发光二极管等。

3.9.4.5 几种材料的 CVD 技术

(1) 二氧化硅的 CVD 二氧化硅可作为金属化时的介质层、离子注入或扩散的掩蔽膜，还可以将掺磷、硼或砷的氧化物用作扩散源。不同的 CVD 技术和不同的前驱物系统都会导致产物的平整度和间隙填充能力的差异。制备二氧化硅薄膜的主要 CVD 技术如下。

① 热壁硅烷/氧气 $\text{SiH}_4 + 2\text{O}_2 \longrightarrow \text{SiO}_2 + 2\text{H}_2\text{O}$ 。产物平整度比 PVD 稍好。

② 热壁 TEOS/氧气 $\text{Si}(\text{OC}_2\text{H}_5)_4 + \text{O}_2 \longrightarrow \text{SiO}_2 + \text{副产物}$ 。产物平整度很好，但反应温度一般高于 600°C 。

③ 热壁 TEOS/臭氧 $\text{Si}(\text{OC}_2\text{H}_5)_4 + \text{O}_3 \longrightarrow \text{SiO}_2 + \text{副产物}$ 。用 O_3 代替 O_2 与 TEOS 反应可以大大降低反应温度。产物易吸水并产生应力变化，水分可能扩散到栅氧降低器件性能，应力变化会影响后段金属连线的可靠性。产物平整度同 TEOS/氧气系统。

④ PE 硅烷/氧化亚氮 $\text{SiH}_4 + \text{N}_2\text{O} \longrightarrow \text{SiO}_2 + \text{副产物}$ 。易于调节产物中的化学成分，常用以阻挡水汽或氟离子，平整度和间隙填充能力一般。

⑤ PETEOS/氧气 同样存在热壁 TEOS/臭氧碰到的问题，通过调整等离子体参数、压力和气流比率等可得到改善。产物平整度和间隙填充能力比 PE 硅烷/氧气系统产物要好，比热壁 TEOS 系统差。

⑥ HDP 硅烷/氧气 HDP 系统中可在低压得到高密度的等离子体团，这些离子被设计成可以撞击淀积面。这样淀积与离子轰击产生的刻蚀在反应表面同时进行，能得到优异的间

隙填充性能。

(2) 多晶硅的 CVD 利用多晶硅替代金属铝作为 MOS 器件的栅极是 MOS 集成电路技术的重大突破之一, 它比利用金属铝作为栅极的 MOS 器件性能大大提高, 而且采用多晶硅栅技术可以实现源漏区自对准离子注入, 使 MOS 集成电路的集成度得到很大提高。淀积多晶硅一般采用 LPCVD 的方法, 利用化学反应在硅片上生长多晶硅薄膜。适当控制压力、温度, 并引入反应的蒸气, 经过足够长的时间, 便可在硅表面淀积一层高纯度的多晶硅。淀积 PGS 与淀积多晶硅相似, 只是用不同的化学反应过程。

由于 LPCVD 具有诸多优点, 因此它为金属淀积提供了另一种选择。金属化学气相淀积是一个全新的气相淀积的方法, 利用化学气相淀积的台阶覆盖能力好的优点, 可以实现高密度互联的制作。利用 LPCVD 淀积钨来填充通孔, 温度约 300℃, 可以和淀积铝膜工艺相适应。金属进入接触孔时台阶覆盖是人们最关心的问题之一, 尤其是对深亚微米器件, 溅射淀积金属薄膜对不断增加的高纵横比结构的台阶覆盖变得越来越困难。在旧的工艺中, 为了保证金属覆盖在接触孔上, 刻蚀工艺期间必须小心地将侧壁刻成斜坡, 这样金属布线时出现“钉头”。而“钉头”将显著降低布线密度。如果用金属 CVD, 就可以避免“钉头”的出现, 从而布线密度得到提高。钨是当前最流行的金属 CVD 材料。

(3) 氮化硅的 CVD 用中等温度 (780~820℃) 的 LPCVD 或低温 (300℃) PECVD 方法淀积。

后段工艺中的 CVD 技术还主要有 SiON、钨和氮化钛。SiON 由 PECVD 淀积在金属表面之上形成抗反射层, 可以在曝光的时候消除或减弱驻波效应。钨具有优异的孔洞填充能力, 广泛应用于半导体工艺中的接触层作为各层金属连线以及器件层之间的连接, 即所谓的“钨堵塞”。TiN 用来提供金属连线与四周的黏附, 并能有效防止各层间的化学相互作用以及原子扩散。随器件关键尺寸的缩小, PVD 无法提供足够阶梯覆盖能力, 逐步被 CVD 方法所替代。

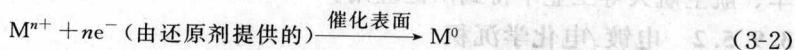
3.9.5 其他沉积方法

在微电子工业中, 在某些情况下需要使用厚膜。PVD、CVD 方法所制备的薄膜厚度一般在 10~1000nm 范围内, 虽然 CVD 硅外延生长也可制备 100μm 厚度的薄膜, 但是其成本很高, 就限制了它们的应用。

液相沉积法相比于 CVD 和 PVD 而言是一种非常简单的方法, 其主要包括化学镀、电镀 (electroplating)、电化学沉积 (electrochemical deposition, ECD)、旋转涂覆 (spin coating) 以及溶胶-凝胶法 (sol-gel method) 等。液相沉积法被应用于 MEMS 行业、薄膜热加工、IC 制造业等。

3.9.5.1 化学镀

化学镀 (也称为化学浸镀) 技术是在无电流通过 (无外界动力) 时, 依据氧化还原反应原理, 利用强还原剂在含有金属离子的溶液中, 将金属离子还原成金属而沉积在各种材料表面形成致密镀层的方法。其反应通式为:



化学镀溶液的基本构成包括金属盐、还原剂、络合剂、pH 值调节剂、缓冲剂、稳定剂以及改善剂, 各成分的作用见表 3-4 所列。

化学镀设备见图 3-13, 化学镀是无电沉积镀层, 选择合适的化学镀溶液, 将被镀工件表面去除油污后直接放入镀液中, 根据设定的厚度确定浸镀的时间即可。对于大多数金属镀

表 3-4 化学镀溶液的基本构成

成分	作 用	实 例
金属盐	提供被沉积的金属离子	硫酸盐、氯化物、醋酸盐、有机酸盐等
还原剂	还原金属离子,化学镀的驱动力	Ni、Co 用次磷酸钠、硼化氢;Cu 用甲醛;Ag、Au 用蔗糖等
络合剂	防止产生金属氢氧化物沉淀,在酸性溶液中控 制反应速度和防止自然分解	乳酸、丙二酸、EDTA、酒石酸、柠檬酸、二乙醇 胺、三乙醇胺等
pH 值调节剂	调节 pH 值,控制反应速度	NH ₄ OH、KOH、NaOH、无机酸、有机酸
缓冲剂	防止溶液工作中 pH 值波动	H ₃ BO ₃ 、CH ₃ COOH、无机弱碱盐
稳定剂	防止自然分解,延长使用寿命	Pb ²⁺ 、Sn ²⁺ 、MoO ₃ 、尿素、硫脲、 α 、 α' -联吡啶、氰 化物、苯并三氮唑等含 N、含 S 的杂环化合物
改善剂	改善镀层性质,增加光泽防止针孔等	在表面活性物质中选择,依化学镀金属种类 而异

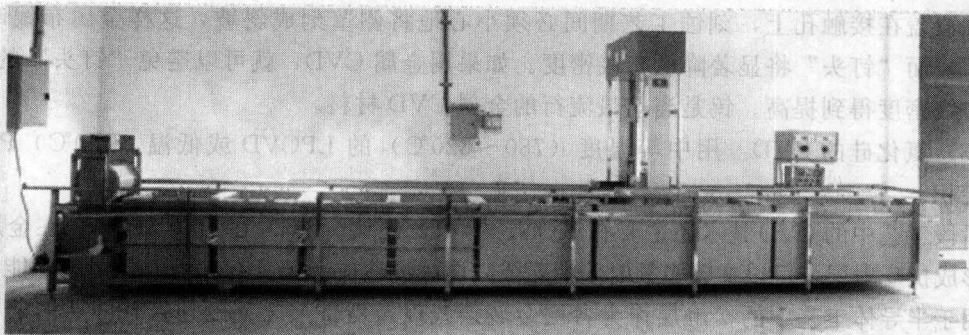


图 3-13 化学镀设备

层,其结合强度及硬度等无明显差异。与其他镀覆方法比较,化学镀具有如下特点:

- ① 工艺简单,适应范围广,可以在由金属、半导体和非导体等各种材料制成的零件上镀覆金属,无论零件的几何形状如何复杂,凡能接触到溶液的地方都能获得厚度均匀的镀层;
- ② 不需直流电源设备;
- ③ 对于自催化的化学镀来说,可以获得较大厚度的镀层,甚至可以电铸;
- ④ 镀层均匀、针孔小,镀层与基体的结合强度好,镀层往往具有特殊的化学性能、力学性能或磁性能;
- ⑤ 成品率高,成本低,溶液可循环使用,副反应少;
- ⑥ 废液排放少,无毒,对环境污染小。

化学镀的缺点是溶液稳定性较差,溶液维护、调整和再生等比较麻烦,成本比电镀高;镀层常显示出较大的脆性。目前,化学镀技术已在电子、阀门制造、机械、石油化工、汽车、航空航天等工业中得到广泛应用。

3.9.5.2 电镀/电化学沉积

电镀 (electroplating) 是一种电离子沉积过程 (electrodeposition process), 是利用电极 (electrode) 通过电流, 使金属离子通过各种溶液到达被淀积衬底的表面从而形成薄膜。电镀技术由于受到自身淀积原理的限制, 一般需要在衬底有一层薄的金属层做种子 (seed), 因此在一定程度上限制了衬底的种类。宏观的电流分布是由电镀槽电极排列、晶圆片和电镀

池的电导率决定的。电镀槽是非常敏感的溶液,流失到电镀槽中的光刻胶和光刻胶黏合力的降低等因素将影响到电镀的重复性。

电镀溶液是一个复杂的混合物,由电解质、盐、改良剂以及表面活性剂组成,其中,盐用以控制电导率,改良剂是用来保证薄膜均一性的,而表面活性剂是用来改善形貌的。另外,有时还向溶液中加入添加剂,例如,添加加速剂来改良电镀生长点的数目,添加抑制剂来控制表面扩散。

电镀技术的主要优点在于它是一种极其廉价的薄膜制备技术,另外可以利用电镀技术制备合金、厘米级的厚膜以及复杂的图形,电镀薄膜具有良好的应力特性。电镀工艺方法已被用于制备半导体材料元器件(包括薄膜型半导体组件)、平面显示器件、太阳能电池薄膜、大规模集成电路中的电阻、电容、光导、磁导与记忆组件、发光和荧光器件等。

3.9.5.3 旋转涂覆

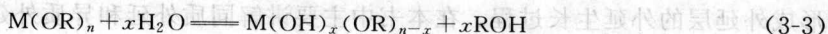
旋转涂覆是用来沉积黏性材料的一种简单的方法。由于在旋转涂覆的过程中薄膜材料是液态的,因此此工艺制备的薄膜可以覆盖小洞和凹处,且进行旋转涂覆后还需进行烘烤,烘烤的温度一般在 $100\sim 200^{\circ}\text{C}$ 。但是旋转涂覆并不适用于在图案上形成厚度均匀的薄膜,其包括旋涂玻璃法(spin-on-glasses, SOG)和介质旋涂法(热稳定聚合物甩胶, spin-on-dielectrics, SOD)。

黏性、溶剂挥发率和旋转速率是控制薄膜厚度的主要因素,气体紊流(旋转过程和净化室产生的气流)和环境湿度(受旋转杯排气和净化室环境控制的影响)是影响挥发速度的主要因素,因此也是对薄膜厚度的影响因素,而薄膜厚度是影响旋转涂覆所形成的薄膜上的小孔缺陷的主要因素,其缺陷随薄膜厚度的增加而减少。

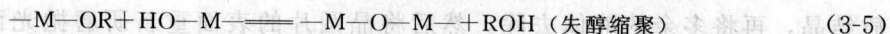
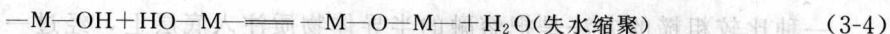
3.9.5.4 溶胶-凝胶法

溶胶(sol)是具有液体特征的胶体体系,分散的粒子是固体或者大分子,粒子的大小在 $1\sim 1000\text{nm}$ 范围之间。凝胶(gel)是具有固体特征的胶体体系,被分散的物质形成连续的三维固态网络,骨架空隙中充有液体或气体,凝胶中分散相的含量很低,一般在 $1\%\sim 3\%$ 之间。溶胶-凝胶法应用的关键是溶胶的制备,溶胶的质量直接影响到最终所得材料的性能。

醇盐水解反应式如下:



再发生缩聚反应进行生长:



溶胶-凝胶法与其他方法相比具有许多独特的优点:①由于溶胶-凝胶法中所用的原料分散在溶剂中而形成低黏度的溶液,因此,其可以在很短的时间内获得分子水平的均匀性,反应物在形成凝胶时很可能是在分子水平上被均匀地混合;②很容易均匀定量地掺入一些微量元素,实现分子水平上的均匀掺杂;③与固相反应相比,化学反应将容易进行,而且合成温度较低;④选择合适的条件可以制备各种新型材料。

溶胶-凝胶法的缺陷在于:①目前所使用的原料价格比较昂贵,成本较高;②所用有机溶剂对人体有一定的危害性;③整个溶胶-凝胶过程所需时间较长;④凝胶残留大量小孔洞,在干燥过程中又将会逸出许多气体及有机物,并产生收缩。

3.10 外延

3.10.1 外延的概念

在适合的晶体底层上生长单个晶体半导体薄膜就是外延生长 (epitaxy)。外延生长是机械加工的重要手段之一,其特点是生长的外延层能保持与衬底相同的晶向。因而在外延层上可以进行各种横向与纵向的掺杂分布与腐蚀加工,以制得各种形状。

外延层是由原始衬底表面起始,沿其结晶轴向(垂直于衬底表面的方向)平行向外延伸所生成的新单晶层,生长有外延层的晶片叫做外延片。外延层的外貌决定于结晶条件,并直接获得具有绒面结构表面外延层。外延层质量参数包括外延层电阻率、外延层中的杂质浓度分布、外延层厚度、外延层中的少数载流子寿命及外延层中的缺陷五类。

外延生长的潜力主要受限于缓慢的外延生长速度和所需的昂贵且复杂的设备。目前,外延生长工艺已有很多新的进展,如减压外延、低温外延、选择外延、抑制外延和分子束外延等。

外延的分类比较多,按照衬底和外延层的结构相同与否,外延可分为同质外延 (homo-epitaxy) (生长的外延层材料与衬底材料结构相同) 和异质外延 (heteroepitaxial) (生长的外延层材料与衬底材料结构不同)。

按生长过程中的相变方式,外延可分为固相外延 (solid phase epitaxy, SPE)、液相外延 (liquid phase epitaxy, LPE) 和气相外延 (vapor phase epitaxy, VPE) 等三种。固相外延是指衬底片上的非晶膜通过退火工艺转换成外延膜,此薄膜记录了下方单晶基体的晶体结构。液相外延是指衬底片的待生长面浸入外延生长的液体环境中生长外延层的外延生长过程。气相外延是指在含有外延生长所需原子的化合物的气相环境中,通过一定方法获取外延生长所需原子,使其按规定要求排列而生成外延层的外延生长过程。

另外,外延还可分为正外延即在外延/衬底结构上制造器件时器件制造在外延层上的前期外延生长过程,负外延也称为反外延即在外延/衬底结构上制造器件时器件制造在衬底上的前期外延生长过程;也可分为直接外延即整个外延层生长中无中间化学反应过程的外延生长过程,间接外延即外延所需的原子由含其基元的化合物经化学反应得到,然后淀积、加接形成外延层的外延生长过程。在本书中主要讲解同质外延和异质外延。

3.10.2 外延技术的发展

一种比较粗糙的方法是把熔融的半导体物质注入底层上,经过一段时间后半导体物质结晶,再将多余的液体去除,然后将晶圆片的表面重新研磨抛光而形成外延层,这种粗糙的液相外延的缺点在于重新研磨造成了高成本,且其难以对外延层厚度进行精确的控制。

大多数现代外延沉积使用低压化学气相沉积外延生长。图 3-14 是一种早期 LPCVD 外延反应器的简图,由二氯二氢硅 (SiH_2Cl_2 , dichlorosilane) 和氢的混合气体通过晶圆片,这些气体在晶圆片的表面发生反应,从而缓慢生长形成一层单晶硅。薄膜的生长速度可以通过控制温度、压力和反应时使用的混合气体进行调节。由于此种气相外延生长如实地反映了底下表面的状况,其无需为了后续步骤而抛光外延层表面,另外,外延薄膜中的掺杂可以通过加入少量的气态杂质(比如磷和乙硼烷)到气流中来实现。

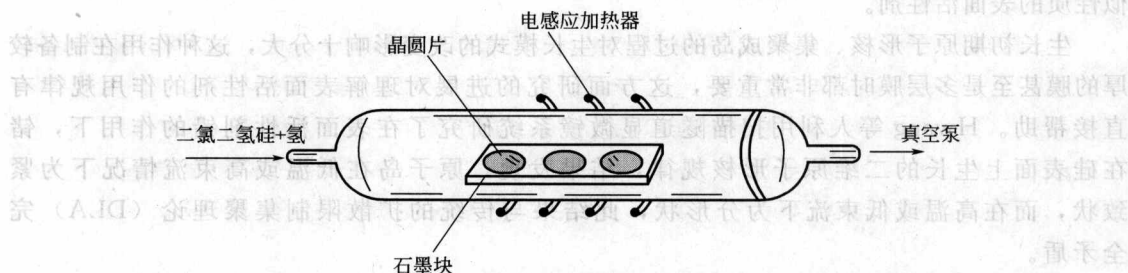


图 3-14 外延反应器简图

外延生长也可以形成埋层 (buried layer)。 N^+ 埋层 (NBL) 在多数双极 (bipolar) 工艺中有关键作用，图 3-15 说明了 NBL 的生长。由于砷和锑的低扩散速度使埋层在接下来的高温步骤中的扩散最小，它们是形成 NBL 的首选杂质。其中因为锑在外延生长中有更低的横向传播的倾向 (lateral autodoping)，它比砷更常被使用。埋层制造开始于轻掺杂的 P 型晶圆片。晶圆片被氧化后，在最终的氧化层上开好窗口并将杂质 (锑或砷) 注入到窗口。采用退火以去掉最后的注入损坏。退火中发生热氧化会导致氧化窗口周围的轻微表面中断。外延层在晶圆片的最终表面反映了这种中断。在显微镜下，最后的步骤形成了一个模糊的轮廓，叫 NBL 影子。

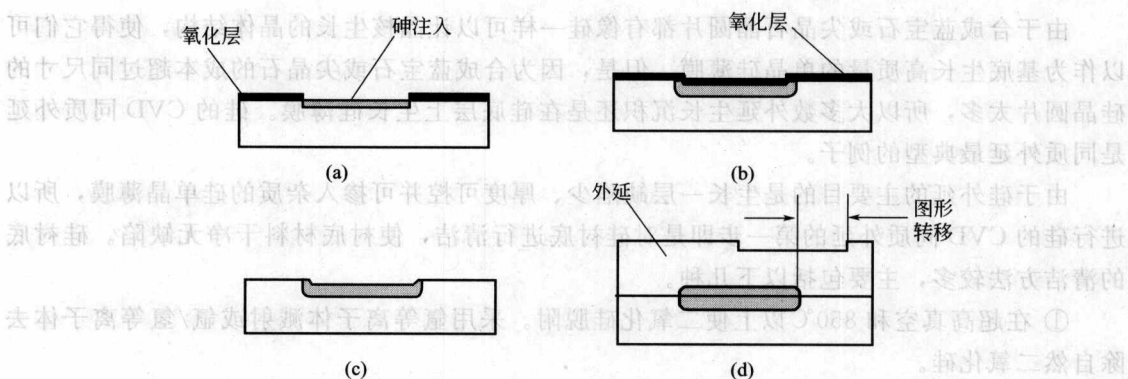


图 3-15 NBL 的形成

在外延生长中 NBL 影子边缘的硅原子增长代替了它的侧面，既是一种图案偏移 (pattern shift) 效应 (图 3-15)。偏移的量取决于许多因素，包括温度、压力、气体的成分、衬底的方向以及倾斜。当其他层对齐于 NBL 影子时，这些都必须被抵消来弥补图案偏移。

3.10.3 异质外延

由于难以找到很好的晶格匹配材料，硅的异质外延是较困难的。目前，在硅晶圆片上生长 $Si_{1-x}Ge_x$ 应用较广。其他异质外延的例子包括在 GaAs 上生长 AlAs 或在 SiC 上生长 GaN。

在异质外延生长中，由于应力的存在往往会导致三维的岛状生长，形成晶态不好的粗糙薄膜。1989 年，Copel 等人发现在硅表面生长锑时，如果先在衬底表面铺满一层砷，会改变生长模式。即从三维的岛状生长变为二维的层状生长，则会获得质量较好的一层外延膜。砷的这种作用通常被称为表面活性剂。之后在不同的金属和半导体系统中，发现了许多具有类

似性质的表面活性剂。

生长初期原子形核、集聚成岛的过程对生长模式的改变影响十分大,这种作用在制备较厚的膜甚至是多层膜时都非常重要,这方面研究的进展对理解表面活性剂的作用规律有直接帮助。Hwang 等人利用扫描隧道显微镜系统研究了在表面活性剂铅的作用下,锗在硅表面上生长的二维原子形核规律,结果发现,原子岛在低温或高束流情况下为紧致状,而在高温或低束流下为分形状,此结果与传统的扩散限制集聚理论(DLA)完全矛盾。

为了研究表面活性剂对原子形核的作用规律,有人提出了一个完整的反应限制集聚理论(RLA)。这个理论考虑了三个基本的物理过程:①外延原子在表面活性剂原子层上的扩散;②外延原子与表面活性剂原子交换,因此形成一个核;③后续原子粘到核边上后,需要克服一个排斥作用而加入这个核,从而使原子岛长大。这个排斥势相当于一个壳层屏蔽效应,正是由于这个屏蔽作用随温度或粒子束变化表现出强弱不同,最后导致了原子集聚反常现象。为了使这个理论得到进一步完善,还需要分析考虑在不同的衬底表面生长、改变势垒参数范围、多个原子同时交换成核以及考虑沉积原子在表面活性剂上成核和粘在稳定岛边缘的原子可以再离开等。所有这些讨论都进一步验证了反应限制集聚理论在解决表面活性剂作用下二维成核规律的正确性。

3.10.4 硅的 CVD 同质外延

由于合成蓝宝石或尖晶石晶圆片都有像硅一样可以让晶核生长的晶体结构,使得它们可以作为基底生长高质量的单晶硅薄膜。但是,因为合成蓝宝石或尖晶石的成本超过同尺寸的硅晶圆片太多,所以大多数外延生长沉积还是在硅底层上生长硅薄膜。硅的 CVD 同质外延是同质外延最典型的例子。

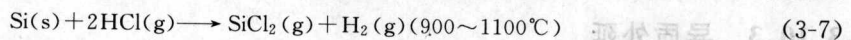
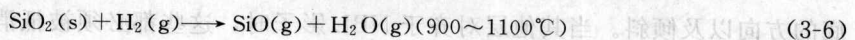
由于硅外延的主要目的是生长一层缺陷少、厚度可控并可掺入杂质的硅单晶薄膜,所以进行硅的 CVD 同质外延的第一步即是对硅衬底进行清洁,使衬底材料干净无缺陷。硅衬底的清洁方法较多,主要包括以下几种。

① 在超高真空和 850℃ 以上使二氧化硅脱附。采用氩等离子体溅射或氩/氢等离子体去除自然二氧化硅。

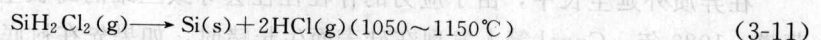
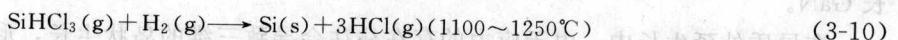
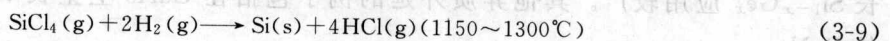
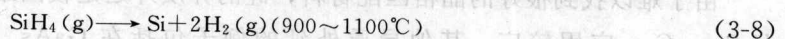
② 通入氢氟酸、氟化氮等气体,使原生二氧化硅与其发生化学反应而被去除。

③ 在低温下,使用遥控式或双频式氢等离子体提供非热能量,使二氧化硅与氢等离子体反应而被去除。

④ 1000℃ 以上,在氢气中预烤后再向其中通入氯化氢气体。其化学反应式如下:



硅的 CVD 同质外延的反应气体包括 SiH_4 、 SiCl_4 、 SiHCl_3 、 SiH_2Cl_2 。其反应如下:



3.10.5 外延的模拟

目前,外延模拟程序并不是以物理为基础的,它是一个半经验的模拟程序。外延模拟程

序实际上是沉积速率和扩散模拟的混合,即给定了沉积速率和沉积温度,并可根据相关温度的扩散常数得出掺杂曲线。

外延模拟程序的输入包括硅片的掺杂剂种类、反应气流中的掺杂密度和类型以及生长速率、时间和温度，此程序既考虑到了从基体向外的扩散，同时又考虑到了从外延层到基体的扩散。

胶膜保持干燥、以利于光化反应时反应充分。曝光步骤的目的是使感光区的胶膜发生光化反应,在显影时发生溶变。显影步骤的目的是在显影液中溶除要求去掉的胶膜部分(对负性光刻胶溶除未曝光部分,对正性光刻胶溶除已曝光部分)。坚膜步骤的目的是去除在显影过程中进入胶膜中的水分(显影液),使保留的胶膜与衬底表面牢固黏附。腐蚀步骤的目的是去除衬底表面无胶膜保护的薄膜层。去胶步骤的目的是去除腐蚀时起保护作用的胶膜。

其中,前烘的温度和时间需要严格控制。温度过高,时间太长,易造成显影困难;温度低,时间短,易造成浮胶、针孔或图形变形。坚膜的温度和时间控制也同样重要。腐蚀在光刻中是十分重要的一环,腐蚀质量的优劣直接影响着图形的分辨率和精确度。腐蚀的温度也很重要,例如腐蚀二氧化硅时采用氢氟酸缓冲液的腐蚀温度为 $30\sim 40^{\circ}\text{C}$ 。腐蚀铝时采用热磷酸的腐蚀温度是 80°C 。

影响光刻工艺过程的主要因素为光刻机、掩模版和光刻胶。光刻机是曝光工具,是光刻工程的核心部分,其造价昂贵,号称世界上最精密的仪器。掩模版由透光的衬底材料(石英玻璃)和不透光金属吸收层材料(主要是金属铬)组成。通常要在表面淀积一层抗深紫外光损伤的增光型保护涂层。光刻胶又称光致抗蚀剂,是由光敏化合物、基体树脂和有机溶剂等混合而成的胶状液体。光刻胶受到特定波长光线的作用化学结构发生变化,使光刻胶在某种特定溶液中的溶解特性改变。正胶的分辨率高,一般在超大规模集成电路工艺中被采用。负胶的分辨率差,适于加工线宽 $\geq 3\mu\text{m}$ 。

光刻系统的主要指标包括分辨率 R (resolution)、焦深(depth of focus, DOF) (投影光学系统可清晰成像的尺度范围、对比度(CON)、特征线宽(critical dimension, CD)控制、对准和套刻精度(alignment and overlay)、产率(throughout)以及价格。

分辨率是指一个光学系统精确区分目标的能力。微图形加工的最小分辨率是指光刻系统所能分辨和加工的最小线条尺寸或机器能充分打印出的区域。分辨率是决定光刻系统最重要的指标,也决定了芯片最小特征尺寸。能分辨的线宽越小,分辨率越高。其由瑞利定律决定: $R=k_1\lambda/(NA)$,其中 λ 表示光刻波的波长。可知提高光刻分辨率的途径为:减小波长 λ (其中,光刻加工极限值为 $\lambda/2$,即半波长的分辨率)、增加数值孔径(numerical aperture, NA)、优化系统设计(分辨率增强技术)及减小 k_1 。

焦深 $DOF=k\lambda/(NA)^2$,表示一定工艺条件下,能刻出最小线宽时像面偏离理想焦面的范围。焦深越大,对图形的制作越有利。

对比度 $CON=(I_{\max}-I_{\min})/(I_{\max}+I_{\min})$,是评价成像图形质量的重要指标。对比度越高,光刻出来的微细图形越好。

尺寸控制的要求是以高准度和高精度在完整硅片表面产生器件特征尺寸。为此,首先要在图形转移工具(光刻掩模版)上正确地再造出特征图形,然后再准确地硅片表面刻印出来(翻印或刻蚀)。

由于光刻应用的特征尺寸非常小,且各层都需精确匹配,所以需要配合紧密。图形套准精度是衡量被刻印的图形能否匹配前面刻印图形的一种尺度。

主要光刻技术包括:微立体光刻技术、浸没式光刻、无掩模光刻技术、紫外线光刻、电子束光刻、离子束光刻、X射线光刻、纳米压印光刻等。

随着芯片集成度的提高,人们对光刻技术提出了越来越高的技术。在20世纪80年代,普遍认为光学光刻技术所能达到的极限分辨率为 $0.5\mu\text{m}$ 。随着一些新技术的应用和发展,包括光源、成像透镜、光致抗蚀剂、分布扫描技术以及光刻分辨率增强技术的发展,光刻技

术已推进到 32nm。光刻的一个发展趋势是混合匹配曝光技术。将 365nm、248nm 以及 193nm 投影光刻机进行匹配曝光，由高档的步进机完成关键图形层曝光，用低档次的步进机完成其他非关键层曝光，从而达到既降低生产费用、提高生产效率又实现对超微图形曝光的目的。

芯片上晶体管数目的增长是以光刻技术所能获得的特征线宽不断减少来实现的。因此，每一代集成电路的出现总是以光刻所获得的最小线宽为主要技术标志。半导体技术之所以能飞速发展，光刻技术的支持起到了极为关键的作用，因为它直接决定单个器件的物理尺寸。

由于光刻技术已经被发展到极限，用于替代光学光刻的下一代光刻技术（next generation lithography, NGL）也曾处在大量的研发阶段，并取得了重大突破（见表 4-1）。下一代光刻技术主要有紫外线光刻（extreme ultraviolet lithography, EUVL）、X 射线光刻（X-ray lithography, XRL）、电子束光刻（electron beam lithography, EBL）、离子束光刻（ion beam lithography, IBL）等。

表 4-1 下一代光刻技术

项 目	157nm 光刻技术	下一代光刻技术		
		EUVL	EBL	纳米压印技术
基本原理	157nm F2 激光投影光刻	4 倍缩小扫描投影,约 80 层 Mo-Si 结构多层膜,激光等立体光源	电子束曝光光刻,热致发射源和场致发射源	加热聚合物/自外曝光,印章压印,固化
前景	分辨率:70nm 应用领域:大规模集成电路	分辨率:100nm 延伸至 30nm 以下 应用领域:ULSI	分辨率:小于 100nm 应用领域:MEMS,纳米加工,单电子器件	分辨率:100nm 延伸至 5nm 以下 应用领域:ULSI,纳米加工, MEMS
研究	掩模,薄膜,光刻胶,透镜成本环境	无缺陷反射式掩模,多层膜,光源功率,真空环境	光刻速率	大面积压印膜版的制作,压印过程平整度

4.2 光刻掩模版

光刻掩模版是在光照时覆盖于光刻胶膜上，除特定区域外均对光有掩蔽作用的图版，也称光掩模或光刻版，IC 掩模版如图 4-2 所示。在半导体制造的整个流程中，光掩模或光罩（mask）的制造是流程衔接的关键部分和造价最高的一部分，也是限制最小线宽的瓶颈之一。一般而言，一组完整的 IC 工艺流程包含 10~20 道不同的掩模版。

对于最简单的三极管制造至少需要 4 块光刻版，而常规集成电路制造至少需要 6 块光刻版。每一块光刻版的质量均对器件制造成品率有很大的影响。

常见的光掩模有铬版（chrome）、干版、凸版、液体凸版四种。光掩模主要分为两个组成部分：基板和不透光材料。基板通常是高纯度、低反射率、低热膨胀系数的石英玻璃。不透光材料通常为铬版。铬版的不透光层是通过溅射方法镀在玻璃下方得到的铬层。铬的硬度比玻璃略小，虽不易受损但有可能被玻璃所伤害。应用于芯片制造的光掩模为高敏感度的铬版。干版包括包膜和超微颗粒干版，其中超微颗粒干版可以应用于芯片制造。干版涂附的乳胶，硬度小且易吸附灰尘。

光掩模的检查主要有：基板、名称、版别、图形、排列、膜层关系、伤痕、图形边缘、微小尺寸、绝对尺寸、缺陷检查等。

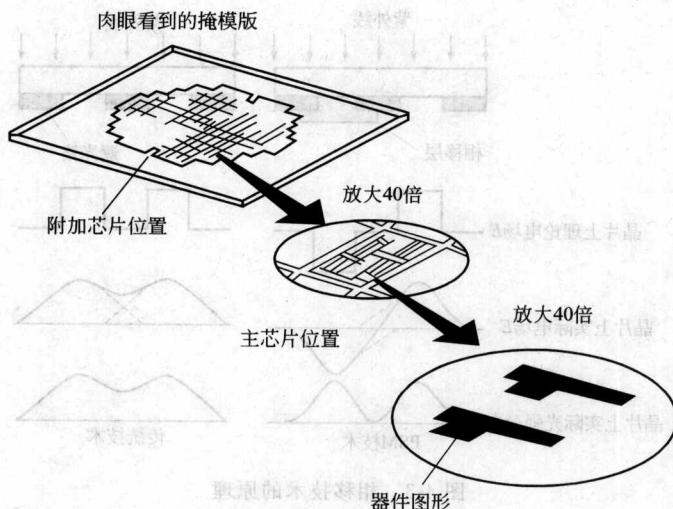


图 4-2 IC 掩模版

4.2.1 传统掩模版

传统掩模版主要包括乳胶掩模版 (emulsion mask)、硬面铬膜掩模版 (hard-surface Cr mask) 和抗反射铬膜掩模版 (antireflective Cr mask) 三类。

乳胶掩模版的制备是将一层光敏乳胶涂布在玻璃片或石英片上, 经照射、显影后, 通过硬烤固化乳胶形状使图形转移至乳胶上。

硬面铬膜掩模版的制备是先在玻璃或石英片上溅射一层纳米铬膜, 之后再旋转涂布一层光刻胶。显影后, 对铬膜进行刻蚀, 最后清除光刻胶。

抗反射铬膜掩模版的制备相对于硬面铬膜掩模版而言, 在光刻胶和铬膜中间多了一层氧化层 (即抗反射层), 在工艺上则多了镀抗反射层以及抗反射层刻蚀两步工艺。抗反射层通常采用氧化铬 (CrO_2), 它不仅可降低掩模版上铬膜的反射率, 而且可以提高掩模版上光刻胶的分辨率。

4.2.2 相移掩模版

相移掩模版 (phase-shifting mask, PSM) 是 1982 年美国 IBM 公司的 M. D. Levenson 等人提出的。相移掩模版是提高光刻分辨率的核心技术, 也是拓展 193nm 光刻能力的关键, 已经成为存储器和逻辑器件制造的主流技术。相移掩模版可适用于深紫外光刻、极紫外光刻以及 X 射线光刻等。

PSM 的发展将依赖于更强的相位移和更复杂的特征结构。目前最基本的是 6% 嵌入式 PSM (embedded PSM)。相位移技术达到下一代技术水平的要求, 可供选择的掩模版类型主要有三种: 补偿式相位移、二次曝光和可以进行低 k_1 成像的一次曝光技术。

相移掩模版是一项重要的分辨率增强技术, 其与传统掩模版的透光区的电场是相同的, 如图 4-3 所示。由于衍射与分辨率使得晶圆片上的电场分散开来, 相邻缝隙的衍射使得光被干涉而增强缝隙间的电场强度。因此两个投影的像若太接近, 就不容易分辨出来。相移掩模版是将相移层覆盖于相邻的缝隙上, 使得电场反相。其中使用了一透明层, 厚度满足 $d = \frac{\lambda}{2(n-1)}$, 其中 \bar{n} 为覆盖缝隙材料的折射率, λ 为在覆盖缝隙材料中的波长。

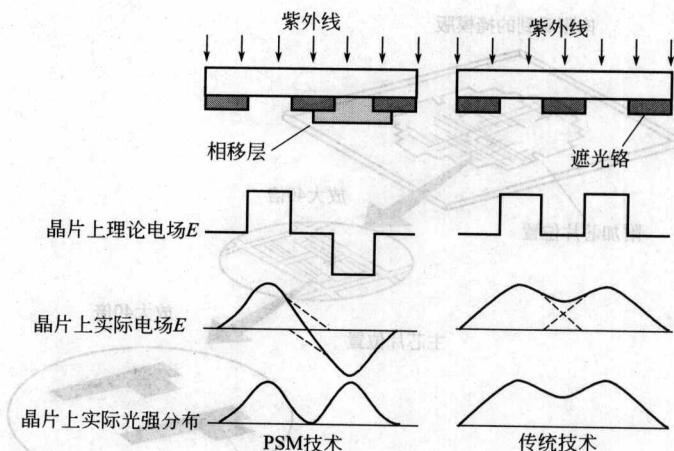


图 4-3 相移技术的原理

交替式相位移 (alternating) 的主掩模版起强烈相位移的作用, 第二块掩模版起补偿功能。其缺点是必须使用两块掩模版, 芯片加工的每一层都需要经过两次图形转移, 除了延长曝光时间外, 还会引起套刻精度偏差问题, 且两块掩模版的使用明显增加了运行成本。

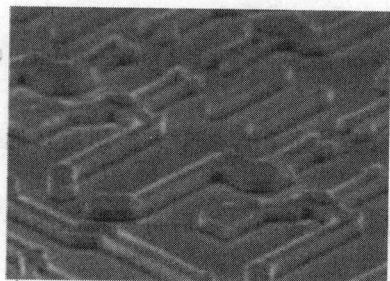


图 4-4 无铬相位移掩模版, 最小蚀刻达 165nm (掩模版尺寸)

二次曝光技术也使用了两块掩模版, 但是该方法与补偿式曝光完全不同。补偿式相位移中的第二块掩模版相对来说要简单得多, 它只用于第一块掩模版曝光后进行相应的补偿。但是二次曝光相位移技术的两块掩模版看起来很相似, 而且都比补偿技术中的主掩模版简单。

无铬掩模版光刻技术是一种只采用一块掩模版、一次曝光的技术, 图 4-4 为无铬相位移掩模版。该技术依赖于结构非常复杂的掩模版, 其掩模版通常需要多次刻写才能完成。但是, 其优点是只需一次曝光。

4.2.3 X 射线光刻掩模版

X 射线光刻掩模是由一片支撑薄膜和附着在薄膜上的 X 射线吸收体的图形组成。X 射线光刻用的掩模, 在制备好的掩模上形成透 X 射线区和不透 X 射线区, 从而形成掩模曝光图形。X 射线光刻掩模在材料组成、结构形式和制作工艺上与普通光学掩模相比其难度要大得多, 技术也复杂得多。由于没有一种材料在比较厚时能对 X 射线完全透明, 也没有一种材料在很薄时能完全吸收 X 射线, 因此, X 射线光刻掩模一般由低原子序数的轻元素材料组成的透光薄膜衬基 (如 SiC、SiN、金刚石) 和高原子序数的重元素材料组成的吸收体 (如 Au、W 等) 构成。吸收体图形形成不透 X 射线区。X 射线光刻掩模技术的关键在于大面积曝光场区的薄膜衬基制备以及高精度、高密度的深亚微米吸收体图形加工。图 4-5 是 X 射线光刻掩模的结构示意图。

由于 X 射线能量高, 会加热掩模版, 引起掩模版上热应力、热膨胀等问题, 所以 X 射线光刻掩模版的制作、缺陷检测、修补等都是很困难的。X 射线光刻掩模版主要包括透射式 (transmission) X 射线光刻掩模版、反射式 (reflection) X 射线光刻掩模版和特殊 X 射线光刻掩模版。

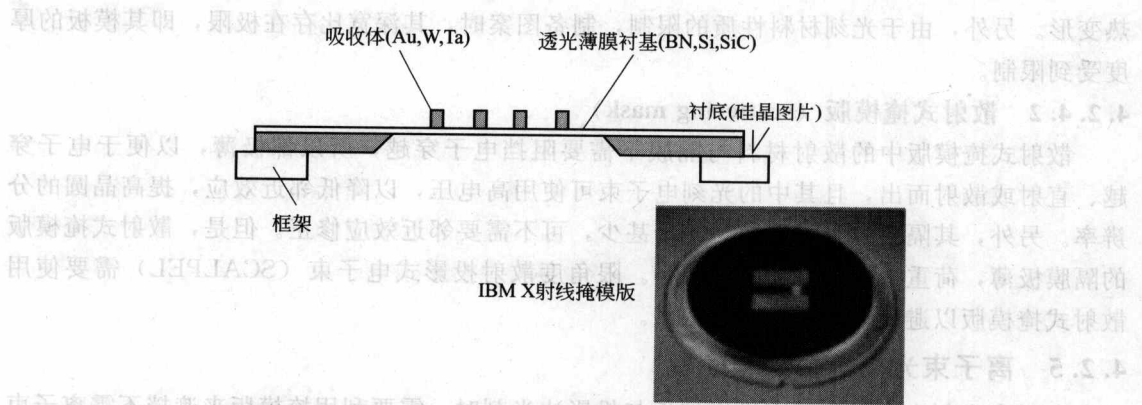


图 4-5 X 射线光刻掩模结构图

4.2.3.1 透射式 X 射线光刻掩模版

透射式 X 射线光刻掩模版结构主要是方便安装于掩模版夹具的玻璃杯 (pyrex ring)、支撑隔膜的硅基底材料边 (Si substrate rim)、隔膜 (membrane) 和吸收材料 (absorber)。

对隔膜的质量要求基本要求以下几点：①需要足够的可见光透射率，以方便可见光照射对准；②要透过 X 射线，吸收要小；③良好的导热能力，能把热积聚减到最少；④对可见光透射率要高，如此光学对准才容易达成；⑤要有高的机械强度及高的杨氏模量，以支撑吸收材料，延长使用寿命；⑥要有高张力，以维持平整；⑦要有大的热导率，低的热膨胀系数，以维持掩模版上图案尺寸的稳定，防止图案失真。目前，较好的隔膜材料包括碳化硅、多硅氮化物，但是其还需要克服成膜时的应力均匀性和平坦度问题，金刚石膜也是很有前景的隔膜材料。

对吸收材料的基本要求包括：①要有小的热膨胀系数；②要吸收、遮住 X 射线，且吸收要大；③在隔膜上能生长低应力的吸收材料，且受热后与隔膜热膨胀要匹配。目前，常用的吸收材料有金、钨、钼、钨钼合金等。

4.2.3.2 反射式 X 射线光刻掩模版

反射式 X 射线光刻掩模版是根据 X 射线在多层膜上的反射原理制备而成的。多层膜利用两种不同的材料交互沉积或蒸镀于基底材料的表面，形成周期性的膜层构造。多层膜的主要参数包括材料的选择、层数以及材料的各层厚度，其组合方式是多种多样的。

4.2.3.3 特殊 X 射线光刻掩模版

普通 X 射线光刻掩模版不易用等离子体刻蚀得到线宽很小、且又具高深宽比 (aspect ratio) 的吸收材料，而特殊 X 射线光刻掩模版可避免这些困难。在制作特殊 X 射线光刻掩模版时，先把晶块/片切开、磨平，并在侧面镀上吸收材料。吸收材料的厚度相当于掩模版上吸收材料的宽度，然后把两片进行接合，即可轻易得到很高深宽比的吸收材料。另一种特殊 X 射线光刻掩模版为 X 射线用相移层相移掩模版，此种掩模版可改善工艺宽容度。

4.2.4 电子束光刻镂空式模板与散射式掩模版

4.2.4.1 镂空式模板 (open-stencil)

当电子束光刻以定形束、变形束或单元投影方式进行照射时，电子束机台利用模板把设计的图案转移至晶圆上。模板与掩模版的区别在于模板的照射区为镂空，而掩模版的照射区则存在一层可透光的玻璃、石英或隔膜。

然而，模板无法制备封闭式图案，其不存在阻挡电子穿越部分，会因吸收电子能量而受

热变形。另外，由于光刻材料性质的限制，制备图案时，其深宽比存在极限，即其模板的厚度受到限制。

4.2.4.2 散射式掩模版 (scattering mask)

散射式掩模版中的散射材料与隔膜不需要阻挡电子穿越，所以都极薄，以便于电子穿越、直射或散射而出，且其中的光刻电子束可使用高电压，以降低邻近效应，提高晶圆的分辨率。另外，其隔膜自身背面散射电子甚少，可不需要邻近效应修正。但是，散射式掩模版的隔膜极薄，荷重很轻，则其跨距很小。限角度散射投影式电子束 (SCALPEL) 需要使用散射式掩模版以避免使用模板时的缺点。

4.2.5 离子束光刻掩模版与模板

离子束光刻中，以离子束进行接近与投影法光刻时，需要利用掩模版来遮挡不需离子束照射的部分，而以聚焦离子束进行直射时，则不需要掩模版。

由于早期掩模版的隔膜材料 (如 BN、 Al_2O_3) 会产生严重的散射现象，从而使得分辨率降低，已经出现了通道式掩模版 (channeling mask)。其借助一层单晶薄膜作隔膜，使经调整成方向性良好的入射离子通过单晶硅通道时，降低散射角度而保持了原来的方向性。

镂空式模板 (open-stencil) 应用于离子束进行直射时，其材质以单晶硅为主。模板一面朝向离子，另一面则朝向晶圆。为了减少离子的散射，朝向离子的一面常常加上离子吸收材料。而且，较厚的模板可约束碰撞离子在模板内壁的前进方向，也减少了离子的散射，从而减少了邻近效应。

4.2.6 掩模版的制造、缺陷和修复

4.2.6.1 掩模版的制造

早期制版工艺的工艺流程包括草图绘制、总图绘制、原图刻制、初缩、精缩、分步重复和生产版的复印。总图绘制是将设计图选择适当的放大比例画在标准方格坐标纸上，包含各次光刻版的所有图形。原图刻制是从总图上描刻出各次光刻版的原图红膜，与实际光刻版图相比放大了适当的倍率，即分刻每一块光刻版的版图，也称为分图刻制。初缩即初步缩小，是以各次光刻版的原图红膜为物，将原图缩至中等尺寸。精缩即精确缩小，是以初缩版为物，进一步缩小照相，将版图缩至生产用刻版图的尺寸。分步重复是在一块版上制备出成千上万个相同光刻图形的过程，要求版上有图形的面积大于衬底片面积。生产版的复印是采用精缩版为光掩模，在铬底版或氧化铁底版上制备图形与精缩版相同的生产版的过程，此工艺可以得到长寿命的光刻版。

这种缩小照相的方式已不适于目前复杂的电路，目前采用计算机辅助设计直接用电子束或激光束将电路设计的图形数据转移到掩模上。图 4-6 为掩模版的制作流程图，当线路设计好并测试逻辑模式无误后，此线路由计算机辅助设计转换为集成电路制造图形，并且排列做出最佳的安排，检查无误后将所有资料储存于图形产生磁带作为制作掩模版的根据。

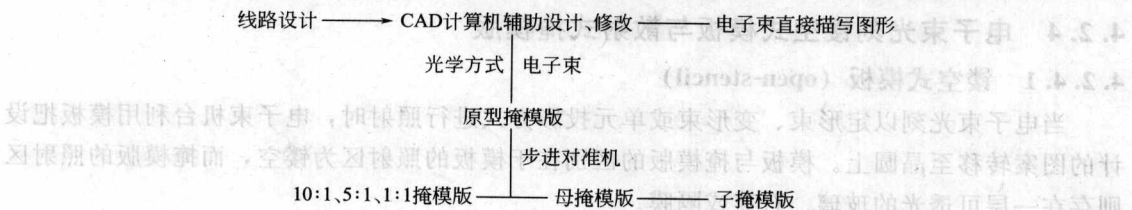


图 4-6 掩模版的制作流程

掩模公差指标缩小的进程比晶圆片快很多。掩模公差的加速缩小主要是由于以下两个方面的因素。①圆片光刻技术的放大倍数指标均比现行的标准小,使掩模的允许误差变小。 $2\times$ 及 $2.5\times$ 的放大倍数性能将用于混合匹配光刻技术应用的非关键层面上。在更低的放大比例下,非关键掩模的制作难度接近于 $4\times$ 或 $5\times$ 下的关键掩模。 $1\times$ X射线光刻技术越来越被视为是 130nm 级技术的可选用生产方案。②光学邻近效应修正(optical proximity correction, OPC)方法的广泛采用大大加剧了掩模最小图像尺寸的变低,将仅会达 $5\times$ 或 $4\times$ 放大倍数下在圆片上成像尺寸的 $2\times$,或小于 $1\times$ X射线光刻技术的情形。

除了公差方面有所减小外,未来掩模制造工艺的复杂程度还会大大增加。不论是光学光刻技术或任何其他新技术所用到的相移掩模(phase-shifting mask, PSM),还是电子投影掩模,技术本身就很复杂并用到很昂贵的材料,而且需要更多任务序才能制成。

4.2.6.2 掩模版的缺陷和修复

掩模版是高精密度的石英平板,是用来制作晶圆上电子电路图像,以利集成电路的制作。掩模版必须完美无缺,才能呈现完整的电路图像,否则不完整的图像会被复制到晶圆上。

掩模版检测机是结合影像扫描技术与先进的影像处理技术,捕捉图像上的缺失。当晶圆片从一个制程往下个制程进行时,图案晶圆片检测系统可用来检测出晶圆上是否有瑕疵包括有微尘粒子、断线、短路以及其他各式各样的问题。此外,对已印有电路图案的晶圆片成品而言,则需要进行深亚微米范围的瑕疵检测。一般来说,图案晶圆片检测系统是以白光或激光来照射晶圆片表面,再由一组或多组探测器接收自晶圆表面绕射出来的光线,并将该影像交由高功能软件进行底层图案消除,以辨识并发现瑕疵。

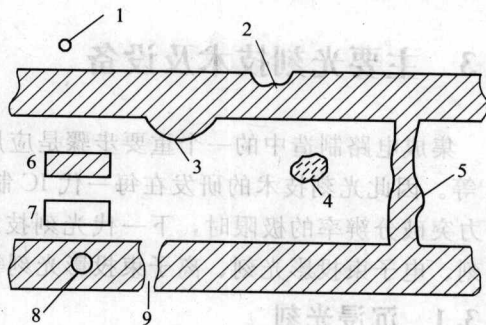


图 4-7 掩模版缺陷的种类

- 1—溶剂斑; 2—透明区扩展; 3—铬外延; 4—指纹;
5—铬桥连; 6—多余图形; 7—丢失图形;
8—针孔; 9—铬断裂

掩模版缺陷可以分为软缺陷和硬缺陷两种,如图 4-7。软缺陷包括指纹、灰尘、水迹和溶剂斑等。硬缺陷主要包括多余铬缺陷和缺少铬缺陷,其中,多余铬缺陷包括残余的铬斑、多余的连线、不规则的凸缘以及错误图形等,缺少铬缺陷包括针孔、铬线条断裂、丢失的铬图形等。另外,相移掩模除上述缺陷外还有一些其他缺陷,如多余相移器层缺陷和相移层缺失缺陷等。

掩模版中的缺陷通常是 IC 制造中的导致产率下降的因素。在掩模版的制作过程中,掩模材料、抗蚀剂、制作工艺等方面都可能引起在光掩模上产生各种缺陷,导致集成电路断路、短路、漏电等故障,使集成电路成品率降低、可靠性下降。掩模制作的费用昂贵、制作周期长,因此对缺陷掩模提出进行修整,不但可以降低经济损失,而且可以避免重做掩模而延误生产时间。

掩模版制造缺陷的成因较多。毛玻璃基片可能含有气泡、划伤、小孔和断裂,这些问题在好的材料中气泡可以相对减少,而且容易被检查到。小孔降低了铬膜的黏附性,导致针孔,划伤导致局部区域刻蚀的不一致性,特别是在图形的边缘。虽然划伤、小孔和断裂可以通过表面检查,但比较困难,更有可能在完成的光掩模版上被发现。

铬膜的缺陷包括铬膜上的特殊杂质、铬表面的针孔或孔隙、一些化学物质（例如氮化物或碳化物）等，它们将导致反常的局部刻蚀并产生不希望的图形。

光刻胶缺陷包括引起铬沾污的孔隙和局部影响光刻胶溶解性的光刻胶的凝聚。电子束光旋工艺比传统的光学光刻工艺易出光刻胶缺陷。杂质仍然可能在图形转移过程中沾到光掩模的表面，同样可能导致掩模缺陷。

在完成掩模版的制作之前，需要进行一系列保证产品质量的检查，掩模版的检查包括线宽测量、图形阵列之间套准精度的检查、确定设计数据库中所有特征都已转移到掩模版上以及确定是否产生了掩模版制作缺陷。

除了检查由工艺诱生的缺陷外，对掩模版的检查包括对物理特性（例如微量校准、初始的和测试图形区域的极性、基片类型、铬的类型）、关键尺寸（CD）和套准的检查。

对光掩模进行修整可以采用很多方法。例如，可以用脉冲激光束或者聚焦离子束去除多余的吸收体图形和溅射修补针孔，可以利用聚焦后的激光束对光掩模进行修整。

4.2.7 复合掩模版

复合掩模版（portable conformable mask, PCM）也被称为原位掩模版，它是将掩模版与晶圆两种独立的物体合二为一的产物，其在等离子体刻蚀、垂直侧壁轮廓的制备等工艺上有优异的性质。

4.3 主要光刻技术及设备

集成电路制造中的一个重要步骤是应用光刻技术最终制备成电阻器、MOS管、BJT或IC等。因此光刻技术的研发在每一代IC制造技术中都扮演着先导的角色。当光学光刻技术努力突破分辨率的极限时，下一代光刻技术的应用便迅速升温，包括X射线光刻、极紫外光刻、电子束投影光刻、离子束投影光刻等。

4.3.1 沉浸光刻

沉浸光刻技术（浸入式光刻）（immersion lithography, IL）是一项旨在现有光刻设备基础上将光刻分辨率水平提高的技术。在沉浸光刻技术中，在原光刻设备透镜与晶圆之间的空间注满了水，形成了一个“液体透镜”，通过得到更高的数值孔径可以大大提高透镜的分辨率。使用高纯水作为光学设备和硅之间的界面可以显著减少影响分辨率的光衍射程度。

往光刻系统中加水有包括喷淋式设计、浴缸式设计和游泳池式设计三种方法。喷淋式设计是将水喷在芯片上然后设法带走；浴缸式设计是将芯片完全浸入“浴缸”，“浴缸”可以随着芯片平台移动；游泳池式设计是将整个操作平台都放置在水中。尽管浴缸式设计可以使芯片边缘更加容易曝光，但它给操作平台增加了太多重量，结果会对生产速度产生不利影响，仅仅增加1~2L水就会损失生产效率。现在，半导体行业倾向于采用喷淋式设计。

沉浸光刻的喷淋式设计（Nikon的设计概念）如图4-8所示，该方法在芯片一侧设置了一个喷嘴，将水喷到棱镜下面，然后从另一侧将水吸走。



图 4-8 用于沉浸光刻的喷淋系统

液体透镜对温度变化很敏感,而温度变化对采用这项技术的光学设备设计的影响很大。必须开发出高质量的抗蚀剂材料,避免液体中出现泡沫;除了机械问题和流体学问题,沉浸光刻还需要大型昂贵的透镜,以减少偏振效应降低对比度。水中含有气泡会对成像品质造成严重威胁。气泡主要来源是水中含有一些空气。最简单的办法就是对水进行除气处理。

另外一个问题是水对接触的材料(光学系统的最后一个棱镜和光刻胶)造成的影响。很多研究小组一直在研究当水与光刻胶接触时会发生什么现象,其中包括污染问题。对于光刻胶来说,问题可能要少些,因为光刻胶与水的接触时间不太长。相反,棱镜却要持续的水流相接触。水流可能会对棱镜造成损伤。

沉浸光刻可以建立在现有平台和基本硬件基础上,能够保持材料延续性,包括嵌入材料及其柔软的表层等。另外,只需进一步改进光刻胶。

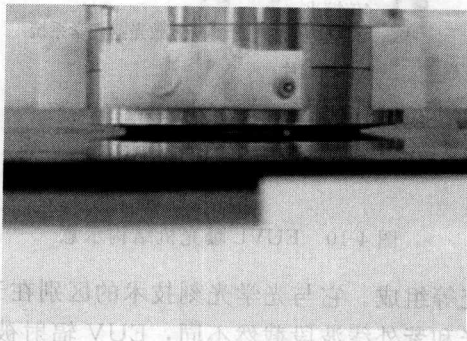


图 4-9 实验用浸没式光刻系统

图 4-9 为沉浸光刻系统,镜片和晶圆平面中的液体因有较大的阻力,而对晶圆工作台会有牵制力,使同步扫描受干扰。另外,液体散热速度慢,也会引起局部类似畸变的位移。此系统应用

液体做接口,溶解在液体本身的气体浓度可能引起气泡,必须使用经过除气处理过的水。另一方面,引起气泡的原因还有表面阻力效应和多数液体弯液面互相碰撞,所使用的液体黏滞性、光刻胶本身的疏水性和平坦度都会引起不同的表面阻力。因此目前使用较吸水和亲水性的表层覆盖层比较适合。而曝光机平台运作,水界面与基片交换动作,尤其是在晶圆交换时,如果动作比较大或复杂时会引起许多弯液面,而若是用较浓的水,气泡会更容易形成。

4.3.2 无掩模光刻技术

进入纳米尺度之后,掩模成本在整个光刻成本中所占份额不断攀升。由于掩模版价格日益高涨,在光刻中如何降低掩模成本,采用无掩模光刻技术已成为光刻业界热门的话题。目前,普遍认为无掩模光刻技术是一个潜在解决方案,是一种有前途的光刻候选技术。但是近期还只是一个细分的光刻技术,尚不能替代主流的光刻技术,如浸入式光刻和 EUVL。

2004 年 ASML 与贝尔实验室联合研发无掩模光刻技术方面有所突破,为甩开掩模版、降低光刻成本迎来了曙光。目前,无掩模光刻技术还面临着几个重大的技术挑战,如电子束校正、晶圆上的像素验证和检查;与光刻工艺的兼容性;影响特征尺寸覆盖的重合误差等。对于电荷微粒无掩模存在的特殊问题有:电子束与产出率的折中和可延展性、电子束稳定性(可靠性)、电子束源稳定性、腐蚀剂精确度以及射入噪声等。总之,无掩模光刻技术还是一种新颖的光刻技术,有待解决的技术问题还很多。

4.3.3 紫外线光刻/极紫外光刻

极紫外线光刻(extreme ultraviolet lithography, EUVL)技术是以极紫外光作为光源,与光学光刻十分相似,只是在材料的强烈吸收中存在差异。极紫外光刻技术的光学系统必须采用反射形式。由于不能跟目前的光学光刻机兼容,所以传统的光刻工艺都要重新设计。极紫外线光源发出的 13nm 的波长太短,几乎会被绝大多数材料吸收,包括空气、传统的设备等。只能采取新的环境来控制污染,例如采用纳米级精度无摩擦的悬浮工作台。

许多科学家认为 EUVL 技术最有可能成为制备线宽 32nm 及以下的 IC 生产工具,且

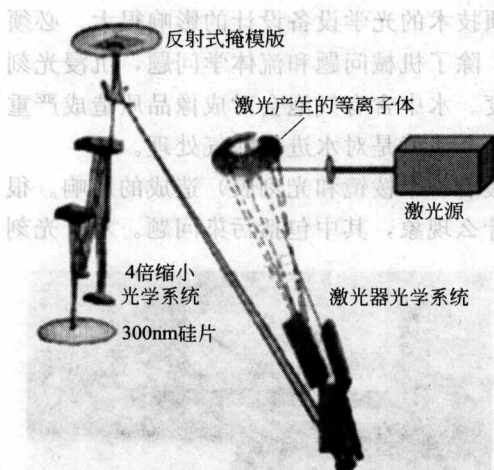


图 4-10 EUVL 曝光机结构示意图

EUVL 良好的技术延伸性，EUVL 技术适用于制备纳米 CMOS 特大规模集成电路工艺。EUVL 用 11~13nm 波长的软 X 射线，EUV 设备微缩投影光学系统倍率为 1/4，采用四镜形式，包括三块非球面和一块平面，它的掩模是在多层膜衬基上添加重金属形成的反射式掩模。光源采用气体喷射靶激光等离子体光源或同步辐射光源，工作气体为氙气。激光等离子体光源产生的 EUV 辐射，经过多层膜反射镜组成聚光系统后，照明反射式掩模，并经微缩投影光学系统，在涂有光刻胶的硅片上复制被微缩为原来的 1/4 的掩模图形。EUVL 曝光机结构见图 4-10。EUVL 系统由激光源、聚光系统、反射式掩模版和 4 倍缩小光学系统

等组成。它与光学光刻技术的区别在于，几乎所有物质在 EUV 波段表现的性质与在可见光和紫外线波段截然不同，EUV 辐射被所有物质甚至被气体强烈吸收，因此 EUV 成像必须在真空中进行。

获取 EUV 光源的途径有同步辐射和激光等离子体两种。同步辐射实际上是环形加速器中做循环运动的高速电子经弯转磁体时，沿电子轨道切线方向上所发出的高强度电磁辐射。它具有高光强、高准直、波谱宽、线偏振、洁净度高等优点。同步辐射光源的优点是技术成熟、运行稳定、功率高、小型化程度好、对光刻胶灵敏度要求低、芯片生产效率高。但采用同步辐射环作为 EUV 光源时，一旦储存环出了问题，芯片生产厂家将陷于瘫痪，故它不为 IC 芯片生产厂商所看好。

激光等离子体用准分子激光轰击靶材产生 EUV。由于 EUVL 是针对 32nm 以下的光刻手段，故对准分子激光的要求很高，如带宽、输出功率、稳定性、维护难易度、波长、相对波长稳定性、脉冲之间的能量稳定性、成本和安全性等。其中最为关键的是如何在高重复频率下保持窄带宽和无碎屑问题。

EUV 成像系统在 EUV 波段范围内尚无合适的透明材料制造透镜，即折射式光学系统已不适用，须采用反射式光学系统，且每面反射镜的最大反射率不超过 70%。由图 4-11 可见，EUVL 光学系统（照明和投影系统）利用有限个反射镜作为光学组件，这些反射镜面形呈非球面，由四面反射镜组成光学系统较理想。通常四面反射镜中的一面为球面，而其他三面为非球面。

EUV 反射掩模的衬度是指高反射率区域与低反射率区域的反射率之比。一般要求反射掩模衬度大于 20。反射式 EUV 掩模衬基为高反射率多层膜，而吸收体材料一般是铬（Cr），如图 4-12。铬薄膜常用高真空溅射法淀积到掩模衬基上。需经过优化溅射工艺使铬薄膜基本无针孔，并降低铬薄膜内应力，有时需用一定的表面处理方法来提高铬薄膜和掩模衬基之间的黏附力。

EUVL 是面向纳米级的光刻手段，EUVL 对 EUV 掩模图形的指标远比硅片上图形的指标严格，制作成本也相当高。对于 50nm 的光刻分辨率，EUVL 光学掩模吸收体图形的分辨率要求是 0.2 μ m。制作 EUV 掩模过程或多或少会产生缺陷，缺陷的多少和大小取决于工艺水平的高低。

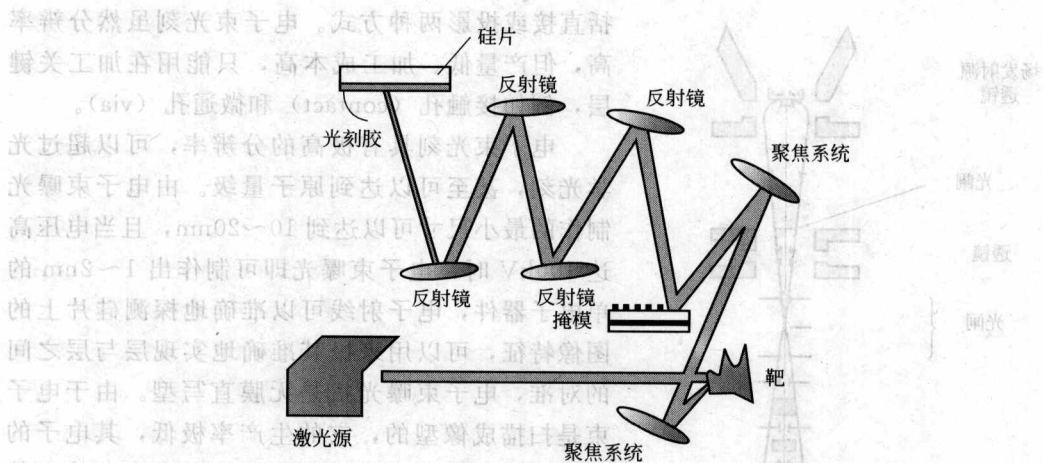


图 4-11 EUVL 光学系统示意图

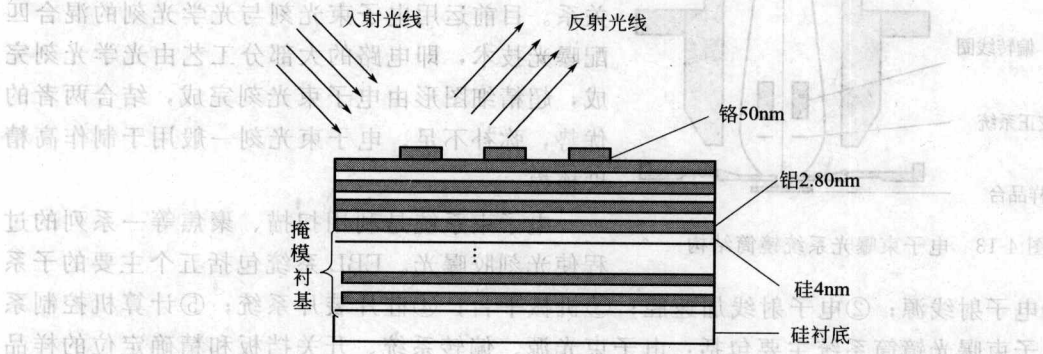


图 4-12 反射式 EUV 掩模

缺陷会直接影响到 IC 的电学性能和芯片的成品率。EUV 掩模的检测与修复比光学掩模的检测与修复技术难度大一些，常需同时使用脉冲激光束和聚焦离子束两种设备。目前对多层膜涂层缺陷的精确修复难度较大，故需重点研发低缺陷的多层膜制造技术。

因为常规的透镜不能透过极紫外光，所以为了避免折射系统中强烈的光吸收，极紫外光刻术（使用波长 10~70nm 的紫外光）必须采用精度极高的反射式光学系统，同样导致成本剧增。

对于纳米级大规模集成电路（ultra large scale integration, ULSI）生产线而言，靶材要求承受不间断的全天候准分子激光器发出的最少 10^{10} 次脉冲冲击，即在 1kHz 激光重复频率下连续使用 3 个月。靶材有固体靶（如金属锡）、循环低温气束（如 Xe 气）和液滴靶三种。采用激光等离子体源轰击固体靶产生 EUV 光源的技术目前较成熟，但主要问题是等离子体轰击靶材会产生碎屑，这些碎屑对聚焦系统的反射镜面造成直接损害。为了解决这一问题，已研制出循环低温 Xe 气高速喷射靶。其原理是 Xe 气高速喷入真空系统，经过冷却后形成一定厚度的固态表层。激光等离子体源使固态表层气化并产生 EUV 光，这样就可大大减少碎屑。其缺点是光源功率不如固体靶高，且价格昂贵。液滴靶使液体通过一个直径仅为 $10\mu\text{m}$ 左右的毛细管。由于表面张力的作用，管口会形成液滴，所以产生 EUV 光。

4.3.4 电子束光刻

电子束光刻（electron beam lithography, EBL）是下一代光刻技术的另一候选者，包

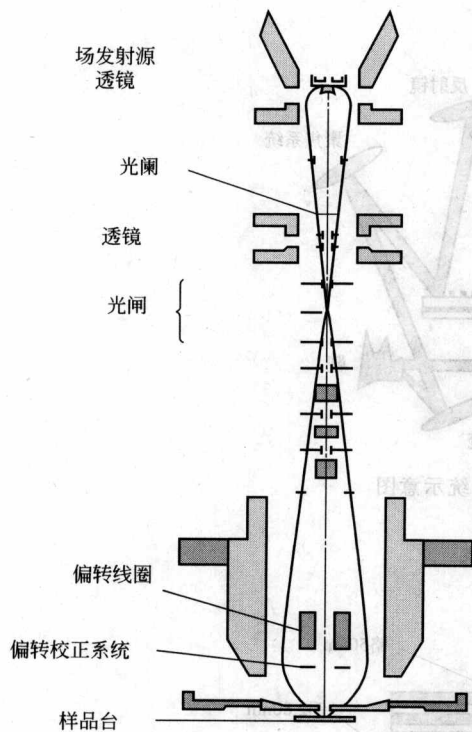


图 4-13 电子束曝光系统镜筒结构

括直接或投影两种方式。电子束光刻虽然分辨率高，但产量低、加工成本高，只能用在加工关键层，例如接触孔（contact）和微通孔（via）。

电子束光刻具有极高的分辨率，可以超过光学光刻，甚至可以达到原子量级。由电子束曝光制作的最小尺寸可以达到 10~20nm，且当电压高达 100kV 时，电子束曝光即可制作出 1~2nm 的单电子器件，电子射线可以准确地探测硅片上的图像特征，可以用来极其准确地实现层与层之间的对准，电子束曝光机是无膜直写型。由于电子束是扫描成像型的，它的生产率极低，其电子的散射易造成邻近效应，从而导致曝光在芯片上的图形尺寸与掩模版上的图形尺寸没有简单的对应关系。目前运用电子束光刻与光学光刻的混合匹配曝光技术，即电路的大部分工艺由光学光刻完成，超精细图形由电子束光刻完成，结合两者的优势，弥补不足。电子束光刻一般用于制作高精度掩模。

电子束系统是利用扫描、聚焦等一系列的过程使光刻胶曝光。EBL 系统包括五个主要的子系统：

①电子射线源；②电子射线加速腔；③机械平台；④硅片装片系统；⑤计算机控制系统。电子束曝光镜筒系统主要包括：电子束光源、偏转系统、开关挡板和精确定位的样品台，如图 4-13 所示。

电子束由电子射线源产生，几种常见的电子束源特性见表 4-2 所列，在 EBL 系统中一般包含热致发射源和场致发射源两种射线源。热致发射源将材料〔如钨、含钨钨、六硼化镧（LaB₆）〕加热到很高的温度，使电子发射出来。由于钨能提供稳定的电流，对真空要求不高，钨电子射线源使用最广泛。场致射线源是在发射源尖端加一个很强的电场，将电子从发射源中拉出来形成很小的高斯型射线束斑。这种射线源发出的射线强度比热致发射源更高，然而这种装置制造困难，要求高的真空度，所以电子束直写系统一般采用热致发射源来得到高强度的射线。

表 4-2 电子束曝光中几种常见的电子束源特性

源 类 型	亮度/[A/(cm ² ·sr)]	源尺寸	能量展宽/eV	真空度/Pa
钨	约 10 ⁵	25μm	2~3	10 ⁻⁴
六硼化镧	约 10 ⁶	10μm	2~3	10 ⁻⁶
热场发射	约 10 ⁸	20nm	0.9	10 ⁻⁷
冷场发射	约 10 ⁹	5nm	0.22	10 ⁻⁸

EBL 系统的光刻策略包括电子束形状和电子束扫描方式。电子束形状包括高斯圆形束线和可变形束线两种束线形状，典型的高斯圆形束线比图像中最小的尺寸的 1/4 还小，可变形束线是用来适应不同的图像特征及尺寸的。

电子束曝光过程中电子、光刻胶和基片中的原子相互作用，电子进入光刻胶后会被散射

(向前或向后), 大部分电子向前散射形成一个与入射方向小于 90° 的散射区, 这个效应扩散了电子束, 一些电子会经历大于 180° 的大角度散射(背散射)反射到表面。

透入光刻胶中的电子产生的效应如图 4-14 所示。入射电子区被散射扩展了, 电子背散射时, 从基片上反射回来又附加了光刻胶的曝光, 造成了显影后图像条宽比仅以电子束直径预测的结果大, 这种散射效应即是限制最小线宽光刻的力学机制, 由于这种散射会扩展到几微米, 在曝光时邻近的图像会收到来自其近邻的散射电子, 这种效应叫“邻近效应”(proximity effect), 光刻胶吸收到的能量密度由式(4-1)给出:

$$E(r) = K \left[\exp\left(\frac{-r^2}{\beta_f^2}\right) + n \frac{\beta_f^2}{\beta_b^2} \exp\left(\frac{-r^2}{\beta_b^2}\right) \right] \quad (4-1)$$

式中, K 是比例系数; n 是背散射能量与前散射能量之比; β_f 和 β_b 是前散射和背散射的高斯分布特征宽度; r 是束斑的半径。 β_f 、 β_b 、 n 随能量的不同而不同, β_b 与 n 还与衬底材料性质有关, 对不同的曝光和衬底, 这三个参数的调整常用于实际光刻时对邻近效应的修正。

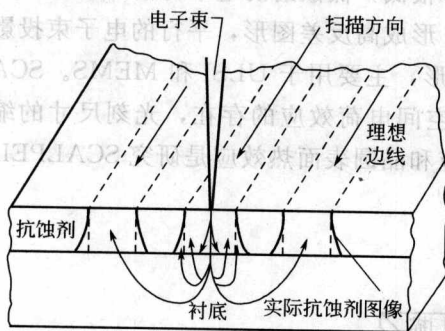


图 4-14 透入光刻胶中的电子产生的效应

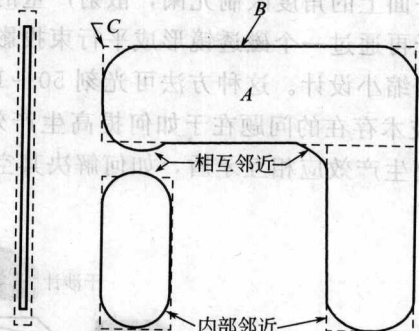


图 4-15 邻近效应造成的图像扩展

邻近效应造成图像扩展的另外的一些结果如图 4-15 所示, 在 A 点(一个大曝光区)可以看到周围电子能量的贡献, 其边角上并没有得到相同的能量, 在边界上的 B 点只能得到 A 点剂量的 $1/2$, 而在拐角处 C 点只能得到 A 点的 $1/4$ 剂量, 所以在显影时, 如果对 A 区进行最优化处理, 拐角处就不会充分显影到设计尺寸, 这个现象叫做“内部邻近效应”(intra-proximity effect), 它引起大图像和小图像光刻的不平等性。

对于一个窄的线条, 如果曝光和显影被选择用于得到 B 点的适当边界, 窄线条也会变得非常窄; 另一方面, 由于背散射电子会运动较大的距离, 相邻近的两个图像如果靠得很近, 就会显示出相互曝光的现象, 形成两个图形相互凸起, 在一定的条件下它们会连通起来, 这就是“相互邻近效应”(inter-proximity effect)。

在 EBL 中, 经常使用一些薄成像光刻胶, 经过剥离或刻蚀将图形转移到硬掩模中。当光刻胶直接用于刻蚀环境时, 采用以酚醛为基础的光学光刻胶或酚醛/砒共聚物。

电子束光刻胶的主要参数包括对于曝光类型和能量的对比度及灵敏度, 表 4-3 列出了几

表 4-3 几种电子束光刻胶的性能比较

光刻胶	特性	灵敏度/ $(\mu\text{C}/\text{cm}^2)$	对比度	光刻胶	特性	灵敏度/ $(\mu\text{C}/\text{cm}^2)$	对比度
PMMA	+	100	2.0	COP	-	0.5	0.8
EBR-9	+	1.2	3.0	GMCIA	-	7.0	1.7

注: “+”表示为阳性; “-”表示为阴性。

种光刻胶的电子束光刻参数。由于正性光刻胶聚甲基丙烯酸甲酯 (PMMA) 具有较理想的灵敏度, 且具有较佳的对比度, 常用于高分辨率工作。当 PMMA 光刻胶用作直写技术时, 它作为图形光刻胶用于剥离工艺。

几种可用的负性光刻胶成分由聚合物链形成, 典型的交联成分包括氯甲基苯乙烯、环氧树脂和乙烯基团, 曝光过程中聚合物极易在这些物质处交联, 降低了电子束光刻胶在显影剂中的溶解度。与表 4-3 中正性光刻胶相比, 负性光刻胶具有接近或更佳的灵敏度, 但其对比度较低, 且尺寸在显影时易胀大。

为了改善电子散射的邻近效应, 1989 年贝尔实验室朗讯工作组推出了散射角度限制的电子束投影光刻 (SCALPEL), 其结构由图 4-16 所示。SCALPEL 系统主要由电子束光源、干涉仪、掩模工作台、透镜、拼接偏转器、芯片工作台以及扫描装置等部件组成。图 4-17 为 SCALPEL 工作原理, 掩模版由极薄的氮化硅膜 ($1000 \sim 1500 \mu\text{m}$) 和薄的高原子序数金属膜 ($250 \sim 500 \mu\text{m}$) (如钨) 组成。平行的高能电子束入射到掩模版上, 穿过氮化硅膜的电子基本上不散射, 而穿过金属膜的电子散射严重, 电子再经过磁透镜聚焦后穿过一个置于焦平面上的角度限制光阑, 散射严重的电子透过率很低, 低散射的电子都能穿透过去。所有电子再通过一个磁透镜形成平行束投影在晶圆上, 形成高反差图形, 平行的电子束投影采用 4 倍缩小设计。这种方法可光刻 $50 \sim 100 \text{nm}$ 的图形, 主要用于 ULSI 和 MEMS。SCALPEL 技术存在的问题在于如何提高生产效率, 由于空间电荷效应的存在, 光刻尺寸的缩小和提高生产效应相互矛盾, 如何解决其空间电荷效应和晶圆表面热效应是研究 SCALPEL 的重点。

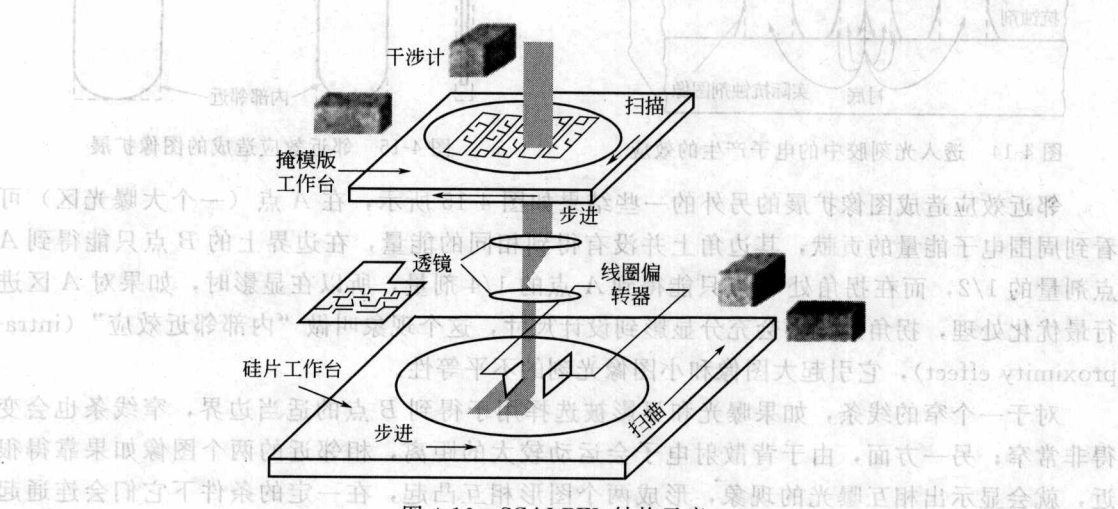


图 4-16 SCALPEL 结构示意图

由于 SCALPEL 属于电子束投影曝光, 要求电子经磁透镜聚焦后穿过角度限制光阑, 当电子束通过掩模版中的高原子序数层时, 该层散射出的电子束在硅片平面上形成高反差图形, 因此电子的产生使用温度限制 (即热电子发射) 模式的阴极。早期的 SCALPEL 电子枪是一个大而扁平的 LaB_6 单晶, 它被加热到 1250K , 产生 $10 \mu\text{A}$ 的电流, 该电流在 1mm 直径上均匀性很高, 并具有 $1000 \text{A}/(\text{cm}^2 \cdot \text{sr})$ 的亮度。目前 SCALPEL 系统已被改换成亮度只有 $250 \text{A}/(\text{cm}^2 \cdot \text{sr})$ 的 Ta 盘状阴极。

图 4-18 为电子束投影光源 (Ta 热阴极枪) 的曝光原理示意。与电子束直写技术不同的是 SCALPEL 技术希望具有大面积、高均匀度、低亮度的投影电子束光源, 并获得相当高的

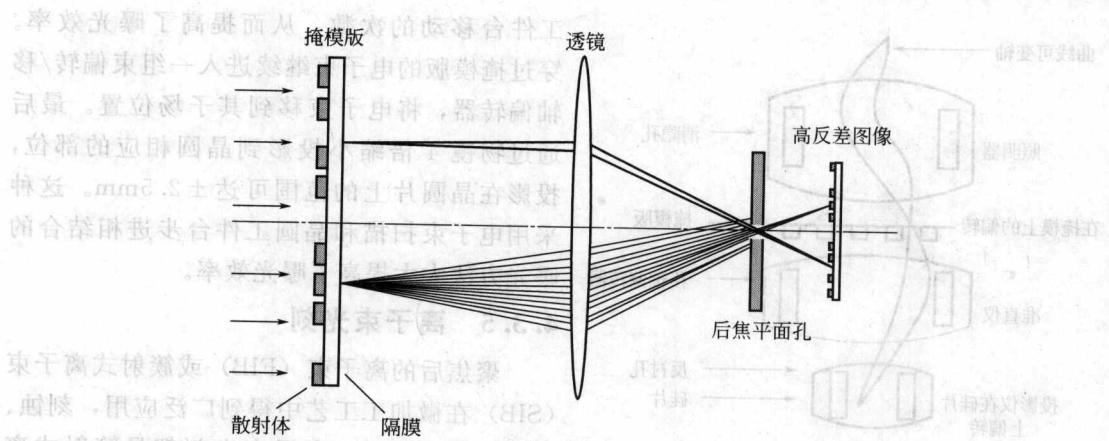


图 4-17 SCALPEL 的基本操作原理

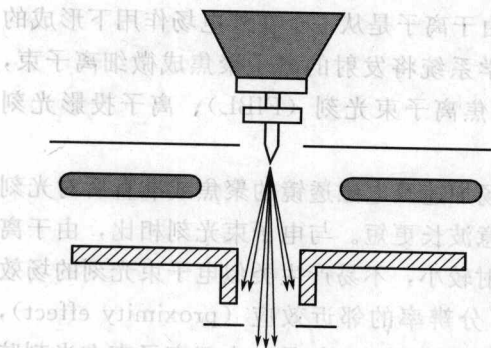


图 4-18 Ta 热阴极枪曝光原理示意图

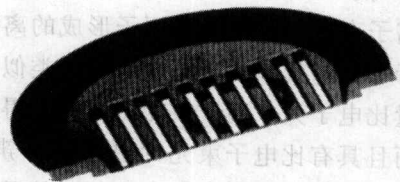


图 4-19 SCALPEL 的掩模版结构

总发射度。由于使用磁透镜聚焦的像差不好，使用大视野磁透镜适合。SCALPEL 系统只有小曝光面积，掩模、圆片室和束流通道的真空压力保持在 $133.322 \times 10^{-7} \text{ Pa}$ ，Ta 热阴极枪保持为 $133.322 \times 10^{-8} \text{ Pa}$ 的压力，其通过对图形和圆片同步辐射扫描的方式进行图形曝光，工作台按给定的曝光缩小量以 4:1 的速度比行进。

SCALPEL 掩模版结构见图 4-19。SCALPEL 掩模版设计与常规的半导体工艺兼容，其两面沉积 SiN_x 薄膜，背面开窗口，正面沉积 Cr/W/Cr 散射，之后进行 KOH 刻蚀去除顶层 Cr ，将硅片粘在支撑环上，即完成了一个掩模版的基板制备，再在其上涂胶，形成电子束曝光图形，从而制造出 SCALPEL 掩模版。

为了改善薄膜掩模的机械稳定性，图形被分成每毫米一排，在最终的图形中进行拼接，包括使电子束产生偏转的高原子序数 Cr/W 材料的边缘区，这些边缘区环绕在每个曝光区的周围，构成了图形的边沿部分。

在电子束投影曝光中，为了提高曝光效率，实现大量平行像素投影，推出了 PREVAIL (projection reduction exposure variable axis immersion lensen) 技术，其曝光面积可达 1 mm^2 ，图 4-20 给出了 PREVAIL 系统中电子光柱体的结构示意图。位于电子光柱体上方的电子枪发射出来的电子通过高压电场加速进入电子光柱体，通过成形光阑将电子束截取成具有均匀能量分布的方形电子束，电子束经过一个曲线可变轴透镜 (curvilinear variable axis lens, CVAL) 系统，在掩模版上成像面积为 1 mm^2 的能量均匀分布的方形电子束。该系统最大电子束偏转距离为 $\pm 10 \text{ mm}$ ，CVAL 可修正电子束进行大范围偏转引起的畸变，减少了

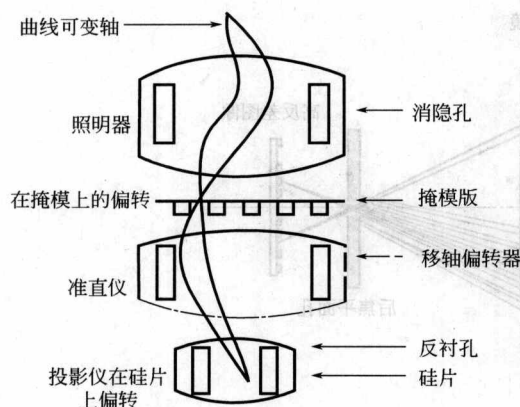


图 4-20 PREVAIL 系统结构简图

工件台移动的次數，从而提高了曝光效率。穿过掩模版的电子束继续进入一组束偏转/移轴偏转器，将电子束移到其子场位置。最后通过物镜 4 倍缩小投影到晶圆相应的部位，投影在晶圆片上的范围可达 $\pm 2.5\text{mm}$ 。这种采用电子束扫描和晶圆工件台步进相结合的曝光方法大大提高了曝光效率。

4.3.5 离子束光刻

聚焦后的离子束（FIB）或簇射式离子束（SIB）在微加工工艺中得到广泛应用，刻蚀、溅射、离子注入、离子束光刻都是簇射式离子束技术应用实例。用离子束进行抗蚀剂的

曝光始于 20 世纪 80 年代液态金属离子源的出现。由于离子是从一个在外电场作用下形成的极小的液体尖端发射的，可以较容易地利用离子光学系统将发射的离子聚焦成微细离子束，进行高分辨率离子束曝光。离子束光刻主要包括聚焦离子束光刻（FIBL）、离子投影光刻（IPL）等。

离子束光刻采用液态原子形成的离子通过电磁场加速及电磁透镜的聚焦或准直后对光刻胶进行曝光，其原理与电子束光刻类似，但德布罗意波长更短。与电子束光刻相比，由于离子质量比电子大，离子束光刻散射少得多，即背散射较小，不易产生类似电子束光刻的场效应，而且具有比电子束光刻更高的分辨率，限制了分辨率的邻近效应（proximity effect），而且离子束光刻胶比电子束光刻胶的灵敏度更高、曝光场更大。但是，由于离子束在光刻胶的穿透深度只有 30~50nm，所以必须使用三层工艺技术。另外，由于离子质量重，在感光胶中的曝光深度有限，这大大限制了离子束曝光的应用范围。

离子束光刻的主要优点包括以下几点：①可采用分布重复投影结构；②对抗蚀剂厚度或基底材料不敏感，可利用光学抗蚀剂进行立体曝光；③可与光学光刻混合使用；④焦深大，衍射效应可被忽略。其主要的缺点包括：①离子束需要在真空下工作，硅片和掩模操作不方便；②离子束可使下层基底受损；③离子束是带电粒子，由于空间电荷使图形的清晰程度和图形位置精度受限。

离子束曝光在集成电路工业中主要用于光学掩模的修补和集成电路芯片的修复。在离子束扫描过程中同时通入某种化学气体，则可把碳或钨沉积到透光斑缺陷上。用离子束还可切断芯片上的某一组连线或接通某一组连线，从而可在芯片上纠正设计错误，提高芯片利用率。

离子束光刻需要解决的问题包括抗蚀剂曝光的深度、掩模的制作、高能离子束源以及离子束的聚焦，主要障碍是需要一个可靠的离子束源，目前所使用的离子束源包括气体场源、液态金属源和等离子体源三种，其中气体场源有希望用于光刻中，液态金属源能产生各种所需的离子，等离子体源具有较高的效率。

4.3.6 X 射线光刻

X 射线光刻早在 20 世纪 70 年代初期就已经出现，X 射线光刻是利用波长很短的 X 射线（4~50Å）和全域的掩模版进行的光刻工艺。在较短的波长时，掩模版上的“不透明”区域

的透射是很强的,所以可获得极高的分辨率,极短波长也能消除限制一般光学系统的衍射效应。X射线光刻技术采用近接触曝光模式(near contact printing model)还可进一步减小小光刻图形的特征尺寸。

X射线光刻装置图如图4-21所示。X射线源包括X射线管、同步辐射源和激光等离子体射线源三种。X射线管是最简单的X射线源,高能电子在射线管中被聚焦打在金属靶(如钨)上,X射线的发射率低于1%,余下的大部分能量都用于给靶极加热,靶极的热量需要用水冷却。最广泛被使用的X射线管,其提供了一个具有表面积和小尺寸的对称的发射点,利用高流速的冷却剂,热量传递可以得到增强,此发射源可用于整个硅片全曝光,但用于步进-重复系统却不够。

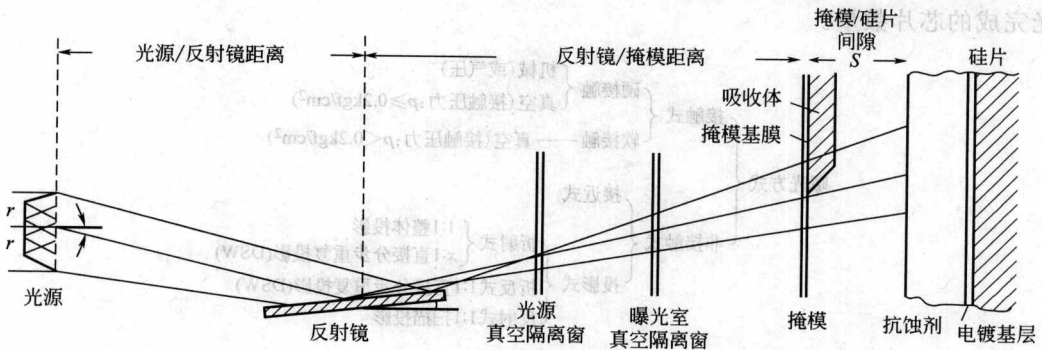


图 4-21 X 射线光刻装置图

同步辐射源是由电子在储存环或回旋加速器中作圆周运动时发出的,其大小与电子向心加速度有关,通量密度($10 \sim 20 \text{ mV/cm}^2$)在硅表面形成,这种射线是由 $10 \sim 50 \text{ \AA}$ 的光组成,并能被X射线掩模版(如金)的图像特征强烈地吸收。同步辐射源最主要的缺点就是成本高。

在激光等离子体射线源里可用脉冲IR激光或脉冲UV激发物激光。激光脉冲被聚焦在靶极上而产生温度足够高的等离子体,等离子体会发射连续的特征X射线,其发射的能量密度可以达到 6.3 mW/cm^2 ,这是电子轰击射线源所能达到的50倍。另外,此系统的能源支持部分可放在一个相对可移动的位置,既节省了净化室的空间又减少了电磁波对净化室的污染。此方法中的研究主要集中于增加脉冲的可重复性,以减少尖峰能量和减少由于使用快门使激光同步而伴随产生的在X射线窗上淀积出的小碎片。

X射线光刻技术中,掩模版上的图形与转换到硅片上的图形为同样大小。光刻掩模版的材料有硅、氮化硅(SiN_x)、碳化硅(SiC)以及金刚石膜等,它们均有良好的散热能力、较低的热膨胀系数和X射线透光度($>60\%$)。为了使透光区与非透光区的X射线穿透比大于 $10:1$,X射线光刻版上还需要使用X射线吸收剂金、钨、钼等,厚度为 $300 \sim 800 \text{ nm}$ 。

X射线光刻具有高分辨率和高生产率等优点,其消除了光学和电子射线光刻中出现的深度聚焦问题和反射、散射问题,另外,X射线光刻能提供高形貌比的光刻胶,由于X射线波长是 $15 \sim 40 \text{ \AA}$,由低原子量的原子组成的物质对其没有显著的吸收作用,所以它也可以避免因为有机粒子沾污掩模版造成的不利影响。

X射线光刻的焦深容易控制,对于 $0.13 \mu\text{m}$ 的光刻分辨率,其焦深可达 $7 \mu\text{m}$ 。X射线曝

光的视场远远大于光学光刻，可方便地应用单层工艺，工艺简单。不过，X射线有些关键的技术问题没有解决，如聚焦、掩模制作、电光源以及掩模版使用过程中的受热变形问题等。另外，X射线光刻中的高能辐射会迅速破坏掩模和透镜中的许多材料，导致光刻成本高昂。掩模材料的选择和精确控制吸收层内的机械应力以及对缺陷的严格控制是实现高空间分辨 X 射线光刻的关键。

4.3.7 设备

光刻机的性能由分辨率（resolution）、套准精度（registration）与产率（throughput）三个参数来判断。分辨率是指能够精确转移到芯片表面抗蚀剂膜上图案的最小尺寸。套准精度是指后续膜模版与先前掩模版刻在硅片上的图形相互对准的程度。产率是掩模版每小时能曝光完成的芯片数量。

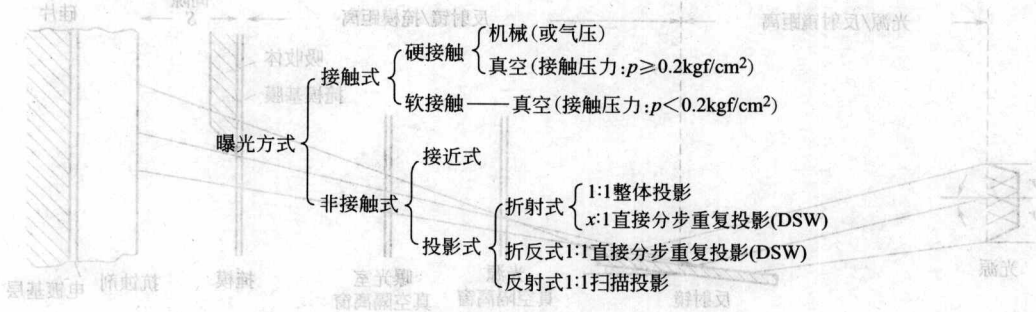


图 4-22 曝光方式

1 kgf/cm² = 0.1 MPa

图案的转移是利用图形曝光设备来完成的。曝光方式如图 4-22 所示。也可将光学曝光方法分为遮蔽式曝光（shadow printing）和投影式曝光（projection printing）两种。遮蔽式曝光可分为接触式曝光（contact printing）和接近式曝光（proximity printing）。

接触式曝光的基本装置如图 4-23(a) 所示，其中芯片表面涂上一层抗蚀剂并且接触掩模版，利用几乎平行的紫外光源，通过掩模版背面照射一定时间使抗蚀剂曝光。由于掩模版与晶面的紧密接触，分辨率可达 1μm。在芯片与掩模版接触时，晶面上的尘埃粒子或是硅渣可能嵌入掩模版中，将造成掩模版永久性损坏，在后续曝光的芯片上形成缺陷。

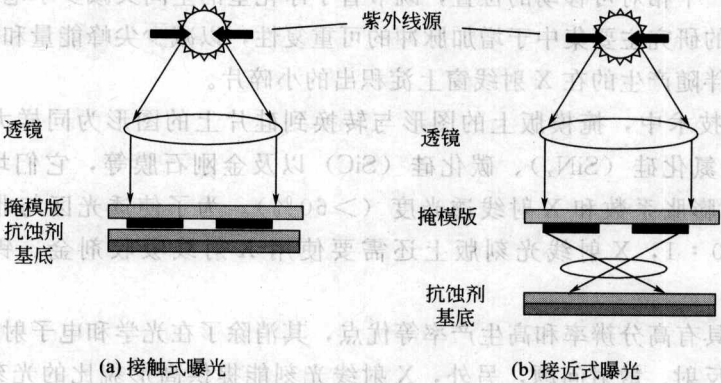


图 4-23 光学遮蔽式曝光技术简图

为了减少掩模版的损坏，可以使用接近式曝光，其基本装置如图 4-23(b) 所示，其与接触式曝光相似，唯一不同的是在曝光时，掩模版与芯片间存在一定的距离，但这一间隙会

在掩模版图案边缘造成光学衍射从而导致分辨率退化。

对于遮蔽式曝光，最小线宽（临界尺寸）可用式(4-2)表示：

$$l_{CD} = \sqrt{\lambda g} \quad (4-2)$$

式中， λ 是曝光光源的波长； g 是掩模版与芯片间的间隙距离。因此，当减小 λ 与 g 时，可以得到 l_{CD} 缩小的优势。然而，当 g 一定时，任何大于 g 的微尘粒子都会对掩模版造成损坏。

为了避免遮蔽式曝光中掩模版的损坏问题，开发了投影式的曝光设备。投影式曝光是利用投影的方式将掩模版上的图案投影至相距好几厘米的芯片上。为了增加分辨率，每次只曝光一小部分掩模版图案，通过扫描或步进的方式来完成整个芯片的曝光。图 4-24(a) 显示一个 1:1 的芯片扫描投影系统。一个宽度约 1mm 的窄弧形像场连续地将图案从掩模版转移至芯片上，芯片上的图案尺寸与掩模版上相同。

像场也可在保持掩模版不动的情形下，利用二维的芯片平移，通过步进的方式来完成芯片表面的曝光。在每曝光完成一个芯片位置时，就移动芯片至下一个芯片位置，如此重复曝光步骤。图 4-24(b) 与图 4-24(c) 分别显示了利用 1:1 与缩小 $M:1$ （如 10:1，即在芯片上缩小 10 倍）的步进重复投影法的图像划分技术。缩小的比是一个重要的参数，与透镜和掩模版的制造能力有关。

缩小投影技术可以在不需要重新设计步进机透镜下，在较大的芯片上转移图案，只要像场的大小可以包含至少一个到数个 IC 芯片。当芯片尺寸超过透镜的曝光面积时，需要进一步划分图像。在图 4-24(d) 中对于一个 $M:1$ 缩小的步进扫描投影，其掩模版的像场呈窄弧形。

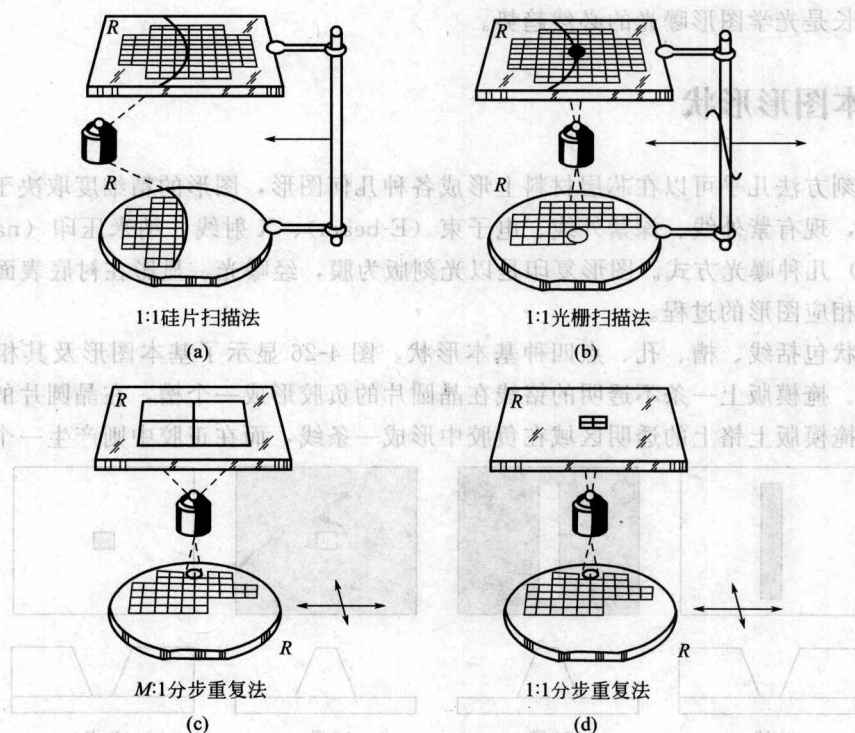


图 4-24 投影式的曝光方式

投影系统的分辨率可以表示为：

$$l_m = k_1 \frac{\lambda}{D_{NA}} \quad (4-3)$$

式中， λ 是光源波长； k_1 为与工艺有关的参数； D_{NA} 是数值孔径， D_{NA} 的定义为：

$$D_{NA} = \bar{n} \sin \theta \quad (4-4)$$

式中， \bar{n} 是影像介质的折射率； θ 是圆锥体光线聚于芯片上一点的半角度值，如图 4-25 所示。

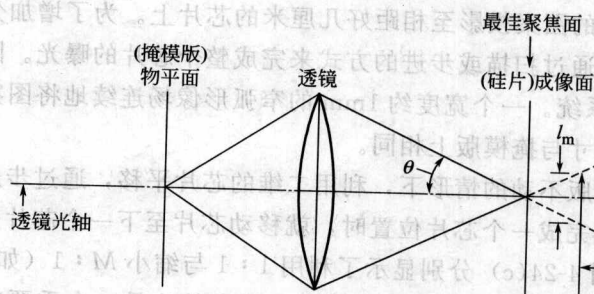


图 4-25 简单的影像系统

图中同时显示了其聚焦深度，其表达式为：

$$l_{DOF} = \frac{\pm l_m/2}{\tan \theta} \approx \frac{\pm l_m/2}{\sin \theta} = k_2 \frac{\lambda}{D_{NA}} \quad (4-5)$$

式中， k_2 是另一个与工艺有关的参数。式(4-3)说明可以通过缩短光源波长与增加 D_{NA} 改善分辨率。然而式(4-5)指出，增加 D_{NA} 值比缩短光源波长 λ 对 l_{DOF} 衰减影响更快，因此缩短光源波长是光学图形曝光的必然趋势。

4.4 基本图形形状

使用光刻方法几乎可以在芯层材料上形成各种几何图形，图形的精细度取决于曝光系统的光源波长，现有紫外线、深紫外线、电子束（E-beam）、X 射线、纳米压印（nanoimprint lithography）几种曝光方式。图形复印是以光刻版为膜，经曝光、显影在衬底表面胶膜上得到与光刻版相应图形的过程。

图形形状包括线、槽、孔、点四种基本形状。图 4-26 显示了基本图形及其相对应的负胶的剖面图。掩模版上一条不透明的铬线在晶圆片的负胶形成一个槽，在晶圆片的正胶则形成一条线，掩模版上铬上的透明区域在负胶中形成一条线，而在正胶中则产生一个槽。

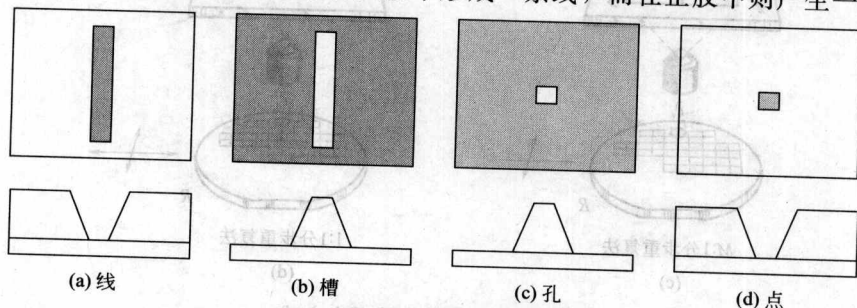


图 4-26 基本图形及负胶的剖面图

图案包括孤立型和阵列型两种基本变化(如图4-27所示),两者的光刻是不同的,其光刻分辨率也将因形状的不同而不同。分辨率是指两条线间的紧密程度,其决定了晶圆片上的封装密度。线加槽宽,被称为栅距(pitch)。

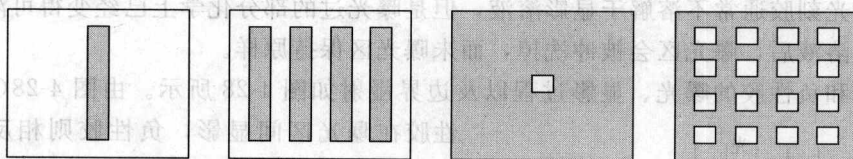


图4-27 孤立图形和阵列图形

对于数据处理主要来自于工艺上的要求,而对于图形处理包括以下几点要求。

① 直接对应,光掩模直接对应到版图的一层,如金属层。

② 逻辑运算,光刻图形可能由一层或多层版图层逻辑运算而来,在进行某些逻辑运算时,图层的顺序十分重要。与反转运算结合时,还应考虑运算的先后顺序。

③ 图形涨缩,即进行大小操作,比如栅处的注入层,从栅大小放大而来。

完整的光掩模图形中,除了对应电路的图形外,还包括一些辅助图形或测试图形,如游标、光刻对准图形、曝光量控制图形、测试键图形、光学对准目标图形以及划片槽图形等。

4.5 光刻胶

光刻胶(photoresist)又称光致抗蚀剂,即通过紫外光、电子束、离子束、X射线等的照射或辐射,使其溶解度发生变化的耐蚀刻薄膜材料,是对光敏感的具有抗蚀能力的有机高分子化合物。光刻胶具有线型结构和体型结构两种结构类型,其具有不同的溶解性、溶解性的转变性和耐酸碱性等性质。

光刻胶是由感光树脂、感光化合物和可控制光刻胶力学性能并使其保持液体状态的溶剂三种主要成分组成的对光敏感的混合液体。感光树脂经光照后,在曝光区能很快地发生光固化反应,在曝光过程中改变分子结构。其物理性能特别是溶解性、亲和性等发生明显变化。经适当的溶剂处理,溶去可溶性部分,得到所需图像。感光树脂在用近紫外光辐照成像时,光的波长会限制分辨率的提高。为进一步提高分辨率以满足超大规模集成电路工艺的要求,必须采用波长更短的辐射作为光源。

感光化合物控制树脂定相的化学反应速度。不含感光化合物的光刻胶称为单成分胶或单成分系统,含有一种感光化合物的光刻胶称为二成分系统。因为溶剂和其他添加物不与胶的感光反应发生直接关系,它们不计入胶的成分。

光刻胶的技术复杂,品种较多。根据化学反应机理和显影原理,可将光刻胶分为负性胶(negative resist)和正性胶(positive resist)。通常用于非光学光刻中的光刻胶由长链碳聚合物组成,在相邻链上碳聚合物接受照射的原子会产生移位,而碳原子将直接键合,这一过程称为交联。高度交联的分子在显影液中溶解较慢。如果一种光刻胶在曝光过程中占优势的反应是交联,则称其为负性光刻胶,而曝光过程中在光刻胶中的链条分裂占优势的则为正性光刻胶。

对某些溶剂是可溶的,曝光后变成不可溶物质的是负性胶。负性胶包括聚肉桂酸酯类、聚炔类和聚酯类三大类。负性胶在紫外光下聚合,未曝光的负性胶仍旧可以溶于某种溶剂,

而聚合的光刻胶变得不可溶解，当晶圆片浸入溶剂时，未曝光区就被溶解了，曝光区保持原样。负性胶在显影时可能会膨胀。

对某些溶剂是不可溶的，经光照后变成可溶物质的即为正性胶，正性胶在紫外光下化学分解，这类光刻胶通常不溶解于显影溶液，但是曝光过的部分化学上已经变得可溶解了，当晶圆片浸入溶液后，曝光区会被冲洗掉，而未曝光区保持原样。

正性胶和负性胶的曝光、显影过程以及边界漫射如图 4-28 所示。由图 4-28(a) 可见正

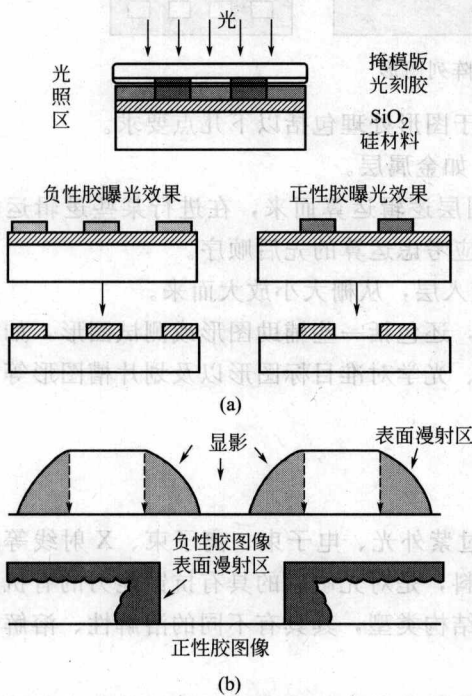


图 4-28 正性胶和负性胶
曝光、显影和边界漫射影响

性胶在曝光区间显影，负性胶则相反。图 4-28 (b) 是负性胶和正性胶边界漫射光形成的轮廓，负性胶由于曝光区间得到保留，漫射形成的轮廓使显影后的图像为上宽下窄的图像，而正性胶相反，为下宽上窄的图像。

光刻胶在曝光之后被浸入显影溶液中。大多数正性胶溶于强碱，显影剂采用中型碱溶液，常用显影剂包括 KOH、TMAH、酮或乙酰唑胺。溶液经常作为缓冲剂以提供一个操作窗口和比较长的生命周期。可溶性和 pH 都取决于加工时的温度，其变化控制精度要求为 $\pm 0.5^{\circ}\text{C}$ 。在显影过程中，正性光刻胶曝过光的区域溶解得要快得多。由于正性胶具有更好的分辨力，在 IC 制造中的应用更为普及，但在 MEMS 系统中，由于加工要求相对较低，光刻胶需求量大，负性胶仍有应用市场。

负性胶与正性胶性能特征比较如下。

① 曝光显影过程不同，正性胶在曝光区间显影，负性胶则相反，其曝光区间得到保留。
② 负性胶和正性胶边界漫射光形成的轮廓不同，漫射形成的轮廓使显影后的图像为下宽上窄的图像，而负性胶相反，为上宽下窄的图像。

③ 正性胶溶于强碱，显影剂采用碱溶液，而是负性胶多采用有机溶液（如二甲苯溶液）。

④ 在加工中可获得的特定几何图形不同，负性胶可轻易获得孤立的单根线，而正性胶可轻易获得孤立的洞和槽。

⑤ 负性胶成本较正性胶低。

⑥ 负性胶采用有机溶液处理，对生态环境不利，而正性胶采用水溶液，利于环保。

⑦ 正性胶相对负性胶分辨率较高。

根据感光树脂的化学结构，可将光刻胶可以分为三种类型：①光聚合型，采用烯类单体，在光作用下生成自由基，自由基再进一步引发单体聚合，最后生成聚合物，具有形成正像的特点；②光分解型，采用含有叠氮醌类化合物的材料，经光照后，会发生光分解反应，由油溶性变为水溶性，可以制成正性胶；③光交联型，采用聚乙烯醇月桂酸酯等作为光敏材料，在光的作用下，其分子中的双键被打开，并使链与链之间发生交联，形成一种不溶性的

网状结构，而起到抗蚀作用，这是一种典型的负性光刻胶。

随着 IC 特征尺寸亚微米、深亚微米方向快速发展，现有的光刻机和光刻胶已无法适应新的光刻工艺要求。光刻机的曝光波长也在由紫外谱 g 线 (436nm)→i 线 (365nm)→248nm→193nm→极紫外光 (EUV)→X 射线，甚至采用非光学光刻 (如电子束曝光、离子束曝光)，光刻胶产品的综合性能也必须随之提高，才能符合集成工艺制程的要求。

好的光刻胶应具有高灵敏度、高对比度、高分辨力、高纯度、低溶解度、低成本、好的蚀刻阻抗性、易于处理、长寿命周期以及较高的玻璃化转换温度 (T_g) 等优点，其中主要的两个性能是灵敏度和分辨力。光刻胶制造中的关键技术包括配方技术、超洁净技术、超微量分析技术以及应用检测能力等，其制程特性要求包括涂布均匀性、灵敏度、分辨率以及制程宽度等。

大多数光刻胶是无定向的聚合体。当温度低于 T_g 时，链条片段的分子运动停止，聚合体表现为玻璃而不是橡胶。当温度高于 T_g 时，聚合体中相当多的链条片以分子运动形式出现，因此呈黏性流动。由于温度高于 T_g 时，聚合体流动容易，加热光刻胶至它的玻璃转化温度一段时间后进行退火处理，可达到更稳定的能量状态。在橡胶状态，溶剂可以容易地从聚合体中被去除，但当软化胶温度大于 T_g 时，容易混入各种杂质。由于结芯片的构成阻止均一的各向同性的薄膜的形成，结晶的聚合体不会用来作为胶。

4.5.1 光刻胶的反应机理及应用

常用的负性胶是基于主链和下垂的从链之间的十字链接加强，使曝光后胶不可溶的原理。使用最广泛的二成分负性胶是 *b*-橡胶阻剂，其主要基体是环化多体橡胶基，是一种人工合成橡胶，感光剂损失氮并在光解后产生硝酸，硝酸立即参与以加强树脂的十字链接的一系列反应。与周围环境中或溶于聚合体中的氧气发生的氧化反应是聚合过程中的竞争反应，可提取聚合过程中的氧气来阻止这种反应，所以负性胶的曝光必须在氮气环境中进行，这也是负性胶应用的缺点。

负性胶的另一缺点是胶膜厚度受到限制。由于十字链接反应过程发生在光最先到达的薄膜表面，需要“过曝光”以保证基体表面的胶不可溶，胶要求的厚度越厚，完成聚合反应所需要的剂量就越大，发生散射的机会就越大，散射反过来又降低分辨率。负性胶的分辨率由于显影过程中的膨胀限制在 $2\sim 3\mu\text{m}$ ，正性胶的分辨率则优于 $0.5\mu\text{m}$ 。可采用更薄的胶层厚度来改善负性胶的分辨率，但是采用更薄的负性胶时会出现针孔问题。

负性胶和圆片材料的黏合性较好，对酸、碱、有机物都有很高的抗蚀能力，而且，同样厚度的负性胶比正性胶有更高的抗蚀能力，这种化学抗蚀能力能在长时间持续的湿法刻蚀中确保胶特性保持力不变。负性胶比正性胶更容易感光，但其对比度较低。目前，采用非膨胀的聚合体，已开发出了分辨率比较好的负性胶。

许多有机溶液可被用来溶解负性胶，最常用的溶液是二甲苯。因为负性胶的分辨率的限制，且负性胶采用有机溶液，而正性胶采用水溶液，负性胶应用受限。然而，负性胶仅要求少量的感光剂，比正性胶成本低，所以负性胶用于低成本、高容量芯片生产中。实际选用光刻胶时考虑的因素不仅包括成本、速度、分辨率等，还需考虑其特定的几何模式 (光学接近效应)。

目前最常用的两种正性光刻胶为 PMMA (聚甲基丙烯酸甲酯) 和 DQN，其中 PMMA 为单成分胶，DQN 为二成分胶。PMMA 在深紫外光照下，聚合体结合链断开，变得易溶解。PMMA 对波长 220nm 的光最为敏感，而对波长高于 240nm 的光完全不敏感。PMMA

要求曝光剂量大于 $250\text{mJ}/\text{cm}^2$ ，初期的深紫外曝光时间为 10min 。通过添加光敏剂（如 *t*-丁基苯酸）。PMMA 的紫外光谱吸收率增加，可获得 $150\text{mJ}/\text{cm}^2$ 的灵敏度。PMMA 常用于电子束光刻，也可用于离子束光刻和 X 射线光刻。

DQN 包括感光化合物（DQ）和基体材料（N），其基体材料为稠密的酚醛树脂聚合物，用于线和线曝光。其反应机理见图 4-29。DQ 在反应后变为一种羧酸，基体作为树脂与其形成一种树脂羧酸混合物，将迅速吸收水分，反应放出的 N 也使光刻胶形成泡沫，进而促进溶解。在溶解过程中，羧酸会分裂而成为水溶的胺。DQN 是一种典型的近紫外、二成分光刻胶。DQ 添加物使光吸收区间在 400nm 周围。 365nm 、 405nm 、 435nm 波长的曝光可采用 DQN。

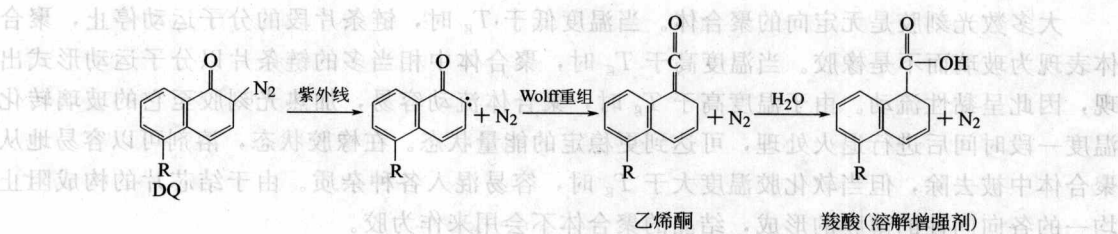


图 4-29 紫外光曝光后 DQ 的光分解作用及其后续反应

光刻胶的内含气体挥发是光刻胶应用中很严重的问题，它会污染曝光透镜，导致影像变形，丢失转移信息。如双层光刻胶中的上层通常使用含硅薄膜，有可能释放出含硅气体，污染光学系统。随曝光波长的减小，曝光能量增高，气体挥发更易导致透镜的污染。

双层光刻胶上层为含硅薄膜（ $100\sim 200\text{nm}$ ），下层为抗刻蚀层（ $300\sim 600\text{nm}$ ），适用于 KrF（ 248nm ）、ArF（ 193nm ）以及 F_2 （ 157nm ）光刻。通过等离子体蚀刻，含硅影像层的图形即可转移到抗刻蚀层上。此方法具有以下几个优点：①上层超薄光刻胶可以改善分辨率；②扩大工艺条件范围，减少图形倒塌现象；③下层抗蚀刻层可以改善抗蚀刻性能，控制反射率和提高平坦化程度。双层光刻胶的下层可以根据需要设计制作以适应各种应用。双层光刻胶的最大缺点为气体挥发性问题。

胶的复杂化学性能和简单的图形转换形成了鲜明的对照。在胶中加入添加物（如可塑剂）可改善胶的黏附性能，从而提高速度。非离子化牺牲技术可进一步改善胶的性能。另外，湿度很高或基片曾经浸入水中时，胶与基片的黏附力会削弱。基片涂胶前，湿度最好控制在 40% ，还需要进行退火处理。如果基片材料是硅，在氧化反应后，旋转涂胶前，可通过硅管蒸发改善胶的黏附性能。典型的黏附改善剂为 HMDS，烘焙二氧化硅表面至 250°C 加热 30min 去掉硅表面硅胶吸收的水分，硅表面与 HMDS 蒸发剂的氨基反应可很好地增强基片与胶的黏附力。在增强表面黏附力的工艺处理中，溅射比蒸发清洁处理方法更具优势。

光刻胶广泛应用于印刷电路、集成电路的制造以及印刷制版等过程。光刻胶的应用是从光刻的开始。光刻胶溶液通常被旋转式滴入晶圆片，如图 4-30 所示，晶圆片被装到一个每分钟能转几千转的转盘上，几滴光刻胶溶液就被滴到旋转中的晶圆片的中心，离心力把溶液甩到表面的所有地方，光刻胶溶液黏着在晶圆片上形成一层均匀的薄膜，多余的溶液从旋转

中的晶圆片上被甩掉。薄膜在几秒钟之内就缩到它最终的厚度，溶剂很快就蒸发掉了，晶圆片上就留下了一薄层光刻胶。最后通过烘焙去掉最后剩下的溶剂并使光刻胶变硬以便后续处理。镀过膜的晶圆片对特定波长的光线很敏感，特别是紫外线。

4.5.2 应用性能指标

光刻胶技术是曝光技术的重要组成部分，高性能的曝光工具需要与之配套的高性能的光刻胶才能真正获得高分辨率的加工能力。光刻胶在集成电路中的实际应用性能指标主要包括下列几个方面。

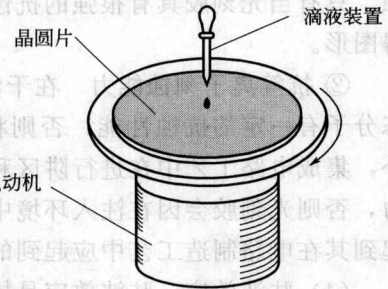


图 4-30 光刻胶溶液在旋转晶圆片上的应用

(1) 分辨率 虽然分辨率在一定程度上与它的吸收谱有关，但仍极大地依赖于曝光设备的光源系统。

(2) 灵敏度 灵敏度可以体现在光刻胶的对比度曲线上，对比度定义为：

$$\gamma = \left[\lg \left(\frac{D_{100}}{D_0} \right) \right]^{-1} \quad (4-6)$$

式中， D_{100} 为所有光刻胶被去掉所需的最低能量剂量，即灵敏度，也称之为曝光阈值； D_0 为光刻胶开始进行光化学反应作序的最低能量。

对比度可以被认为是光刻胶区分掩模版上亮区和暗区能力的衡量标准。光刻胶的对比度越大，线条边缘越陡。典型的光刻胶对比度为 2~4，且 D_{100} 比 D_0 大 100.3~100.5 倍。

对于理想光刻胶来说，如果受到曝光阈值以上的曝光剂量，则光刻胶完全感光；反之，完全不感光。实际光刻胶的曝光阈值存在一个分布，该分布范围越窄，光刻胶的性能越好。

表 4-4 列出在一些光刻策略中应用的正、负性胶及它们的光刻灵敏度。其中对于电子束或离子束光刻灵敏度以 C/cm^2 单位，而对于光或 X 射线灵敏度单位以 mJ/cm^2 表示。理想状况下，为了减少曝光时间，带电粒子光刻选用胶的灵敏度在 $10^{-5} \sim 10^{-7} C/cm^2$ ，光子在 $10 \sim 100 mJ/cm^2$ 。

表 4-4 不同曝光方式的正负性胶及光刻灵敏度

曝光方式	胶名称	极性	光刻灵敏度
光	Kodak 747	负性胶	$9 mJ/cm^2$
	AX-1350	正性胶	$90 mJ/cm^2$
	Kodak KTFR	负性胶	$9 mJ/cm^2$
	PR 102	正性胶	$140 mJ/cm^2$
电子束	COP	负性胶	$0.3 \mu C/cm^2$
	GeSe	负性胶	$80 \mu C/cm^2$
	PBS	正性胶	$1 \mu C/cm^2$
	PMMA	正性胶	$50 \mu C/cm^2$
X 射线	COP	负性胶	$175 mJ/cm^2$
	DCOPA	负性胶	$10 mJ/cm^2$
	PBS	正性胶	$95 mJ/cm^2$
	PMMA	正性胶	$1000 mJ/cm^2$

(3) 抗刻蚀性能 光刻胶在集成电路制造工艺中的抗刻蚀性能主要有以下两个。

① 耐化学腐蚀性 光刻胶在印制各层电路图形于 Si 片及其他薄膜层上时，需把图形保留下来，并把印有电路图形的光刻胶连同芯片一起置入化学蚀刻液中，进行多次的湿法腐

蚀。只有当光刻胶具有很强的抗蚀性时,才能保证刻蚀液按照所希望的选择比刻蚀出曝光所得图形。

② 抗等离子刻蚀能力 在干法刻蚀工艺中,需要光刻胶对处于刻蚀腔中等离子态的气态分子有一定的抗蚀性能,否则将会破坏所需电路的完整性,刻蚀效果也会受到影响。另外,集成电路工艺中在进行阱区和源/漏区离子注入时,也需要有较好的保护电路图形的能力,否则光刻胶会因在注入环境中挥发从而影响到注入腔的真空度,此时注入的离子将不会起到其在电路制造工艺中应起到的性能,器件的电路性能受阻。

(4) 驻波效应 驻波效应是抗蚀剂在曝光过程中的寄生现象。在曝光过程中,由于光刻胶的折射率和基体材料折射率不匹配,在基体表面产生的反射光和入射光相互干涉而形成驻波。光强的驻波分布使光刻胶内的光敏化合物(PAC)的浓度也呈驻波分布,从而使光刻胶在显影后边缘轮廓有一定的起伏。驻波效应在一定程度上改变了组件预期的结构和尺寸,降低了光刻图形的质量,尤其在线宽更细、更小的电路制作过程中。

驻波效应对薄的光刻胶图形有较大影响,可通过在光刻胶与衬底之间涂覆增透膜、采用与光刻胶相匹配的衬底以及采用适当的后烘工艺来减小驻波效应。前两种方法是通过改变光刻胶内部光场分布来改善光刻胶显影轮廓,而后烘工艺是通过平滑 PAC 浓度分布来改善光刻胶显影轮廓。厚胶工艺受驻波影响不大,在膜厚大于 $5\mu\text{m}$ 后,可忽略驻波效应的影响。

4.5.3 光刻胶薄膜光学

光刻胶在接受一定波长的光或者射线时,会相应地发生光化学反应或者激励作用。光化学反应中的光吸收是由化学键合中起作用的处于原子最外层的电子由基态转入激励态时引起的。电子束、X 射线及离子束注入物质后,由于电子相互作用,能量逐渐消失。电子束失去的能量转移到物质的电子中,因此生成激励状态的电子或二次电子或离子。这些电子或离子均可诱发光刻胶的化学反应。对于有机物,基态与激励态的能量差为 $3\sim 6\text{eV}$,相当于该能量差的光被有机物强烈吸收,使在化学键合中起作用的电子转入激励态。化学键合在受到这种激励时,或者分离或者改变键合对象,发生化学变化。

在理想状况下,基体与光刻胶的折射率可以认为是匹配的,即在曝光过程中基体和光刻胶相邻的表面没有反射光,此时曝光剂量分布均匀一致。实际上,曝光剂量的分布与光刻胶的 PAC 浓度密切相关。薄膜厚度在 $10\mu\text{m}$ 以内,随着膜厚增大光刻胶中的 PAC 浓度相对变化率将减小。

图 4-31(a) 为典型的曝光反应曲线与正性胶的影像截面图,显示了掩模版图形边缘与曝光后光刻胶图形边缘的关系。由于衍射,光刻胶图形边缘一般不位于掩模版边缘垂直投影的位置,而是位于光总吸收能量等于阈值能力 E_T 处。反应曲线描述了在曝光与显影过程后残存光刻胶的百分率与曝光能量的光学。光刻胶的溶解度随曝光能量的增加而增加,直到达到阈值能量 E_T 时,抗蚀剂完全溶解。正抗蚀剂的灵敏度定义为曝光区域抗蚀剂完全溶解时所需的能量。除 E_T 外,另一称为反差比 (γ) 的参数也被用来表征光刻胶,其表达式为:

$$\gamma = \left[\ln \left(\frac{E_T}{E_1} \right) \right]^{-1} \quad (4-7)$$

其中 E_1 是从 E_T 画一正切线与 100% 光刻胶厚度相交时的曝光能力。 γ 值越大,曝光能量增加时,光刻胶溶解度增加越快,图形越陡峭。

图 4-31(b) 是负性胶的曝光反应曲线与图形的截面图。当曝光能量小于阈值能量 E_T 时,负性胶依然可以完全溶于显影液中,当能量高于 E_T 时,大部分的抗蚀剂在显影后依然

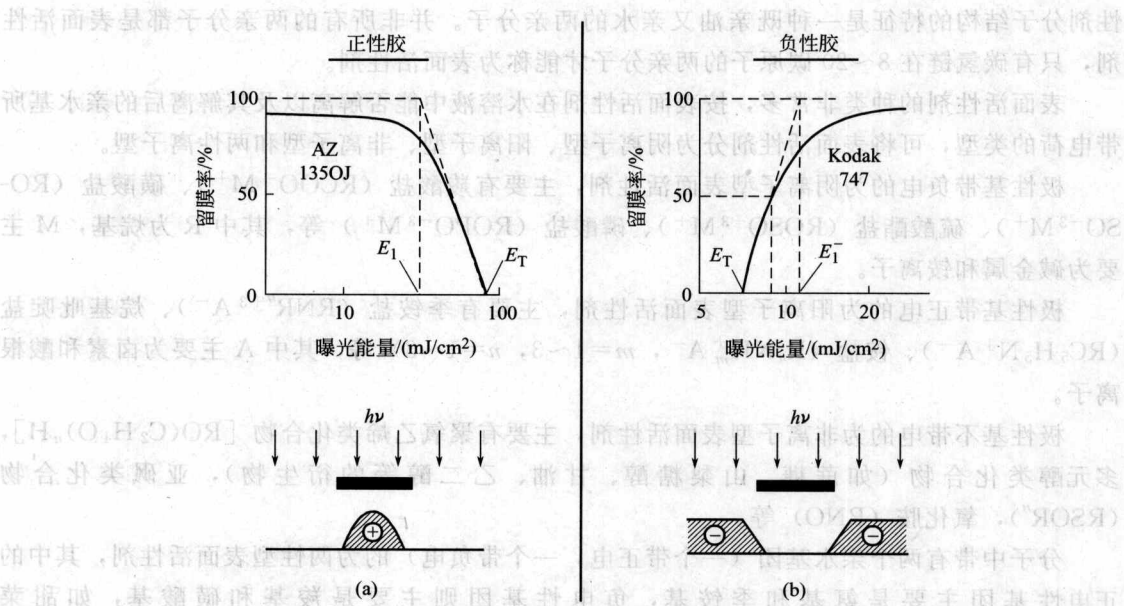


图 4-31 曝光反应曲线与显影后光刻胶图形的截面图

保留着，当曝光能量为阈值能量 E_T 的 2 倍时，光刻胶薄膜已经不会再溶解于显影液中。负性胶灵敏度是指保留曝光区抗蚀剂原始厚度的 50% 所需的能量，其参数值 λ 的定义与式 (4-7) 相同，只是将 E_1 与 E_T 相互交换。

4.5.4 光刻胶去胶或灰化

在光刻胶完成其保护层的作用之后需要将它去除，表 4-5 列出了去除光刻胶的工艺技术及其机理，根据具体的工艺步骤、晶圆片上使用的材料、光刻胶自身的特性以及实际工艺条件等选择去除工艺。

表 4-5 光刻胶去除技术

技 术	机 理	技 术	机 理
氧等离子体	在真空中氧化	硫酸	在液体中氧化
臭氧释放	在大气压下氧化	有机胺	在液体中氧化和分解
丙酮	在液体中分解	双氧水	在液体中氧化
臭氧水	键打开及分解		

4.6 表面活性剂

在溶剂中（通常是在水中），只要很低的浓度就能大大降低溶剂的表面张力的物质称为表面活性剂。表面活性剂最基本的功能有两个：①是在溶液内部自聚，形成多种类型的分子有序组合体；②是在表（界）面上吸附，形成吸附膜（一般是单分子膜），以降低表（界）面张力，改变体系的表（界）面化学性质，从而使表面活性剂具有起泡、消泡、乳化、破乳、分散、絮凝、润湿、铺展、渗透、润滑等功能。

表面活性剂都由性质不同的两部分组成，即亲水疏油的极性基和疏水亲油的碳氢链组成的非极性基团。这两部分分别处于表面活性剂分子的两端，为不对称的分子结构，则表面活

性剂分子结构的特征是一种既亲油又亲水的两亲分子。并非所有的两亲分子都是表面活性剂，只有碳氢链在 8~20 碳原子的两亲分子才能称为表面活性剂。

表面活性剂的种类非常多，按表面活性剂在水溶液中能否解离以及其解离后的亲水基所带电荷的类型，可将表面活性剂分为阴离子型、阳离子型、非离子型和两性离子型。

极性基带负电的为阴离子型表面活性剂，主要有羧酸盐 ($\text{RCOO}^- \text{M}^+$)、磺酸盐 ($\text{RO-SO}^{-3} \text{M}^+$)、硫酸酯盐 ($\text{ROSO}^{-3} \text{M}^+$)、磷酸盐 ($\text{ROPO}^{-3} \text{M}^+$) 等，其中 R 为烷基，M 主要为碱金属和铵离子。

极性基带正电的为阳离子型表面活性剂，主要有季铵盐 ($\text{RNR}''^{+3} \text{A}^-$)、烷基吡啶盐 ($\text{RC}_5\text{H}_5\text{N}^+ \text{A}^-$)、铵盐 ($\text{R}_n\text{NH}_m^+ \text{A}^-$, $m=1\sim3$, $n=1\sim3$) 等，其中 A 主要为卤素和酸根离子。

极性基不带电的为非离子型表面活性剂，主要有聚氧乙烯类化合物 [$\text{RO}(\text{C}_2\text{H}_4\text{O})_n\text{H}$]，多元醇类化合物（如蔗糖、山梨糖醇、甘油、乙二醇等的衍生物），亚砷类化合物 (RSOR'')，氧化胺 (RNO) 等。

分子中带有两个亲水基团（一个带正电，一个带负电）的为两性型表面活性剂，其中的正电性基团主要是氨基和季铵基，负电性基团则主要是羧基和磺酸基，如甜菜碱 $\text{RN}^+(\text{CH}_3)_2\text{CH}_2\text{COO}^-$ 。

表面活性剂在 IC 工艺中也得到了广泛的应用。表面活性剂的加入，可以明显改善光刻工艺中光刻胶的黏附性，改善光刻显影中显影液对硅片涂胶面的润湿，改善氢氟酸腐蚀液对硅片氧化层的润湿和腐蚀均匀性。

随着表面活性剂浓度的变化，它的润湿作用是可变的，有时甚至会变为相反。所以表面活性剂的浓度必须控制好，不可太高，在 1%~2%。另外，并非所有的表面活性剂都可以改善显影液和腐蚀液对硅片的润湿性，有些表面活性剂反而会使润湿性变差，这一点在厚胶湿法腐蚀中被用来防止钻蚀。

润湿作用是指凝聚态物体表面上的一种流体被另一种与其不相混溶的流体取代的过程，它是一种界面现象。可通过改变固体表面的性质和改变液体的性质两个方面来改变润湿性质。如图 4-32 所示，液体滴在固体表面上，在平衡液滴的固、液、气三相交界处自固液界面经液体内部到气液界面的夹角称为接触角，以 θ 表示；平面接触角 θ 与固气、固液和液气表面张力 $\sigma_{s/g}$ 、 $\sigma_{s/l}$ 、 $\sigma_{l/g}$ 间有下述关系：

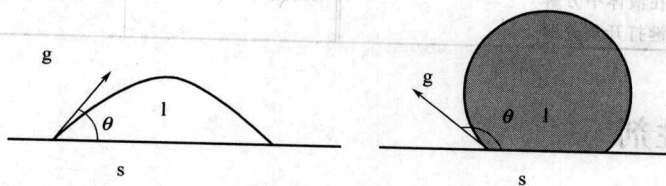


图 4-32 液体滴在固体表面状态图

$$\cos\theta = \frac{\sigma_{s/g} - \sigma_{s/l}}{\sigma_{l/g}} \quad (4-8)$$

式(4-8)称为润湿方程（又称 Young 方程）。通常认为 $\theta > 90^\circ$ 时为不润湿， $\theta < 90^\circ$ 时为润湿， θ 为 0° 或不存在平衡角时为铺展。当加入表面活性剂时，它应吸附到固体表面，将固体的低能表面转化为高能表面，使液体和固体的接触角 θ 变小，从而改善了润湿性能。即表面活性剂将憎水基指向硅片表面，将亲水基指向水溶液，从而改善了显影液的润湿性能。

常用阴离子表面活性剂和非离子表面活性剂作为润湿剂，由于阴离子表面活性剂常含有大量的金属离子，易造成集成电路生产中金属离子污染，所以一般选择非离子活性剂作为润湿剂。另外，非离子活性剂还有一些独特的优点：①不能在水溶液中离解为离子，稳定性高，不受酸、碱、盐所影响；②与水溶液中的其他溶质兼容性好，即它能与正胶显影液中的显影剂成分相容；③起泡性较差，有利于光刻工艺。

在非离子表面活性剂中，集成电路工艺的光刻技术常采用聚氧乙烯型非离子表面活性剂来作润湿剂。聚氧乙烯型非离子表面活性剂按照疏水基原料不同，可分为脂肪醇聚氧乙烯醚、烷基酚聚氧乙烯醚、脂肪酸聚氧乙烯酯、聚氧乙烯酰胺、聚氧乙烯脂肪胺、聚氧乙烯失水山梨醇单羧酸酯（吐温系非离子表面活性剂）及其他。它们中的大多数都可作润湿剂，醇醚系列的润湿性能最好，尤其以低碳链、低 EO 数（即聚氧乙烯链长）者为佳。

光刻胶是疏水性的，而对硅片曝光后显影时所使用的正性胶的显影液是四甲基氢氧化铵的水溶液，因此显影液对光刻胶的润湿性非常重要。尤其当显影是细线条时，由于光刻胶的憎水性质，有可能使得显影液在光刻胶上铺展不良，使光刻窗口显影质量变差，可以通过添加表面活性剂来改善显影液的润湿性能。表面活性剂在显影工艺中的用法有两种：①直接向显影液中加入表面活性剂；②先配制好一槽表面活性剂的稀释液（1L 水中加入 10~20mL），之后将硅片在表面活性剂的稀释液中浸泡一下，再放入显影液中进行显影。

硅片在光刻工艺中经过显影和后烘后裸露的 SiO_2 表面是疏水的，而由氢氟酸、氟化铵和去离子水配制而成的腐蚀液的表面张力很大，对硅片的浸润性很差。可使用表面活性剂来改善腐蚀效果，以保证光刻图形的不变形以及腐蚀图形的整齐性。在此工序中，表面活性剂以脂肪醇聚氧乙烯醚系列作为首选。

4.7 光学光刻延伸技术

4.7.1 上表面成像及多层胶技术

上表面成像（top-surface imaging, TSI）和多层胶（multilayer resists, MLR）技术能够切实提高分辨率。TSI 是对曝光区域进行了化学处理，使曝光区域甲烷基化反应从而形成抗等离子体的 Si-O 型化合物，它可作为干法显影工艺的掩模。MLR 技术是依次在衬底上制备较厚的平坦层、玻璃样的硬掩模以及非常薄的成像层，而后对成像层进行显影，用等离子旋蚀对硬掩模图形化，再进行干法显影（氧等离子体刻蚀）。

虽然 TSI 和 MLR 在某些领域有其特殊的应用，如 MLR 中若平坦层胶平坦效果好，则能够消除焦深效应。对于双嵌入式工艺来说，单层光刻胶会遇到一些问题，比如复杂的表面结构、介电常数介电质导致的光刻胶中毒等。而双层光刻胶的抗蚀刻层特性却能为双嵌入式工艺带来诸多方便，不仅可以用作防止光刻胶中毒的屏障层，而且通孔填充很均匀。此外，抗蚀刻层的性质还有助于更好地控制蚀刻工艺。TSI 和 MLR 工艺复杂，非必要并不采用。

4.7.2 光刻图形的胶修整及化学收缩

胶修整和化学收缩是两种能在光学光刻工艺基础之上得到更小结构尺寸的简单技术，这两种方法可用于形成窄的独立线条和沟槽，且能够降低光学光刻的成本，但是并不能改进分辨率。

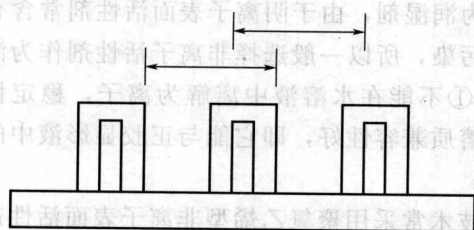


图 4-33 光刻胶修整

胶修整中首先用光学光刻形成最小线宽的光刻胶图形，而后对光刻胶进行等离子体各向同性刻蚀，由于使用各向同性刻蚀，顶层胶也会被刻掉。此方法适用于一些简单结构，但是胶修整后新得到的空间并不能使晶圆片上制造更多的器件（如图 4-33 所示）。

由于暗场结构不能采用胶修整进行光刻胶减薄，开发了一种基于光刻胶流动的较廉价的方法用于暗场结构，即化学收缩。由于光刻胶被加热到其玻璃化温度以上后将会发生流动，在适当的条件下，化学收缩利用这种流动使孔和槽按所控制的样式变细。

另外，针对暗场的细化开发了一种方法，先用光学光刻形成最小线宽的光刻胶图形，之后对图形进行包覆，再进行烘烤使包覆材料与光刻胶发生反应，并在接触孔的侧壁形成一层不溶物质，再对未反应的包覆材料进行漂洗去除，从而使孔变细。这种方法缺点在于可能会在底部残留一些光刻胶而阻塞接触孔。

4.8 光学光刻模拟

在光学光刻的流程中，可能出现版图设计、掩模版制造中的数据错误，或者出现掩模版制造、曝光分辨率以及刻蚀误差等错误，从而使得到的尺寸不精确。

光学光刻模拟不仅含有部分的物理模拟，还包含部分半经验模拟。光学光刻模拟程序包括以下三个基本功能块：光学建模；光化学、时间、扩散模型；刻蚀模拟。

光刻模拟软件成功的关键是需要详尽地掌握包括各种图形薄膜的结构信息、光刻胶表现、光学临近修正软件模型表现等各个方面的数据。

4.9 压印

4.9.1 纳米压印光刻

随着半导体制造技术的不断发展，光刻技术的极限分辨率不断缩小，光刻的成本也越来越高，特别是以光学邻近效应校正（OPC）和光学移相掩模（PSM）为代表的分辨率增强技术（RET）。极紫外光刻技术使用波长 11~13nm 的极紫外光，系统采用精度极高的反射式光学系统，以避免折射系统中强烈的光吸收，如何实现足够功率的短波长光源是一个难点，整个光刻系统的造价也非常昂贵。除极紫外光刻之外，比较有前途的还有电子束光刻和接近式 X 射线光刻，但也存在如产出低、模板难以制作等不足。

美国普林斯顿大学“尼苏达大学纳米结构实验室”华裔科学家周郁在 1995 年开创性地提出并展示了一种叫做纳米压印（nanoimprint lithography, NIL）的新技术。

纳米压印作为非光学的下一代光刻技术，其分辨率可达 5nm 以下的水平，是加工聚合物结构最常用的方法。纳米压印技术采用高分辨率电子束等方法将结构复杂的纳米结构图案制在印章上，之后用印章使聚合物材料变形而在聚合物上形成结构团，即是将膜版压入一层薄的聚合物薄膜，这层薄膜通过热的或者化学的方法进行固化，从而在聚合物上保留了膜版图形。纳米压印光刻具有分辨率高、生产效率高、成本低、工程工艺简单、产率高等诸多优

点, 纳米压印可用于半导体制造、微机电系统以及其他纳米结构的图形复制。

纳米压印光刻技术和其他光刻技术相比具有以下优势: 可以简单廉价地在大面积芯片上重复、大批量地制备各种纳米图形结构; 并行处理制备多个零件; 不需要极为复杂昂贵的光学镜头和光学系统、电子聚焦系统; 避免了光学曝光中的衍射和电子束曝光引起的散射现象; 分辨率可达几个纳米。

根据图形转移范围, 可将纳米压印光刻分为步进重复和整片压印。采用整片方法进行压印时, 制作大尺寸的膜版很困难, 在整片大尺寸硅片压印的时候, 硅片上的光刻胶厚度差异也会引起误差, 同时热膨胀问题也较严重, 所以采用整片压印时对硅片的尺寸大小有限制。

另外一方面, 全芯片 NIL 的速度比步进方式要快、设备价格更低、更适用于较厚的器件 (如 MOEMS), 几乎适用于任何单层结构。由于步进 NIL 会在相邻转印区域之间形成类似“针脚”的缺陷, 因此有些应用必须采用整片压印技术 (如光学光栅)。

步进方式与现在的光刻技术比较类似, 更适合于芯片的生产。步进方式能够应用于更大尺寸的芯片且不需要考虑掩模版质量和成本的问题, 采用步进方式时更容易进行上下层的对准, 同时, 步进方式也不会受到热膨胀问题的妨碍。

纳米压印技术的原理比较简单, 通过将刻有目标图形的掩模板压印到相应的衬底上 (通常是很薄的一层聚合物膜), 实现图形转移后, 然后通过加热或者紫外光照的方法使转移的图形固化, 以完成微纳加工的光刻步骤。

图 4-34 显示了压印光刻的工艺流程。首先, 采用电子束直写刻蚀技术在石英板上刻蚀出集成电路图形的母板, 通过快速精细模具技术将图形转移到软模具上, 然后使用涂胶机将液态抗蚀剂均匀地涂铺到硅片表面形成抗蚀剂薄膜, 将涂有抗蚀剂的硅片放在压印平台上, 压印机将模具向下压与抗蚀剂薄膜接触并使底膜达到预想的厚度。底膜在压印区域的厚度应保持均匀一致, 使模具、抗蚀剂和硅片均匀接触。当紫外光照射在模具、抗蚀剂和硅片上时, 抗蚀剂发生固化聚合反应, 把模具上 IC 图形的反形复制到抗蚀剂的表面上。

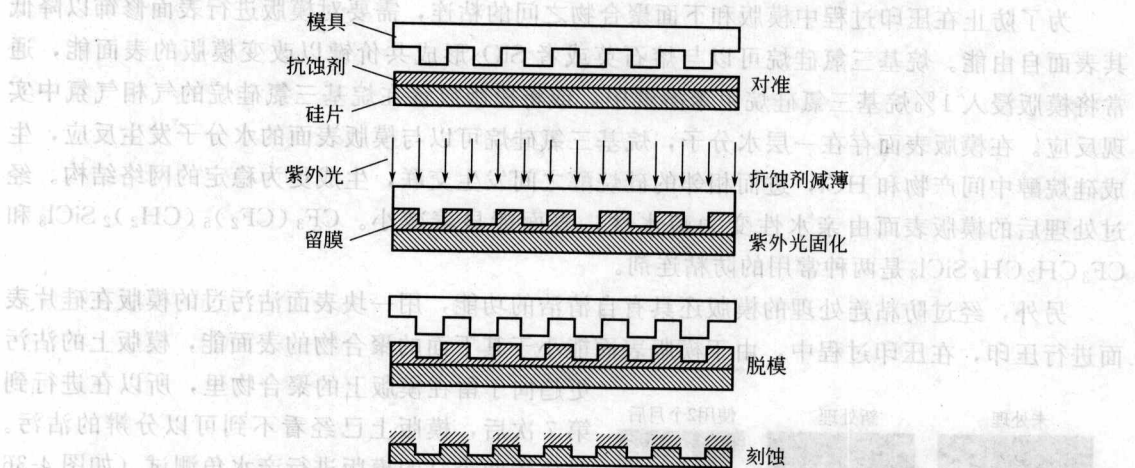


图 4-34 NIL 工艺流程

根据固化方法的不同, 纳米压印光刻技术主要包括热压印 (hot embossing lithography, HEL)、紫外固化压印 (UV-NIL) 和微接触法压印 (μ CP) (如图 4-35 所示)。这三种压印方法之间的比较见表 4-6 所列。

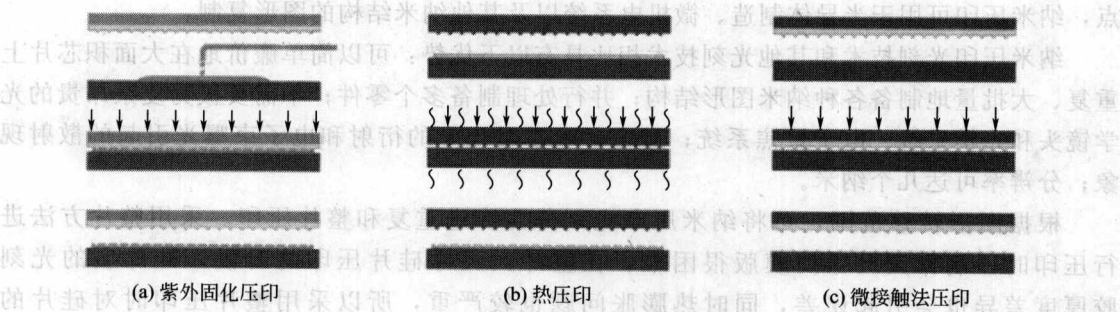


图 4-35 三种 NIL 技术示意图

表 4-6 三种压印方法的比较

工 艺	热 压 印	紫外固化压印	微接触法压印
温度	高温	室温	室温
压力 p/kN	0.002~40	0.001~0.1	0.001~0.04
最小尺寸/nm	5	10	60
深宽比	1~6	1~4	无
多次压印	好	好	差
多层压印	可以	可以	较难
套刻精度	较好	好	差
研究动态	低温低压	S-FIL	一次性压印

纳米压印技术固化方法的选择取决于其用途。微接触法压印适合用于生物医学（如生物芯片）。因为其他两种方式中使用的 UV 光或热都会损伤生物材料。但是，由于微接触法压印使用的是柔软具有弹性的掩模版，其形成的特征尺寸比其他两种方式要大。

与主流的 $4\times$ 光学掩模版相比，纳米压印所用的 $1:1$ 掩模版的制作优势包括以下几点：①不需要对版图进行光学邻近效应修正和移相掩模的数据处理过程；②不存在和光学波长相关的衬底要求；③由于场区只有 $4\times$ 的 $1/4$ ，曝光时间相应减小；④对掩模的透过相位控制没有要求；⑤不需要表面保护粘贴膜。

为了防止在压印过程中模版和下面聚合物之间的粘连，需要对模版进行表面修饰以降低其表面自由能。烷基三氯硅烷可以与熔石英或者 SiO_2 形成共价键以改变模版的表面能，通常将模版浸入 1% 烷基三氯硅烷甲苯溶液中，或将模版放置在烷基三氯硅烷的气相气氛中实现反应。在模版表面存在一层水分子，烷基三氯硅烷可以与模版表面的水分子发生反应，生成硅烷醇中间产物和 HCl ，进而相邻的硅烷醇之间发生交联，生成更为稳定的网络结构。经过处理后的模版表面由亲水性变为疏水性，表面能显著减小。 $\text{CF}_3(\text{CF}_2)_5(\text{CH}_2)_2\text{SiCl}_3$ 和 $\text{CF}_3\text{CH}_2\text{CH}_2\text{SiCl}_3$ 是两种常用的防粘连剂。

另外，经过防粘连处理的模版还具有自清洁的功能，用一块表面沾污过的模版在硅片表面进行压印，在压印过程中，由于模版表面能小于其下面的聚合物的表面能，模版上的沾污更趋向于留在模版上的聚合物里，所以在进行到第 7 次后，模版上已经看不到可以分辨的沾污。对放置两个月的模版进行亲水角测试（如图 4-36 所示），可以证明防粘连层长时间放置或多次使用后性能依然没有退化。



图 4-36 不同情况下模版的亲水角测试

纳米压印技术的加工成本较低，可广泛地应用于生物医学、高密度存储、光子晶体、塑料电

子学、太阳能电池、传感器和高精度印刷电路板制作等。纳米压印技术主要应用于 3D 光刻、纳米生物结构制备、LCD 制备以及低成本、大批量的生产纳米电子以及光电子器件等。目前, NIL 在实际生产中的应用研究还不多, 特别是在多层结构上。

4.9.1.1 热压印

热压印工艺是在微纳米尺度获得并复制结构的一种成本低而速度快的方法, 其仅需一个模具就可将完全相同的结构按需求复制到大的表面上。热压印法的工艺过程分为压模制备、压印过程、图形转移三步。热压印法是利用电子束刻印术或其他先进技术把坚硬的压模毛坯加工成一个压模, 然后在用来绘制纳米图案的基片上旋涂一层聚合物薄膜, 将其放入压印机加热并且把压模压在基片上的聚合物薄膜上, 再把温度降低到聚合物凝固点附近并且把压模与聚合物层相分离, 即在基片上制作出了凸起的聚合物图案。

热压印相对于传统的纳米加工方法, 具有方法灵活、成本低廉和生物兼容的特点, 并且可以得到高分辨率、高深宽比结构。热压印的缺点是需要高温、高压, 而长时间在高温、高压下, 可导致聚合物的不完全位移。

热压印常用于制作纳米器件所用的基片, 例如 Si 片、SiO₂/Si 片、镀有金属底膜的 Si 片等。热压印主要步骤包括以下几点。

① 聚合物被加热到玻璃化温度以上, 这样便可减少在模压过程中聚合物黏性, 即增加流动性。只有当温度到达其玻璃化温度以上, 聚合物中大分子链段运动才能充分开展, 使其处于高弹态, 在一定压力下就能迅速发生形变。但温度太高会增加模压周期, 而对模压结构却没有明显改善, 甚至会使聚合物弯曲而导致模具受损。

② 施加压力, 聚合物被图案化的模具所压, 在模具和聚合物间加大的压力可以填充模具中的空腔。压力不能太小, 否则就不能完全填充腔体。

③ 模压过程结束后, 整个叠层被冷却到聚合物玻璃化温度以下, 以使图案固化, 最后脱模。

压印后, 原聚合物薄膜被压得凹下去的那些部分便成了极薄的残留聚合物层, 为了露出它下面的基片表面, 必须除去这些残留层, 除去的方法是各向异性反应离子刻蚀。

热压印法中的压模材料一般选用 Si、SiO₂、SiN_x、Ni、金刚石等。这些材料具有高努普 (Knoop) 硬度、大压缩强度、大拉伸强度 (减小压模的形变和磨损) 以及高热导率和低热膨胀系数 (使加热过程中压模的热变形很小) 等优点。另外, 重复的压印制作会污染压模, 需要用强酸和有机溶剂来清洁压模, 这就要求制作压模的材料是抗腐蚀的惰性材料。对于要获得纳米图形的热压印掩模版, 通常要用电子束直写来进行加工, 这样可以获得最高的分辨率, 先在压模上涂上一层电子束光刻胶 (如 PMMA、ZEP520 或 SAL601 等), 然后用电子束进行图形的分辨, 再进行刻蚀、剥离等常规的图形转移技术, 最后将电子束光刻分辨形成的图形转移到压模基底上。

为了防止热压印模版在压印过程中与下面聚合物的粘连, 需要对模版进行防粘连处理。除了可以用紫外固化法采用的氟代烷基二氯硅烷 [如 CF₃(CF₂)₅(CH₂)₂SiCl₃], 还可以采用等离子聚合或离子溅射的方法淀积一层类聚四氟乙烯 (PTFE) 薄膜用作防粘连层。

(1) 等离子聚合 在等离子聚合的过程中, 可以利用 CF₄/H₂放电气氛中薄膜厚度自限制的特性来生长聚四氟乙烯薄膜。在等离子体源中 (如图 4-37 所示), 初始阶段一些 CF₂官能团淀积在表面, 两种相反的过程同时进行, 一是等离子气体中的 CF₂形成 CF₂官能团, 进而继续淀积形成薄膜, 另外一种是在形成的薄膜在氟气氛下的刻蚀, 最终在这两种过程之间会

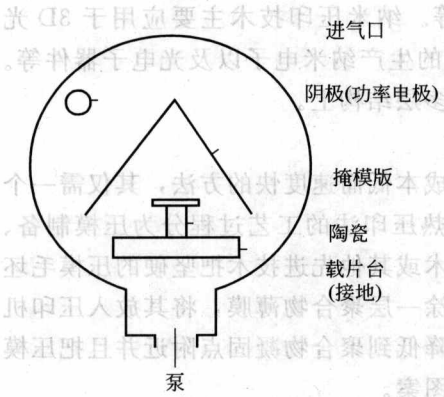


图 4-37 等离子源示意图

形成一种平衡，从而薄膜的组分和厚度也随之确定，薄膜的组分和厚度依赖于等离子体的参数，通过调整等离子体聚合的工艺条件，可以改变薄膜的厚度和组分。

(2) 离子溅射 通过离子溅射的方法也可以制备类 PTFE 薄膜，如可以采用聚四氟乙烯靶和 CHF_3 来实现。在淀积的腔体内，射频电源激发出等离子体，等离子体里还有氟离子自由基，这些离子被电场加速并随机地撞向衬底，进而形成薄膜。采用离子溅射淀积的薄膜内部结构组织较差，其内部网状结构的碳氟链 K 度小于等离子体聚合生长的薄膜。

在热压印过程进行时，这种类似聚四氟乙烯薄膜会与光刻胶聚合体发生交互反应，部分改变薄膜的物理和化学性质，也减小了薄膜作为抗粘连层的使用寿命。将等离子聚合和离子溅射两种方法制备的薄膜相比较，采用等离子聚合方法制备的薄膜中含有长的直链，从而与纯的聚四氟乙烯更为接近，而溅射制备的薄膜更多地表现出化学不均匀性。采用两种方法淀积的薄膜，随着热压印次数的增加，薄膜内 CF_2 的含量逐渐减小，性能逐渐退化。

热压印有时易发生热压印不明显的现象，其产生的原因包括以下几点：脱模斜度不足而使用脱模剂，使得制品粘有脱模剂而发生热压印不明显的缺陷；制品本身的银条痕以及剥离等不良现象引起的热压印不明显；热压印面由于有凹痕而引起不明显的现象，在热压印模向下压时，由于凹痕，不能在制品上真实反映出压痕。热压印不明显的解决方法包括三种：即时处理，提高热压印的压力、温度，洗净脱模剂（稍微的效果）调整热压印压力承受台；短期出现时的处理，消除制品银条痕，消除制品的凹痕；长期出现时的处理，增加脱模斜度。

热压印更适合于光学或 MEMS，而不是半导体制造中，原因包括以下几点：热压印要求衬底表面上的温度分布要均匀，因此更适合于采用全芯片图形转移模式，对于芯片来说则相对较差；由于热压印中使用的聚合物层黏度较高，为了使聚合物可以在表面结构上均匀流动需要相对较高的压力，高压可能会使芯片变形；热压印必须经历加热和冷却循环过程。

4.9.1.2 紫外固化压印

紫外固化压印（UV-NIL）的工作方式与热压印类似，不同的是其晶圆片表面的聚合物在常温下即为低黏度的液体，不需要加热，在卤素灯的照射下，紫外光会使这些单体发生聚合反应，相互交联形成固体结构（固化），从而使相应图形保留下来。

低黏度聚合单体更加容易在结构复杂、线宽很小的表面上均匀流动，所需压力也较低，可以大大减小芯片变形的概率和程度。UV-NIL 并不能直接将图形从模版转移到芯片，而是先将图形转移到转移层然后通过刻蚀反应在芯片上形成相应的图形。图形转移层（抗刻蚀层）的纵宽比要求并不高（通常为 2:1），因此可以尽可能减小抗刻蚀层的厚度。

UV-NIL 的对准精度较高。由于 UV-NIL 使用的模版是透明的二氧化硅，因此不仅可以透过紫外光使单体聚合，而且还能用于上下层的对准。掩模版和芯片之间的近距离（ $< 250\text{nm}$ ）也有利于精确对准。而其他 NIL 方法较难进行有效的对准。

紫外固化压印相对于热压印来说，不需要高温、高压的条件，可以廉价地在纳米尺度得到高分辨率的图形。其中的步进-闪光压印不但使工艺和工具成本明显下降，而且在工具寿命、模具寿命（不用掩模版）、模具成本、工艺良率、产量和尺寸重现精度等方面也和光学

光刻一样好甚至更好。另外,该方法时间短,提高了生产效率,能够实行局部照射固化,可以使用小压模在大面积基片上步步移动重复压印出多个纳米图案。其缺点在于需要在洁净间环境下进行操作。

早期紫外固化压印掩模版的制作采用常规的移相掩模制造工艺,在 150mm (长度) \times 150mm (宽度) \times 6.35mm (厚度) 的光学掩模版上进行加工,然后分切至所需尺寸作为紫外固化压印的掩模版。这种方法在对厚的铬膜刻蚀的时候会带来特征尺寸的损失,可用两种方法对掩模版的制作工艺加以改进:①采用薄的铬膜,既可以抑制电子束光刻时的电荷积累,又可以减小特征尺寸的损失(工艺流程如图 4-38 所示);②引入了透明的导电膜 ITO (氧化铜锡)。先在石英基底上淀积一层 ITO,再用 PECVD 的方法淀积一层二氧化硅薄膜,之后经电子束光刻、刻蚀二氧化硅、去胶以形成需要的模版(工艺流程如图 4-39 所示)。这种方法同时解决了普通石英掩模版由于无法耗散电荷而使得在进行 SEM 检测和缺陷检查时变得困难的问题。

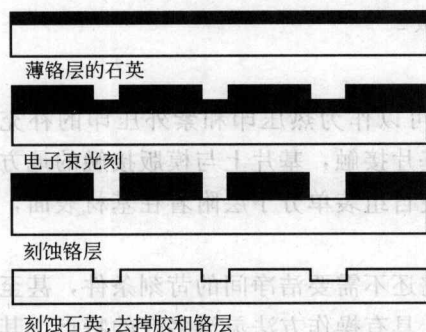


图 4-38 15nmCr 层的常规模版制作过程

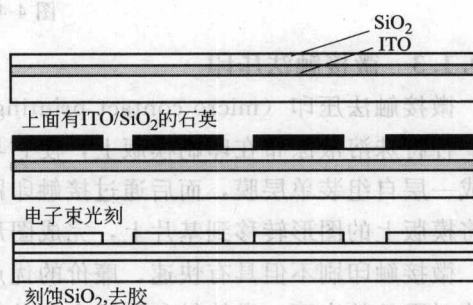


图 4-39 引入 ITO 作为电荷耗散层和刻蚀自停止层的模版制作过程

紫外固化压印用标准掩模版包括硬、软两种,材质分别为石英和 PMDS (聚二甲基硅氧烷)。以下介绍两种标准模板。

标准掩模版 1 (如图 4-40 所示) 的硬掩模为直径 1in ($1\text{in}=25.4\text{mm}$) 的石英材料,呈圆形,厚度为 0.5mm ,有效面积是 60mm ,包含特征尺寸为 $50\text{nm}\sim 20\mu\text{m}$ 的标准结构,软掩模为直径 4in 的 PDMS 材料,厚度为 3mm ,有效面积为 60mm ,包含特征尺寸为 $50\text{nm}\sim 20\mu\text{m}$ 的标准结构。其图形的线宽为 $50\text{nm}\sim 20\mu\text{m}$,包括线条、网格、矩阵、放射线等,可以很好地演示压印效果,主要用于工艺及设备的验证。

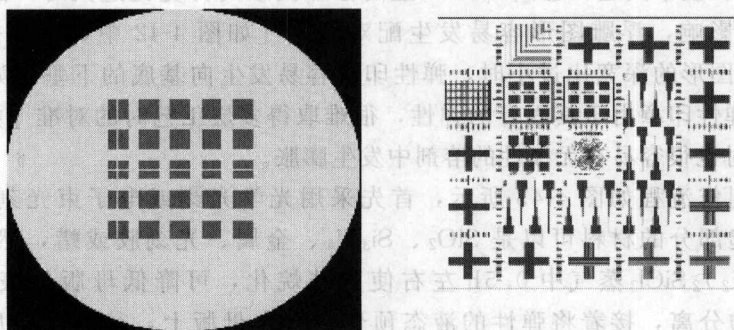


图 4-40 标准掩模版 1

标准掩模版 2 (如图 4-41 所示) 是高密度纳米点阵结构标准掩模版, 为直径 1in 石英晶圆片, 上面刻有面积为 $1\text{mm} \times 1\text{mm}$ 的纳米点阵结构, 点与点的间距为 50nm , 每个点的直径 50nm , 掩模版厚度 0.5mm , 图形的特征高度 50nm 。此掩模版不仅可用于演示, 更具实际应用的价值, 适于高密度存储技术的研发。它还可用于制备高分辨纳米图形压印技术的演示、磁记录、光学数据存储、生物纳米传感器等其他研究领域。

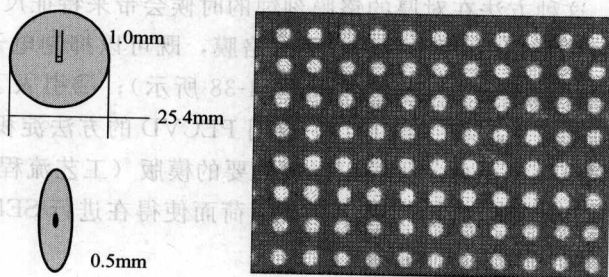


图 4-41 标准模版 2

4.9.1.3 微接触法压印

微接触法压印 (micro contact printing, μCP) 可以作为热压印和紫外压印的补充, 先将一种特殊溶液涂布在印刷模版上, 使它与下面的基片接触, 基片上与模版接触的地方就会形成一层自组装单层膜, 而后通过接触印刷的办法使自组装单分子层附着在基材表面, 这样就将模版上的图形转移到基片上, 完成图形转移。

微接触印刷不但具有快速、廉价的优点, 而且它还不需要洁净间的苛刻条件, 甚至不需要绝对平整的表面。微接触印刷适合多种不同表面, 具有操作方法灵活多变的特点。其缺点是在亚微米尺度印刷时硫醇分子的扩散将影响对比度, 并使印出的图形变宽。通过优化浸墨方式、浸墨时间或控制好压模上墨量及分布可使扩散效应下降。

微接触法压印中弹性印章的材料可以是 PDMS、聚亚氨酯、聚酰亚胺, 甚至是交联的 Novolac 树脂, 目前使用最多的还是 PDMS, 这是由以下几点因素决定的: ①PDMS 是一种可以在相对大的面积上吻合基底表面图形的弹性体, 这使得它可以用于微米尺寸上非平坦的基底表面, 且易于从复杂、易碎的结构上释放; ②PDMS 的表面是化学惰性的, 具有较低的界面自由能, 使 PDMS 不会同聚合物发生可逆的黏附或反应; ③PDMS 是均匀、各向同性的耐用弹性体, 且对于 300nm 以上波长的光是透明的; ④PDMS 的表面性质易于改变, 可以通过等离子体处理形成自组织单层同很多材料发生界面反应。

PDMS 也存在技术问题: ①当 PDMS 上的浮雕图形的深宽比过大时, 由于重力、黏附力和毛细作用的影响, 浮雕图形容易发生配对塌陷 [如图 4-42 中 (a) 部分所示]; ②当 PDMS 上的浮雕图形的深宽比过小时, 弹性印章容易发生向基底的下垂 [如图 4-42 中 (b) 部分所示]; ③弹性印章由于其固有的弹性, 很难取得多层工艺时的对准 [如图 4-42 中 (c) 部分所示], 同时也很容易在无极性的溶剂中发生膨胀。

以 PDMS 制作流程如图 4-43 所示, 首先采用光学光刻或电子束光刻在硅片上制作母版, 母版突起部分的材料可以是 SiO_2 、 Si_3N_4 、金属、光刻胶或蜡, 然后将其暴露于 $\text{CF}_3(\text{CF}_2)_6(\text{CH}_2)_2\text{SiCl}_3$ 蒸气中 0.5h 左右使其硅烷化, 可降低母版的表面能, 以便将来易于与预聚物分离, 接着将弹性的液态预聚物倒在母版上, 待其固化后和母版分离, 即得到弹性印章。

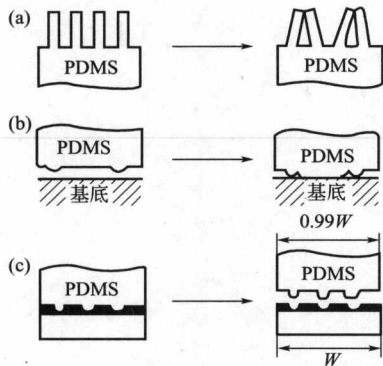


图 4-42 模版表面微结构的可能变形

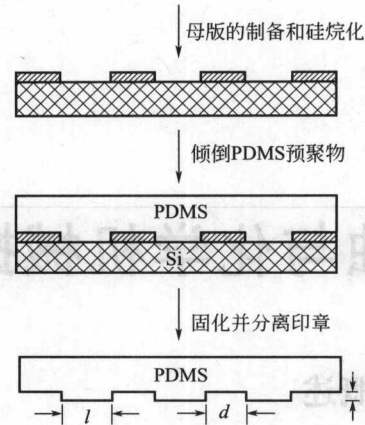


图 4-43 PDMS 模版制作流程

5

刻蚀与化学机械抛光

5.1 概述

在集成电路制造过程中,经过掩模套准、曝光和显影,在抗蚀剂膜上复印出所需的图形,或者用电子束直接在抗蚀剂膜上产生图形,然后把此图形精确地转移到抗蚀剂下面的介质薄膜(如氧化硅、氮化硅、多晶硅)或金属薄膜(如铝及其合金)上去,制造出所需的薄层图案。刻蚀就是用化学的、物理的或同时使用化学和物理的方法,有选择地把没有被抗蚀剂掩蔽的那一部分薄膜层除去,从而在薄膜上得到和抗蚀剂膜上完全一致的图形的工艺。其主要作用是把经过曝光、显影后光刻胶微图形中下层的裸露部分去掉,即在下层材料上重现与光刻胶相同的图形。定域刻蚀是指以光刻胶膜为掩模,在一定的刻蚀条件下对无掩模区域薄膜进行刻蚀以得到与胶膜图形相同薄膜图形的过程。

理想的刻蚀工艺必须具有以下特点:①为了保证精确地在被刻蚀的薄膜上复制出与抗蚀剂上完全一致的几何图形,采用各向异性刻蚀,即只有垂直刻蚀,没有横向刻蚀;②为了保证刻蚀过程中抗蚀剂掩蔽的有效性,不至于发生因为过刻蚀而损坏薄膜下面的其他材料,应具有良好的刻蚀选择性,即对作为掩模的抗蚀剂和处于其下的另一层薄膜或材料的刻蚀速率都比被刻蚀薄膜的刻蚀速率小得多;③加工批量大,控制容易,成本低,对环境污染少,适用于工业生产。

按发生顺序可将刻蚀的机制分为反应物接近表面、表面氧化、表面反应、生成物离开表面等过程,所以整个刻蚀工艺包含两部分:一部分是反应物接近、生成物离开的扩散效应;另一部分是化学反应。可知整个蚀刻的时间等于扩散与化学反应两部分所需时间的总和。

刻蚀技术可以分为湿法刻蚀和干法刻蚀。湿法刻蚀是各向同性的刻蚀方法,是利用液体化学试剂通过化学反应过程去除待刻蚀区域的薄膜材料,其优点是用时短、成本低、操作简单。干法刻蚀是将硅片暴露在等离子体中,等离子体与硅片发生物理或化学反应,从而去掉暴露在表面的材料,它是硅片表面物理和化学两种过程平衡的结果,其优点是横向腐蚀小、无化学废液、分辨率高、湿线条,缺点是成本高、设备复杂。目前被广泛应用的刻蚀设备为反应离子刻蚀设备。反应离子刻蚀按照刻蚀的材料可以分为电介质刻蚀和导体刻蚀。

电介质刻蚀主要是刻蚀电介质材料用来形成孔槽或者作为定义尺寸的硬掩模。电介质刻蚀大多使用含氟元素的气体进行刻蚀,例如 CF_4 、 C_4F_8 、 C_4F_6 、 C_5F_8 、 C_2F_6 、 CHF_3 、 SF_6 和 NF_3 等。在通常情况下,这些氟化物是相对稳定的,但是在高频电场作用下产生辉光放电,形成等离子体。在等离子体中,包含有正离子、负离子、自由基、自由电子以及中性的原子或分子。其中在化学上具有高活性的自由基与被刻蚀的材料发生化学反应,生成能够由气流带走的挥发性化合物,从而实现化学刻蚀。

另一方面, 等离子体中的自由电子由于带有负电而且质量小, 在反应腔中的电场作用下, 具有较快的运动速度, 能很快到达阴极, 而正离子则由于质量大、速度慢而不能在相同的时间内到达阴极, 从而使阴极附近形成了带负电的鞘层电压。同时, 由于反应腔的低工作气压, 正离子在阴极附近得到非常有效的加速, 垂直轰击放置于阴极表面的硅片, 这种离子轰击可大大加快硅片表面的化学反应及反应生成物的脱附, 从而提高了刻蚀速率, 且离子的垂直轰击使得刻蚀具有方



图 5-1 F/C 比例和聚合物的形成关系图

对于电介质刻蚀而言, F/C 比在整个刻蚀中扮演着相当重要的角色。图 5-1 为 F/C 比例和聚合物的形成关系图, 当 F/C 比例较小时, 就可能发生聚合。例如使用 CF_4 进行刻蚀, F/C 比开始为 4:1。等离子体中, CF_4 分解为 CF_3^+ 和 F^- 自由基。在刻蚀过程中 F^- 逐步消耗, CF_3^+ 会继续分解为 CF_2^+ 和 2F^- 自由基, 这样 F/C 比逐步下降, CF_2^+ 和 2F^- 自由基就有可能相互连接形成长链聚合物。我们可以通过控制偏压差和使用不同的气体比例, 从而控制刻蚀和聚合以利于达到理想的刻蚀效果。

随着工艺要求的不断提高, 目前刻蚀腔射频系统由初期的电容式耦合单射频系统设计, 发展到双射频设计。双射频设计方式能把离子的轰击速度和浓度分开控制, 从而更好地控制刻蚀速率、选择比、均匀性和特征尺寸。

5.2 刻蚀方法与设备

5.2.1 湿法刻蚀

湿法刻蚀是传统的刻蚀方法, 是一种纯化学刻蚀, 是把硅片浸泡在一定的化学试剂或试剂溶液中, 使没有被抗蚀剂掩蔽的那一部分薄膜表面与试剂发生化学反应而被除去, 例如, 用一种含有氢氟酸的溶液刻蚀二氧化硅薄膜, 用磷酸刻蚀铝薄膜。湿法刻蚀可发生在全部硅圆片表面或局部未被掩模保护的表面上, 其结果是导致固体表面全部或局部的溶解。湿法刻蚀具有优良的刻蚀选择性, 它刻蚀完当前薄膜就会停止, 而不会损坏下面一层其他材料的薄膜。另外, 湿法刻蚀还具有操作简便、对设备要求低以及易于实现大批量生产的优点。

在硅片表面清洗及图形转换中, 湿法刻蚀一直沿用至 20 世纪 70 年代中期, 即一直到特征尺寸开始接近膜厚时。因为所有的半导体湿法刻蚀都具有各向同性, 所以无论是氧化层还是金属层的刻蚀, 横向刻蚀的宽度都接近于垂直刻蚀的深度, 而且, 湿法刻蚀还受更换槽内腐蚀液时必须停机的影响。

另外, 对于采用微米级和亚微米量级线宽的超大规模集成电路, 刻蚀方法必须具有较高的各向异性特性, 才能保证图形的精度, 但湿法刻蚀不能满足这一要求, 它的化学反应的各向异性较差, 横向钻蚀使所得的刻蚀剖面呈圆弧形 (如图 5-2), 这不仅使图形剖面发生变化, 而且当稍有过刻蚀时剖面会产生如图 5-2 中的虚线, 致使薄膜上图形的线宽比原抗蚀剂膜上形成的线宽小, 并且随过刻蚀时间迅速增大。这使精确控制图形变得困难。湿法刻蚀的

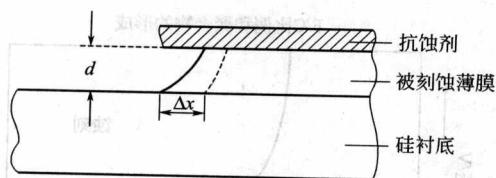


图 5-2 湿法刻蚀所得的薄膜剖面

干法刻蚀已占据主导地位。

湿法刻蚀是最普遍、也是设备成本最低的刻蚀方法，其中，影响被刻蚀物的刻蚀速率的因素包括：刻蚀液浓度、刻蚀液温度以及有无搅拌，增加刻蚀温度与加入搅拌均能有效提高刻蚀速率，但浓度的影响则较不明确。

大部分的湿法刻蚀液均是各向同性蚀刻，即对刻蚀接触点之任何方向腐蚀速度并无明显差异，所以一旦定义好刻蚀掩模的图案，暴露出来的区域就是往下腐蚀的区域；并且只要刻蚀配方具高选择性，便能够止于所应该停止的深度。

然而鉴于任何被刻蚀的薄膜都有其厚度，当其被刻蚀出某种深度时，刻蚀掩模图案边缘的部位渐渐地与刻蚀液接触，故刻蚀液也开始对蚀刻掩模图案边缘的底部进行蚀掏，这就是所谓的下切或侧向侵蚀现象。该现象造成的图案侧向误差与被蚀薄膜厚度同数量级。

湿法刻蚀依刻蚀对象的不同可分为绝缘膜、半导体膜、导体膜及有机材料等多种蚀刻。

(1) 绝缘膜的刻蚀 绝缘膜刻蚀包括图形化二氧化硅 (SiO_2) 膜的刻蚀和氮化硅 (Si_3N_4) 膜刻蚀。其中，为了保护光刻掩模和掩模下的绝缘层，图形化二氧化硅膜采用缓冲氢氟酸刻蚀液 (BHF) 进行刻蚀，而氮化硅膜在室温下用氢氟酸或磷酸进行刻蚀。

(2) 半导体膜刻蚀 半导体膜刻蚀主要是指单晶硅和多晶硅的蚀刻，通常采用混合酸蚀刻液进行蚀刻。

(3) 导体膜刻蚀 在 Si 材料集成电路中，金属导线常采用 Al、Al-Si 合金膜，湿法刻蚀图形化后 Al 和 Al-Si 金属膜常采用磷酸刻蚀液进行刻蚀。

(4) 有机材料刻蚀 有机材料刻蚀主要是指光刻胶在经过显影和图形转移后的去胶。常用的正胶显影液有四甲基氢氧化铵，去胶剂可采用热的过氧化氢-硫酸氧化去胶或采用厂家提供的专用去胶剂或剥离液来去除胶膜。

5.2.2 电化学刻蚀

光辅助电化学刻蚀方法制作硅片上通孔工艺由日本富士通公司开发，其基本原理为在 2.5% 的 HF 电解溶液中，以 N 型 (100) 硅圆片作为阳极，Pt 金属板作为阴极，在高压 Hg 灯源的照射下空穴会集中于小孔的尖端处，从而使刻蚀反应发生在尖端附近，而实现垂直硅通孔的制作，制作出的垂直硅通孔具有较高的纵深比，且制作设备简单、成本低，适合于大批量生产，但由于其为湿法刻蚀，工艺过程较难控制，导致通孔内壁较粗糙，平整性较差，并且由于其工艺的特殊性，使其只能在 (100) 晶面的硅片上才能制作出垂直通孔，从而限制其应用的范围。

图 5-3 所示是由富士通公司应用光辅助电化学刻蚀 (PAECE) 工艺开发的硅通孔互连技术，PAECE 工艺的刻蚀速率为 $1\mu\text{m}/\text{min}$ 、制作的通孔直径为 $30\mu\text{m}$ ，纵深比为 10:1，由于硅通孔内壁平整性较差，为实现与硅衬底的电绝缘需要热氧化较厚的 SiO_2 层，通孔内金属化采用 Au-20%Sn (质量分数) 焊料进行填充，该技术可应用于高密度封装硅基板。

5.2.3 各向异性湿法刻蚀

湿法刻蚀包括各向同性刻蚀与各向异性刻蚀。各向同性刻蚀是在任何方向上刻蚀速度均等的加工，可以制造任意横向几何形状的微形结构，高度一般仅为几微米，但是限于制造平面型结构。各向异性刻蚀则是与被刻蚀芯片的结构方向有关的一种刻蚀方法，它在特定方向上刻蚀速度大，其他方向上几乎不发生刻蚀。利用掩蔽图形与不同晶面的对准角关系，可以制作出深度达几十微米的二维空间结构。

在各向异性湿法刻蚀过程中，刻蚀速率应被精确控制，其可通过刻蚀温度、刻蚀液的浓度等方面进行控制。因为刻蚀速率直接关系到被刻蚀表面的粗糙度，而这恰恰是 MEMS（微机电系统）的关键参数，在某些具有特殊用途的系统中（如光学 MEMS）这一要求更加突出。

KOH 溶液的湿法刻蚀是一种低刻蚀温度、低制造成本且适合于批量生产的硅通孔制作工艺。对于 K^+ 与标准 CMOS 工艺不兼容的问题，可以通过采用 PECVD 淀积 Si_3N_4 、溅射

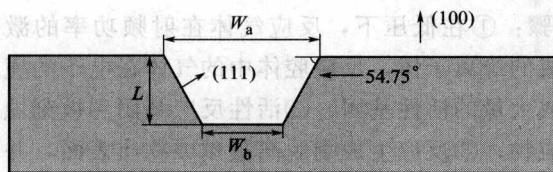


图 5-4 KOH 各向异性刻蚀结构示意图

TiW/Au 并电镀 Au 作为刻蚀工艺的保护层来保护 CMOS 电路，从而实现该工艺与标准 CMOS 工艺兼容。由于 KOH 溶液对硅单晶的各向异性腐蚀特性，且 (111) 晶面与 (100) 晶面间的夹角为 54.74° ，所以硅通孔的表面上窗口宽度 $W_a = W_b + 2L \cot 54.74^\circ$ ，其中 W_b 为底平面的宽度， L 为腐蚀深度，其结构示意图如图 5-4。因此，其制作的硅通孔为非垂直的且宽度较大，只能满足低到中等引出端数封装的要求。

5.2.4 干法刻蚀技术（等离子体刻蚀技术）

干法刻蚀也称为等离子体刻蚀，是用等离子体进行薄膜刻蚀的技术，它是硅片表面物理和化学两种过程平衡的结果。在半导体刻蚀工艺中，存在着两个极端，离子铣是一种纯物理刻蚀，可以做到各向异性刻蚀，但不能进行选择刻蚀，而湿法刻蚀如前面所述则恰恰相反。对这两种极端过程进行折中，得到目前广泛应用的一些干法刻蚀技术，例如，反应离子刻蚀和高密度等离子体刻蚀。这些工艺都具有各向异性刻蚀和选择性刻蚀的特点。反应离子刻蚀通过活性离子对衬底的物理轰击和化学反应双重作用刻蚀。具有溅射刻蚀和等离子体刻蚀两者的优点，同时兼有各向异性和选择性好的优点。

干法刻蚀是利用电浆来进行半导体薄膜材料的刻蚀加工。干法刻蚀采用的气体，或轰击质量较大，或化学活性极高，均能达到刻蚀的目的。干法刻蚀基本上包括离子轰击与化学反应两部分刻蚀机制。偏离离子轰击效应者使用氩气，加工出来之边缘侧向侵蚀现象极微；而偏离化学反应效应者则采用氟系或氯系气体（如四氟化碳 CF_4 ），经激发出来的电浆，即带有氟或氯之离子团，可快速与芯片表面材质反应。

干法刻蚀可直接利用光阻作刻蚀之阻绝遮幕，不必另行成长阻绝遮幕的半导体材料，而

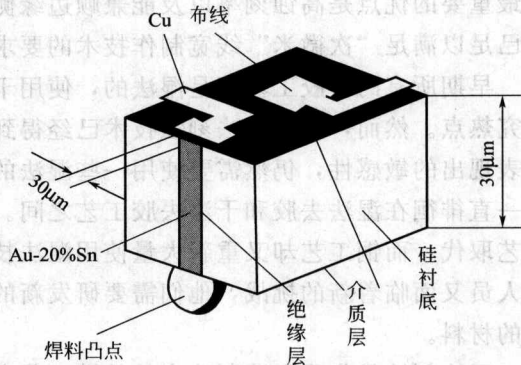


图 5-3 富士通公司硅通孔互连的完整结构示意图

其最重要的优点是高蚀刻率以及能兼顾边缘侧向侵蚀现象极微,即此技术中所谓活性离子蚀刻已足以满足“次微米”线宽制作技术的要求。

早期所有的去胶工艺都是湿法的,使用干法去胶取代昂贵的化学药品一直是研究人员的研究热点。然而,尽管干法刻蚀技术已经得到了极大的改进,但是由于一些材料对干法刻蚀所表现出的敏感性,仍然需要使用一些湿法的化学清洗作为干法去胶的有益补充,半导体生产一直徘徊在湿法去胶和干法去胶工艺之间。例如,铝工艺时代使用湿法工艺,随后被干法工艺取代;而铜工艺却又重新大量使用湿法技术。随着低介电材料在工业中的广泛应用,技术人员又面临着新的挑战,他们需要研发新的工艺和设备使得在工艺生产中不会损伤非常敏感的材料。

干法刻蚀是集成电路制造中的关键工艺之一,其目的是完整地将掩模图形复制到硅片表面,其范围涵盖前端 CMOS 栅极大小的控制,以及后端金属铝的刻蚀及通孔和沟道的刻蚀。在今天没有一个集成电路芯片能在缺乏等离子体刻蚀技术情况下完成。

干法刻蚀是各向异性的刻蚀技术,即在被刻蚀的区域内,各个方向上的刻蚀速度不相同。干法刻蚀主要是指利用低压放电产生的等离子体中的离子或游离基(处于激发态的分子、原子及各种原子基团等)与材料发生化学反应或通过轰击等物理作用而达到去除待刻蚀区域的薄膜材料的目的。通常,氮化硅、多晶硅、金属以及合金材料采用干法刻蚀技术,二氧化硅采用湿法刻蚀技术,有时金属铝也采用湿法刻蚀技术。

干法刻蚀的原理可以概括为以下几个步骤:①在低压下,反应气体在射频功率的激发下,发生电离并形成由带电的电子和离子组成的等离子体,反应腔体中的气体在电子的撞击下,除了转变成离子外,还能吸收能量并形成大量的活性基团;②活性反应基团和被刻蚀物质表面发生化学反应并生成挥发性的反应生成物;③反应生成物脱离被刻蚀物质表面,并被真空系统抽出腔体。

在平行电极等离子体反应腔体中,被刻蚀物是被置于面积较小的电极上,在这种情况下,一个直流偏压会在等离子体和该电极间形成,并使带正电的反应气体离子加速撞击被刻蚀物质表面,这种离子轰击可大大加快表面的化学反应及反应生成物的脱附,从而导致很高的刻蚀速率,正是由于离子轰击的存在才使得各向异性刻蚀得以实现。

干法刻蚀的主要参数包括刻蚀速率、刻蚀均匀性、选择比及刻蚀剖面。刻蚀速率是指去除材料的速度,其通常由电场功率、刻蚀气体种类及流量等确定。刻蚀均匀性是衡量不同的硅片、同一批次的不同硅片和同一硅片的不同位置刻蚀能力的参数。选择比是指在同一条件下,不同刻蚀材料的刻蚀速率之比,其通常受刻蚀气体种类和比例、等离子源以及功率和反应温度的影响。刻蚀剖面是指刻蚀图形的侧壁形貌,包括各向同性和各向异性,它与刻蚀气体种类及比例、等离子源以及功率相关。

干法刻蚀可用于二氧化硅刻蚀、氮化硅刻蚀、多晶硅刻蚀、背面刻蚀、光刻胶清理以及去除光刻胶等。干法刻蚀工艺参数包括了射频功率、压力、气体种类及流量、刻蚀温度及腔体的设计等因素,要提高刻蚀的效果,需要对这些参数进行综合考虑。

干法刻蚀主要包括离子铣刻蚀、等离子体刻蚀和反应离子刻蚀三种方法。

5.2.4.1 离子铣刻蚀

离子铣刻蚀是在低气压下由惰性气体辉光放电所产生的离子加速后入射到薄膜的表面,裸露的薄膜被溅射而除去。由于离子铣刻蚀是纯物理作用,各向异性程度很高,已在磁泡存储器、表面波器件和集成光学器件等制造中得到应用。但是,这种方法的刻蚀选择性极差,

须采用专门的刻蚀终点监测技术,而且刻蚀速率也较低。

5.2.4.2 等离子体刻蚀

等离子体刻蚀是在等离子体存在的条件下,以平面曝光后得到的光刻图形作掩模,通过溅射、化学反应、辅助能量离子(或电子)与模式转换等方式,精确可控地除去衬底表面上一定深度的薄膜物质而留下不受影响的沟槽边壁上的物质的一种加工过程。此工艺过程通常为各向异性的且按直线进行,它还具有刻蚀速率高、均匀性和选择性好以及避免废液料污染环境等优点。在现代工艺水平的超大规模集成电路制造中,等离子体刻蚀成为必需的主要加工技术,它被广泛用于微电子器件、薄膜、材料加工等方面。

等离子体刻蚀是利用气压为 $10 \sim 1000 \text{ Pa}$ 的特定气体(或混合气体)的辉光放电,产生能与薄膜发生离子化学反应的分子或分子基团,生成的是挥发性的反应产物,反应产物在低气压的真空室中被抽走,从而实现刻蚀。此方法通过选择和控制放电气体的成分,可以得到较好的刻蚀选择性和较高的刻蚀速率,但刻蚀精度不高,一般用于大于 $(4 \sim 5) \mu\text{m}$ 线条的工艺中。

等离子体刻蚀有溅射法、化学法、能量离子增强法和能量离子防护法四种基本方法(如图 5-5 所示)。溅射是由于能量离子的撞击而引起表面物质的原子急速蒸发和向外喷射的纯物理过程,此方法选择性差,易引起器件损伤。在化学方法刻蚀中,等离子体使中性原子基活化,从而产生了刻蚀剂,例如,氩等离子体使氯分子分解

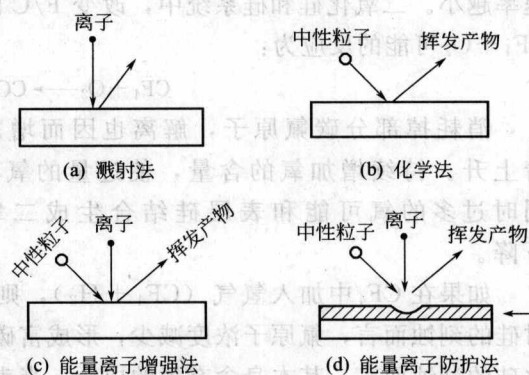
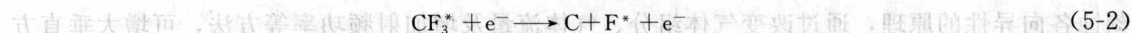
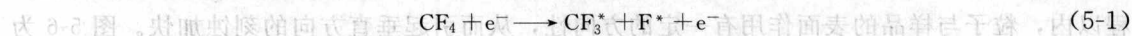
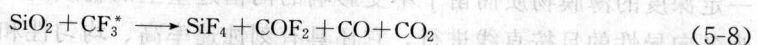
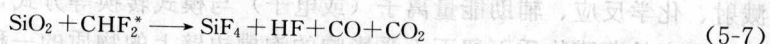


图 5-5 等离子体刻蚀的四种基本方法

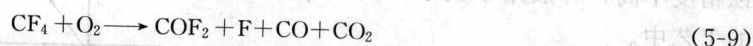
成氯原子,活化的 Cl 与表面的硅(Si)结合生成易挥发的 SiCl_4 ,从而使 Si 被 Cl 刻蚀,然而化学法刻蚀是各向同性的。能量离子增强刻蚀方法是将一定能量的离子通量垂直轰击被刻蚀的物质表面,器件边壁上离子通量甚小,能量离子的作用一方面使得化学反应容易发生,另一方面使得这种反应具有方向性(各向异性),由于离子通量主要轰击电场垂直的表面,故与离子运动方向垂直的表面被刻蚀,而与离子运动方向平行的侧壁却免遭腐蚀。能量离子防护刻蚀法是将一种防腐剂镀于衬底表面形成一种保护膜,它与活化中性粒子刻蚀剂不起作用,但适合的离子通量可以破坏这种保护膜,由于保护膜表面与离子通量成直角,所以化学反应在竖直方向上发生,而边壁上的防腐剂保护衬底免遭腐蚀,因而刻蚀是各向异性的。

二氧化硅等离子体干法刻蚀工艺最常用的刻蚀气体为氟碳化合物和氟化的碳氢化合物(在碳氢化合物中有一个或几个氢原子被氟原子替代),如 CF_4 、 C_3F_8 、 C_4F_8 、 CHF_3 、 CH_2F_2 等。刻蚀气体中所含的碳可以与氧化层中的氧产生副产物 CO 及 CO_2 从而去除氧化层中的氧。 CF_4 为最常用的气体,可以提供很高的刻蚀速率,但对多晶硅的选择比很低。另一常用的气体是 CHF_3 ,它具有很高的聚合物生成速率。若采用 CF_4 和 CHF_3 的混合气体作为刻蚀气体,则其刻蚀的主要过程如下。





可见由于刻蚀硅主要为氟原子活性基,若要增加对硅的刻蚀选择比,则必须降低氟原子的浓度。再者刻蚀和聚合对刻蚀速率和选择比影响很大,常用氟碳比(F/C)模型来衡量。在添加其他气体的状况下,会改变F/C,可以预知其反应的趋势,这被称为氟碳比模型。一般情况,F/C越大,形成的聚合物越少,二氧化硅/多晶硅和光阻的选择比越小,刻蚀速率越大;反之,F/C越小,形成的聚合物越多,二氧化硅/多晶硅和光阻的选择比越大,刻蚀速率越小。二氧化硅和硅系统中,改变F/C的研究主要有 $\text{CF}_4 + \text{O}_2$ 和 $\text{CF}_4 + \text{H}_2$ 两个方面。 $\text{CF}_4 + \text{O}_2$ 可能的反应为:



消耗掉部分碳氟原子,解离也因而增加,使氟碳比(F/C)上升,刻蚀速率也跟着上升。持续增加氧的含量,使过量的氧稀释氟原子的浓度,造成刻蚀速率的降低;同时过多的氧可能和表层硅结合生成二氧化硅,刻蚀硅与二氧化硅的选择比急剧下降。

如果在 CF_4 中加入氢气($\text{CF}_4 + \text{H}_2$),则氢气分解成氢原子后与氟原子反应形成HF。对硅的刻蚀而言,氟原子浓度减少,形成富碳等离子体,使得刻蚀速率直线下降。但对二氧化硅的刻蚀而言,其本身含有氧的成分,当表面受到轰击时,可以产生氧离子,氧离子和碳反应生成一氧化碳和二氧化碳,这两种气体可以从系统中抽走,使得F/C在局部区域呈现不变的情形,二氧化硅的刻蚀速率变化较小。因此,适量氢气的加入可增加二氧化硅对硅的刻蚀选择比。除了加入氢气外,加入 CHF_3 、 CHF_3 或 C_2F_4 等氟碳比小于4的气体来取代 CF_4 ,亦可达到降低F/C、提高刻蚀选择比的效果。

为了复制硅片表面材料上的掩模图形,刻蚀必须满足一些特殊的要求。重要的刻蚀参数有刻蚀速率、刻蚀均匀性、选择比、刻蚀剖面、聚合物、等离子体损伤、残留物、颗粒污染和缺陷等。

深层等离子体刻蚀工艺能制作出孔径小($>5\mu\text{m}$)、纵深比高的垂直硅通孔,且直接与IC工艺兼容;与其他制作工艺相比其制作的通孔内壁平滑,对硅片的机械及物理损伤最小,是制作硅通孔的最佳选择之一,但其制作成本较高。

在等离子体刻蚀加工中,由于能量离子、电子和光子轰击,会引起器件损伤,改变了器件的力学性能和电性能,器件损伤有原子位移损伤、污染损伤、载荷损伤和辐射损伤等。如何有效地减小和避免这些损伤,乃是微电子器件加工中的前沿研究问题之一。

等离子刻蚀从原理上讲是各向同性的。但是,一方面,由于反应物的再沉淀,引起横向刻蚀速率下降;另一方面,在接近样品几十微米的间隔中,由于在反应气体离子的平均自由程以内,粒子与样品的表面作用有一定的方向性,从而引起垂直方向的刻蚀加快。图5-6为刻蚀各向异性的原理,通过改变气体组分、气体流量及增加射频功率等方法,可增大垂直方向的刻蚀速率,减小横向刻蚀速率。

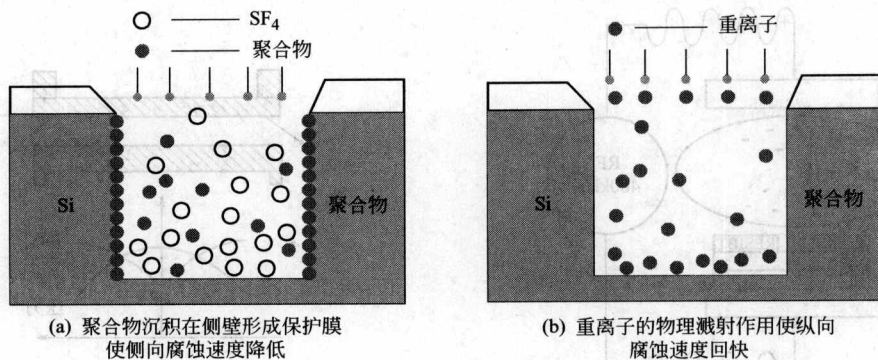


图 5-6 刻蚀各向异性的原理

5.2.4.3 反应离子刻蚀

反应离子刻蚀是超大规模集成电路工艺中很有发展前景的一种刻蚀方法，反应离子刻蚀原理如图 5-7 所示。反应离子刻蚀中辉光放电在零点几到几十帕的低真空中进行，其硅片处于阴极电位，放电时的电位大部分降落在阴极附近，大量带电粒子受垂直于硅片表面的电场加速，垂直入射到硅片表面上，以较大的动量进行物理刻蚀，同时还与薄膜表面发生强烈的化学反应，产生化学刻蚀作用，即反应离子刻蚀过程同时兼有物理和化学两种作用，选择合适的气体组分，不仅可以获得理想的刻蚀选择性和速度，还可以使活性基团的寿命缩短，这就有效地抑制了因这些基团在薄膜表面附近的扩散所造成的侧向反应，大大提高了刻蚀的各向异性特性。

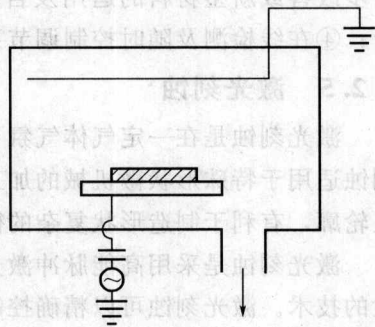


图 5-7 反应离子刻蚀原理

现代化的干法刻蚀设备包括复杂的机械、电气和真空装置，同时配有自动化的刻蚀终点检测和控制装置。因此干法刻蚀工艺的设备投资是昂贵的。蚀刻设备对蚀刻工艺技术有很大的制约作用，刻蚀设备的投资在整个芯片厂的设备投资中约占 10%~12% 的比重，它的工艺水平将直接影响到最终产品质量及生产技术的先进性。

等离子体刻蚀机，主要用于单晶硅太阳能电池、多晶硅太阳能电池、微晶硅太阳能电池制造工艺中以及对硅片周边扩散所生成的掺杂硅膜层、化学气相淀积生成的氮化硅膜层进行周边刻蚀。蚀刻机台主要组成部分有：操作系统、RF 系统、气柜系统、真空系统、腔体系统、冷却系统、终点侦测系统等。RF 系统决定等离子体的产生，对蚀刻产生明显的影响，Rainbow4500RF 示意如图 5-8 所示。其中 RF 腔体系统的反应腔体里气体的流动过程、腔体内的压力大小及分布也对蚀刻产生明显的影响（图 5-9）。

终点侦测系统用来监测刻蚀工艺并停止刻蚀以减小对下面材料的过度刻蚀。由于干法刻蚀选择比不及湿法刻蚀，过刻蚀带来的后果较严重，这使得终点侦测系统在干法刻蚀里显得很重要。

随着集成电路最小尺寸不断减小、集成度的不断提高以及硅单晶衬底尺寸的扩大，对刻蚀设备的要求也越来越高。除了要求刻蚀设备能提供高质量的刻蚀性能外，还要求其在大规模量产中能保证极高的稳定性以及极低的缺陷率。

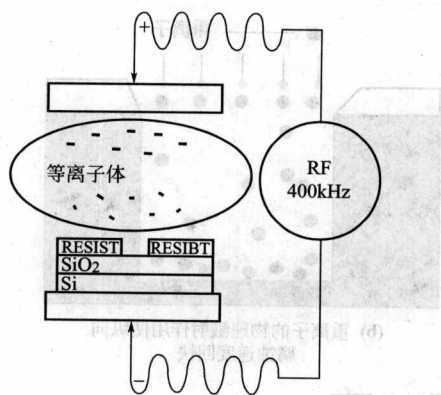


图 5-8 RF 示意

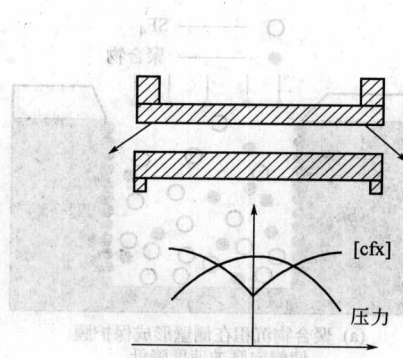


图 5-9 RF 腔体内的压力分布图

为了满足生产需要以及前端研发的要求，以满足芯片生产进一步发展的需要，新一代的刻蚀设备具有以下几项特点：①精确的工艺参数调节及控制系统；②反应腔内部材料进一步改善或新型材料的运用及自动清洁系统；③先进的探测系统及容易操作的控制软件平台；④在线检测及随时控制调节系统运用。

5.2.5 激光刻蚀

激光刻蚀是在一定气体气氛下用高强度激光照射硅表面，以达到极高的刻蚀速度。激光刻蚀适用于特殊形状微机械的加工。激光刻蚀通过调节刻蚀剂量，几乎可以加工出任何形状及轮廓，有利于制造形状复杂的微机械。

激光刻蚀是采用高能脉冲激光束在零件表面刻蚀出微细小槽，用以改善材料表面润滑特性的技术。激光刻蚀可以精确控制刻槽的深度和样式。在缸套内壁激光刻蚀微细槽，所刻蚀的细槽在摩擦副运动过程中起到储油和收集磨屑的作用，降低了摩擦系数，从而大幅度提高摩擦副的使用寿命。激光刻蚀可用于高压环境下工作的各类重载零件，如高速、高压空气压缩机缸套内壁等。

激光刻蚀在技术上有其自身的创新，如可选择最佳的刻蚀样式、精确控制刻槽的深宽度以及不接触式激光研磨；所以工艺的优势在于提供更有效的减磨方法、刻蚀槽有双重作用及宽度和深度可选择调整等。激光刻蚀被应用于内燃机缸套、发动机汽缸、高压重载零件减磨及碳化钨硬质合金等。

5.2.6 纳米级无损刻蚀工艺

目前，在超细线宽的芯片刻蚀工艺中广泛使用了等离子体技术，这种技术会损坏芯片的电学性能，并会带来物理上的损伤，并且随着设计尺寸变得越来越小，其损伤就越明显，这就成了半导体业界的一个研究热点。纳米级无损刻蚀工艺在刻蚀芯片时不会产生任何损伤，可以用于生产下一代纳米级的半导体芯片。在这一新的刻蚀技术的刻蚀系统中包含离子源，离子出来后经过位于离子源末端的常规极性格栅而成为离子束，然后经过反射器转变成中子束。此工艺使用氟气来进行化学刻蚀，使用离子源和交互式感应耦合等离子体来生成高密度的离子。此项新的刻蚀技术可以自由地调节中子束能量，其功能强大且结构简单。

5.2.7 离子束刻蚀

离子束刻蚀也称溅射刻蚀，是以离子束为刻蚀手段从而达到刻蚀目的的技术，其分辨率

限于粒子进入基底以及离子能量耗尽过程的路径范围。

离子束刻蚀又可分为聚焦离子束刻蚀和反应离子束刻蚀。聚焦离子束刻蚀是通过入射离子向工件材料表面原子传递动量而达到逐个蚀除工件表面原子的目的,从而可达到纳米级的制造精度。反应离子束刻蚀是一种物理化学反应的刻蚀方法。它将一束反应气体的离子束直接引向工件表面,发生反应后形成一种既易挥发又易靠离子动能而加工的产物,同时通过反应气体离子束溅射作用达到刻蚀的目的。

离子束刻蚀具有以下优点:①相比电子与固体相互作用,离子在固体中的散射效应较小,并能以较快的直写速度进行小于50nm的刻蚀,故而聚焦离子束刻蚀是纳米加工的一种理想方法;②聚焦离子束刻蚀是在计算机控制下的无掩模注入,甚至无显影刻蚀,可直接制造各种纳米器件结构。

然而,在离子束加工过程中,损伤问题比较突出,且离子束加工精度还不容易被控制,控制精度也不够高。离子束刻蚀工艺中的另一个较为重要的问题就是刻蚀终点的检测。多年来,在解决离子束刻蚀终点检测方面前后出现了几种方法,如光发射谱、质谱、激光干涉等。无论如何,在衍射光栅的刻蚀中暂时还没有有效的终点在线检测控制系统,常用的方法是通过刻蚀时间控制终点。由于整个刻蚀工艺是动态的并和时间有关,通过对不同工艺条件(离子束能量、束流密度、入射角)的多次刻蚀结果的检测,可以确定某种材料在相应条件下的刻蚀速率,由刻蚀速率和被刻材料的刻蚀深度可以确定刻蚀时间。

另外,离子束刻蚀中还存在二次效应。例如,为了在图形转移时得到侧壁陡直的槽形轮廓,必须克服离子束刻蚀中的二次效应。离子束刻蚀中采用可倾斜的样品旋转台,通过改变离子束入射角来控制或消除二次效应。大量的刻蚀轮廓实验研究表明,采用 $10^{\circ}\sim 30^{\circ}$ 入射角能有效地控制二次效应。

5.3 刻蚀工艺表征

在集成电路中,线宽(也被称为关键尺寸)测量是检测实际值与设计值之间的偏差,这种误差应该为光刻误差和刻蚀误差的综合。最终结构中的侧壁形貌对后续工艺有着重大影响。实际的线往往不是完美的侧壁[见图5-10(a)],而是倾斜的[见图5-10(b)、(c)],且会出现边缘粗糙的现象,而边缘粗糙严重影响着线宽的界定。

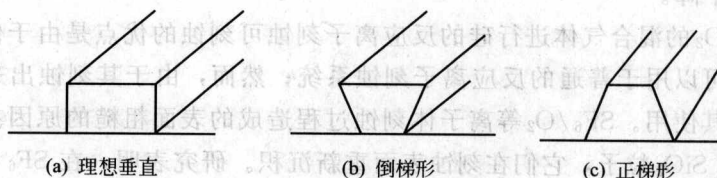


图 5-10 线形貌

每一片硅片的整片都必须保证特征尺寸的正确,这样的能力叫做线宽控制。线宽控制的影响因素包括硬件设备、工艺和材料等。当特征尺寸减小时,控制特征尺寸的公差能力也随之降低。

机械探针、激光束扫描以及电子束扫描均可用于线宽的检测,光学顶视图、扫描电子显微镜可用于测量侧壁形貌,而多次扫描可求边缘粗糙度的平均值。由于显微镜测量技术的低成本、操作简单和高效率仍然得到广泛的应用。对于更小的几何尺寸,常用扫描电子显微镜

和激光扫描技术。为了获得对更小关键尺寸的控制,需要精度和准确性优于 2nm 的测量仪器,扫描电子显微镜 (SEM) 能够获得这种测量水平,扫描电子显微镜就已成为在整个亚微米时代检验合格的关键尺寸控制的主要仪器。

对膜与衬底之间以及膜与光刻胶或其他掩模材料之间刻蚀速率比的测量即是选择性。在典型的等离子刻蚀工艺中,选择比在 (1:1)~(100:1) 之间,在等离子体刻蚀中,光刻胶的选择比在 (1:1)~(10:1) 之间,也可能达 100:1。湿法刻蚀中的光刻胶选择性通常很好,但是受结合力和脱胶所限制。

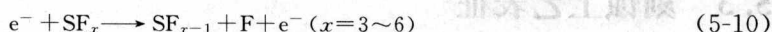
刻蚀终止是刻蚀工艺中用到的术语,它是指当刻蚀进行到某下层材料时,其选择性很高,以至于在本质上刻蚀已经终止。当刻蚀聚合物时,光刻胶也是聚合物,在两种相同材料间实现刻蚀的选择性非常困难,所以此时选择性以及光刻胶的去除较困难。

5.4 常用材料的刻蚀工艺

5.4.1 硅

对硅材料的各向异性干法刻蚀是微电子设备制造的重要工艺手段。微电子工业中常用于法刻蚀将光刻胶图形作为掩蔽膜定义的平面图案,转移到下面的衬底材料上。传统的干法刻蚀手段如离子束刻蚀制作台阶结构,存在再沉积、再溅射和槽底开沟等二次效应影响图形轮廓的问题;而采用反应离子刻蚀的方法则不存在上述问题。

氟基等离子体是刻蚀硅材料的很有效的工具。一般认为,利用这些含氟的气体刻蚀硅只能实现各向同性的刻蚀,这是因为它们的主要刻蚀机制是硅原子和游离的氟原子结合生成挥发性的 SiF_4 。氟基等离子体对硅的刻蚀主要是依靠自由原子氟。 SF_6 的分解主要靠电子碰撞过程,反应过程如下:



硅的刻蚀速率为 $R_{\text{Si}} = k\beta_{\text{Si}}N_{\text{F}}$ 。

式中, k 为比例系数; β_{Si} 为氟原子在硅表面的反应概率; N_{F} 为氟原子浓度。显然高的 SF_6 流量,将增加 F 原子浓度,导致高的刻蚀速率,选择比也会增加;另一方面,在高 SF_6 流量下,由于对流损失或复合, F 的浓度会停止增加,有减少的趋势,因此刻蚀速率的增加也会停止并趋于下降。

使用 SF_6 与 O_2 的混合气体进行硅的反应离子刻蚀可刻蚀的优点是由于依靠氟的化学刻蚀,所以无毒,可以用于普通的反应离子刻蚀系统;然而,由于其刻蚀出来的表面比较粗糙,所以限制了其使用。 SF_6/O_2 等离子体刻蚀过程造成的表面粗糙的原因在于大量的硅粒子和 O_2 结合生成 SiO_2 粒子,它们在刻蚀表面重新沉积。研究表明,在 SF_6 中添加一定量的 O_2 可以实现高刻蚀选择性的各向异性刻蚀,同时和 CHF_3 混合还可以获得平滑的刻蚀表面。

当引入 O_2 后,由于 O_2 与氟基团的反应,阻止了氟基团和氟复合重新形成 SF_6 的途径,导致了氟原子浓度的增加,从而大大增加 SF_6 对硅的刻蚀速率,提高刻蚀选择比。然而,在 O_2 增加到某一值后,由于 O_2 和 F 原子在硅的表面相互竞争, O_2 在硅表面会被吸收生成硅的氧化物,形成一种钝化层,从而阻挡 F 的进一步刻蚀,所以对硅的刻蚀速率将起到负面的作用。

在 $\text{SF}_6/\text{O}_2/\text{CHF}_3$ 多组分气体等离子体中,主要的分解物有 SF_5^* 、 F^* 和 O^* 。 O_2 和

SF_x^+ 反应可以形成 SO_2 和 SOF_4 ，避免 SF_x^+ 与 F^* 复合反应，结果导致 F 原子浓度比无 O_2 时高，从而刻蚀速率也增高，而另一种生成物为硅表面的钝化层 SiO_xF_y ，其厚度与 O 原子密度、离子碰撞和局部温度有关，此钝化层对硅刻蚀速率的增加起到限制作用，但是对侧壁则起到刻蚀保护作用，避免了横向刻蚀，因而是产生各向异性刻蚀的主要原因。添加 CHF_3 可以产生 CF_x^+ 和 SF_x^+ ，它们一起，在表面电场作用下轰击硅表面，并与水平表面钝化层 SiO_xF_y 反应生成挥发性的 CO_xF_y 或 SO_xF_y ，并参与对硅水平表面的轰击，去除硅表面的氧化层或钝化层，减少水平表面钝化层的厚度，使高深宽比各向异性刻蚀成为可能。 CHF_3 还可以提供 CF_2 ，作为聚合物沉积，在合适的条件下提高刻蚀的各向异性程度。但是在高 CHF_3 流量下，离子的轰击会减弱，在一定的条件下，硅的刻蚀速率会降低。 CHF_3 添加后引入的 CF_x^+ 类粒子可以减少 SiO_2 粒子的形成，减小重新沉积的可能性。

图 5-11 为硅的刻蚀速率和选择比对功率的依赖关系。可以看出，随着功率的增加，硅的刻蚀速率随之增加，原因在于，随着功率的增加，氟原子的浓度增加，但氧的浓度只是稍微增加，所以，硅的刻蚀速率和刻蚀的选择比随着功率的增加而增加。另一方面，考虑到光刻胶的刻蚀机制主要是氧原子和离子轰击，由于氧原子的增加并不明显，因此离子轰击的作用可能是主要的，所以，在高功率下，光刻胶在离子轰击下的刻蚀效果比 Si 要强得多，因此导致刻蚀选择比下降。

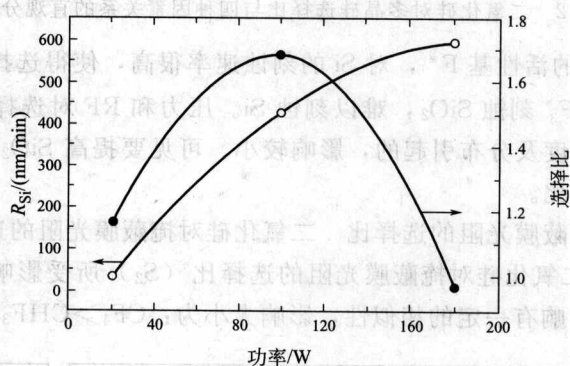


图 5-11 刻蚀速率和选择比对功率的依赖关系

随着气压的增加，硅的刻蚀速率稍微增加，随后以较大的幅度下降。在低功率下，硅的刻蚀速率随着气压的增加而减少，但是在高功率下，刻蚀速率起初增加，达到最大值后下降。在高气压下，由于自偏压的下降导致离子的轰击效应减弱，因而硅的刻蚀速率下降。

5.4.2 二氧化硅

二氧化硅的腐蚀剂成分及其腐蚀速率见表 5-1 所列。由于在二氧化硅刻蚀过程中，刻蚀的理想条件经常漂移，工艺工程师不仅需设定优化刻蚀效果的蚀刻菜单，还需在理想条件漂移时及时做出调整。就二氧化硅的干法刻蚀而言，需要优化的刻蚀参数包括刻蚀速率、均匀性、选择比等。

在二氧化硅的干法刻蚀中，刻蚀参数选择比的优化不仅需要考虑二氧化硅对衬底材料的选择比，还应考虑二氧化硅对掩蔽膜光阻的选择比。

(1) 二氧化硅对多晶硅的选择比 二氧化硅对多晶硅的选择比与各因素的关系如图 5-12 所示，由图可知各种因素对选择比的影响大小为： $\text{CF}_4 > \text{CHF}_3 > \text{压力} > \text{RF}$ 。

表 5-1 二氧化硅的腐蚀剂成分及其腐蚀速率

材 料	腐蚀剂成分	腐蚀速率/(Å/min)
SiO ₂	28mL HF	1000
	缓冲 HF 溶液	
	170mL H ₂ O	
	113g NH ₄ F	120
	15mL HF	
	缓冲 HF 溶液	
	300mL H ₂ O	120
	10mL HNO ₃	

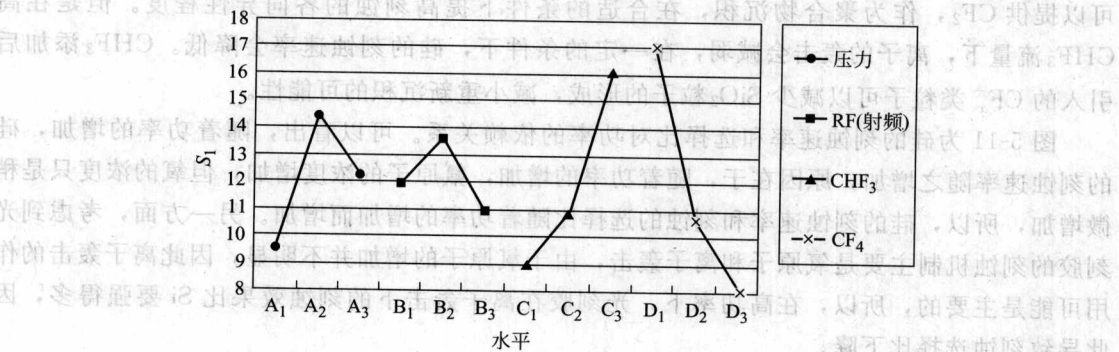


图 5-12 二氧化硅对多晶硅选择比与四种因素关系的直观分析图

CF₄ 提供很高浓度的活性基 F*，对 Si 的刻蚀速率很高，使得选择比降低；而提供的活性基主要为 CHF₂*，CF₃* 刻蚀 SiO₂，难以刻蚀 Si。压力和 RF 对选择比的影响为它们对离子、活性基团的能量密度及分布引起的，影响较小。可见要提高 SiO₂/POLY 的选择比，应主要考虑气体的合适配比。

(2) 二氧化硅对掩蔽膜光阻的选择比 二氧化硅对掩蔽膜光阻的选择比与各因素的关系如图 5-13 所示。可知二氧化硅对掩蔽膜光阻的选择比 (S₂) 所受影响和二氧化硅对多晶硅的选择比 (S₁) 所受影响有一定的相似性，影响大小为：CF₄>CHF₃>压力>RF。

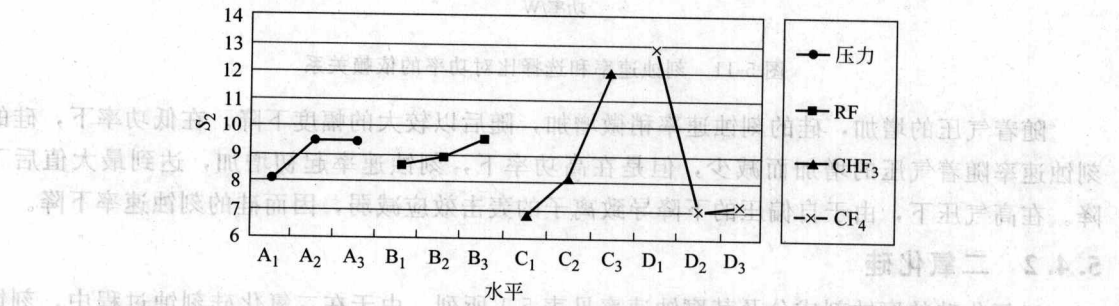
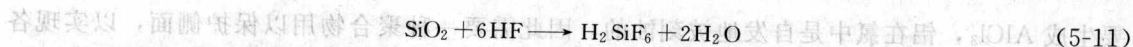


图 5-13 二氧化硅对光阻选择比与四种因素关系的直观分析图

所以气体的配比也是最主要的考虑因素。

研究表明：①RF 功率为影响刻蚀速率的主要因素；②压力为影响均匀性的主要因素；③通过调节气体流量的比率改善选择比，选择比主要由气体流量决定。

氧化物的各向同性刻蚀比较困难，但是足够高的自由基尝试能够导致可观的各向同性刻蚀速度。任何含氟气体都可用于氧化物的刻蚀。二氧化硅可以利用气相的 HF 来腐蚀，在腐蚀亚微米的图案方面深具潜力，因为工艺容易控制。



5.4.3 氮化硅和氮氧化硅

氮化硅可以在室温下用高浓度的 HF、缓冲 HF 或沸腾的磷酸溶液腐蚀。由于浓度为 85% 的磷酸溶液在 180℃ 时对二氧化硅的腐蚀非常慢，所以可利用它来作氮化硅相对二氧化硅的选择性腐蚀，见表 5-2 所列。

表 5-2 氮化硅腐蚀剂成分及其腐蚀速率

材 料	腐蚀剂成分	腐蚀速率/(Å/min)
Si_3N_4	缓冲 HF 溶液	5
	H_3PO_4	100

SF_6 基和 CF_4 基工艺刻蚀氮化硅的速度较快，但是对硅是没有选择性的各向同性刻蚀，而 CHF_3 基工艺不仅可以用于刻蚀氮化硅，而且对硅具有选择性。

热磷酸湿法刻蚀在半导体制造工艺的应用中已经有了几十年的历史了。由于热磷酸对氮化硅和氮氧化硅刻蚀具有良好的均匀性和较高的选择比，一直到了 90nm 的最先进制程也是采用热磷酸来刻蚀氮化硅与氮氧化硅。常用的热磷酸刻蚀液是由 85% 浓磷酸和 15% 去离子水配合而成，并使温度保持在 160℃ 的情况下进行刻蚀。氮氧化硅湿法刻蚀流程如图 5-14 所示。

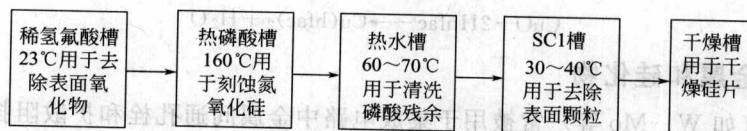


图 5-14 氮氧化硅湿法刻蚀流程

热磷酸刻蚀之后的芯片一般采用热去离子水清洗。当芯片从 160℃ 的磷酸槽进入水槽时，芯片表面残余磷酸的黏度急剧增加，并且形成一层带有磷酸和副产物的薄层紧贴于芯片表面，如果不将这层残余物质清洗干净，将严重影响芯片的后续制程，造成芯片成品率的损失和可靠性问题，所以热磷酸后清洗比其他酸液（如 SC-2，SPM，HF 等易去除的试剂）的后清洗更为关键，也更具有挑战性。

5.4.4 铝

铝的湿法腐蚀是首先利用硝酸将铝氧化为氧化铝，再用磷酸溶解氧化铝。铝的腐蚀速率与腐蚀剂浓度、温度、芯片的搅动、铝薄膜内的杂质或合金类型有关。

铝和铝合金的薄通常利用加热的磷酸、硝酸、醋酸和去离子水来腐蚀。典型的腐蚀剂是含 73% 的磷酸、4% 的硝酸、3.5% 的醋酸以及 19.5% 的去离子水的溶液，温度控制在 30~80℃，铝的腐蚀剂成分及其腐蚀速率见表 5-3 所列。

表 5-3 铝的腐蚀剂成分及其腐蚀速率

材 料	腐蚀剂成分	腐蚀速率/(Å/min)
Al	1mL HNO_3	350
	4mL CH_3COOH	
	4mL H_3PO_4	
	1mL H_2O	

铝表面存在自然氧化层 Al_2O_3 ，它很难被刻蚀。采用含氯元素的气体对其进行刻蚀，主

要生成 AlCl_3 ，铝在氯中是自发地被刻蚀的，因此需要一种聚合物用以保护侧面，以实现各向异性形貌。而在一些低压反应器中， Cl_2/BCl_3 气体可以刻蚀出干净的两向异性形貌，此气体不需要使用聚合物。另外，为了稳定等离子体并改善光刻胶的刻蚀选择性，常常在刻蚀气体中加入氮和氩。

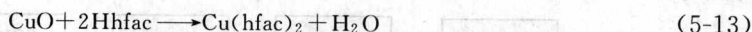
5.4.5 铜

由于无论是铜的氟化物还是氯化物都不具有挥发性，则目前铜的刻蚀还不能利用等离子体刻蚀工艺。铜是一种不活泼的金属，在金属活动顺序表中位于氢之后，因此，铜不能溶于非氧化性酸（如 HCl 、稀 H_2SO_4 ），可溶于氧化性酸或强氧化性物质中，在选择刻蚀溶液时，应同时考虑刻蚀溶液对人、设备及环境等的危害。铜刻蚀技术除面临成品率低这个困难以外，还面临低刻蚀选择比等问题。

硫代硫酸钠在空气中是一种稳定的强氧化剂，它能够使铜氧化成铜离子，其化学反应式如下：



另外，目前已成功地使用有机气体对铜进行了刻蚀，其是先对铜进行氧化，然后形成挥发性的化合物，但是反应产物必须足够稳定以利于被带走。六氟乙酰丙酮的刻蚀反应式如下：



5.4.6 难熔金属和硅化物

难熔金属（如 W 、 Mo 等）常被用于集成电路中金属间通孔栓和扩散阻挡层，而其硅化物广泛用于多晶硅栅极上方的区域连线。

W 和 Mo 的刻蚀与硅相似，在氟等离子体中， W 、 Mo 可形成高挥发性卤化物。了解难熔金属的卤化物的挥发性是了解难熔金属及其硅化物的干刻蚀机制的关键。例如，在氧-卤素等离子体系统中，由于氟化钨的挥发速率比 W 、 F 的反应速率快，此时，刻蚀速率取决于 W 与 F 的反应速率；而对于 Ti ，氟化钛的挥发性较差，因此其刻蚀速率取决于氟化钛的挥发速率。另外，由于氧氟化物和氧氯化物不容易挥发，则需要利用离子轰击，离子轰击既有利于它们的完全去除，也有利于各向异性的出现。

W 、 Mo 、 Ta 的硅化物的刻蚀工艺则是硅和相应金属的刻蚀工艺的组合，其大多可用以氟为主的等离子体气体刻蚀。由于采用高浓度的氟原子对多晶硅金属化物进行刻蚀时，氟原子也将对下层的多晶硅进行侧向刻蚀而造成钻蚀现象，而利用低浓度的氟原子对其进行刻蚀时，虽然能形成各向异性刻蚀，但是此时多晶硅化物对于氧化层的选择比小于 1；因此以氟为主的等离子体气体刻蚀对于多晶硅金属硅化物并不适合。

而使用氯气为主的等离子体对金属硅化物进行刻蚀则可避免这些问题且很容易得到各向异性刻蚀，但是由于这些金属氯化物的挥发性较差，此法的刻蚀速率较低。

刻蚀时间是指用膜厚除以刻蚀速率。然而，由于刻蚀速率和膜厚存在不确定性，通常需要进行轻微的过刻蚀。

5.5 化学机械抛光工艺和设备

IC 制造工艺中平坦化技术已成为与光刻和刻蚀同等重要且相互依赖的不可缺少的关键

技术之一。而化学机械抛光 (CMP) 也称为化学机械研磨技术, 其工艺便是目前最有效、最成熟的平坦化技术。化学机械平坦化技术由于对加工表面优越的整体平坦化能力, 而成为最有前途的超大规模集成电路金属化层的平坦化技术。

CMP 是 IBM 公司于 1985 年发展 CMOS 产品时研发成功的一项新技术, 1995 年以后, CMP 技术得到了快速发展, 大量应用于半导体产业。在半导体行业, CMP 最早应用于集成电路的基底硅材料的抛光中, 其后被逐步应用于集成电路的前半制程中, 其主要用于层间介质, 绝缘体, 导体, 镶嵌金属 W、Al、Cu, 多晶硅, 硅氧化物沟道等的平面化中。

CMP 技术的发展经历了三个阶段, 第一阶段在铜布线工艺之前, 主要研磨材料为钨和氧化物; 第二阶段在 1997 年~2000 年进入铜双镶嵌工艺之后, 研磨材料从二氧化硅拓展到氟硅酸盐玻璃; 第三阶段是采用铜互连和低 k 介质, 研磨对象主要为铜互连层, 层间绝缘膜和浅沟道隔离。

化学机械抛光是一种去除工艺, 它不仅同时采用化学反应及机械研磨两种手段来去除部分沉积在硅晶圆片上的薄膜, 以使沉积膜的表面更加平坦和光滑, 同时也用来去除晶圆片上浅沟道绝缘体表面上的绝缘薄膜, 以及晶圆片表面上的金属薄膜, 以便在绝缘层中形成金属互联插塞和金属互连线。

化学机械抛光兼具研磨性物质的机械式研磨与酸碱溶液的化学式研磨两种作用, 可以使晶圆表面达到全面性的平坦化, 以利后续薄膜沉积之进行。图 5-15 所示为 CMP 加工示意。在加工过程中, 垫板和加工芯片同时转动, 通过夹具向芯片施加压力, 从而使芯片加工表面和垫板表面接触实现研磨加工。由于化学机械抛光中材料去除量很少, 一般只有几微米, 因此, 化学机械抛光材料去除力较小, 对夹持系统的吸附力强度要求不高, 但要求有较高的平整度。针对这种要求, 目前在化学机械抛光中主要使用的夹持方法有石蜡黏结、水的表面张力吸附、多孔陶瓷式真空吸盘、静电吸盘和薄膜式真空吸盘吸附等方法。

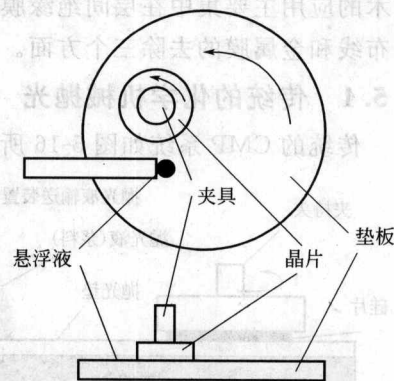


图 5-15 CMP 加工示意

在 CMP 制程的硬设备中, 研磨头被用来将晶圆压在研磨垫上并带动晶圆旋转, 至于研磨垫则以相反的方向旋转。在进行研磨时, 由研磨颗粒所构成的研浆会被置于晶圆与研磨垫间。影响 CMP 制程的变量包括有: 研磨头所施的压力与晶圆的平坦度、晶圆与研磨垫的旋转速度、研浆与研磨颗粒的化学成分、温度以及研磨垫的材质与磨损性等。

织网概念的提出为 CMP 工艺控制提供了一个巨大的优势, 旋转的滚筒在芯片上经过时, 台份量足以引入一块新的织网区, 通过移动速率的调整使其保持在期望的水平上, 这样就不需要调节圆盘, 既节省了昂贵的调节圆盘的费用并且避免了脱落粒子现象发生。

由于金属层数增加, 要在大直径硅片上实现多层布线结构, 刻蚀要求每一层都应具有很高的全局平整度, 即要求对多层布线互连结构中凹凸不平的绝缘体、导体、层间介质 (ILD)、镶嵌金属 (如 Al, Cu)、浅沟槽隔离 (STI)、硅氧化物、多晶硅等进行平整化, 这是实现大规模集成电路立体化结构的关键。在众多的平整化技术中, 化学机械抛光是目前唯一能获得全局平面化效果的平整化技术, 其可贵之处在于它在多层金属互连结构中既可对绝缘体又可对半导体进行全局平面化, 因此, 在当前最尖端的半导体科技中, 化学机械抛光已经成为众所瞩目的核心技术。

目前, CMP 技术已经发展成以化学机械抛光机为主体, 集在线检测、终点检测、清洗、甩干等技术于一体的化学机械平坦化技术, 是集成电路向微细化、多层化、薄型化、平坦化工艺发展的产物; 是硅圆片由 200mm 向 300mm 乃至更大直径过渡、提高生产率、降低制造成本、衬底全局平坦化所必需的工艺技术。

半导体工艺对于 CMP 技术的依赖主要来自于器件加工尺寸的不断微细化而出现的多层布线和一些新型介质材料的引入, 随着金属互连的金属层间介质的增加, 必然导致芯片表面严重的不平整, 以致无法满足图形曝光的焦深要求, 为解决这一矛盾和提高芯片的成品率, 要求晶圆表面必须平整、光滑和洁净, CMP 工艺便是目前最有效、最成熟的平坦化技术。

因为低介电系数 k 电介质仍处于研究开发阶段, 它增加了对集成 CMP 工艺开发的难度。铜金属化的应用需要对金属铜及阻挡层和对低介电系数 k 电介质具有选择性的工艺作进一步研究, 所以, 采用金属铜及低介电系数 k 的电介质制作的金属互联线是对 CMP 工艺的新挑战。

在 IC 器件进一步向着体积更小、速度更快的技术要求驱动下, 互连技术平坦化要求集中体现在提高平面度、减少金属损伤以及降低缺陷率 (缺陷尺寸和密度), 则相应的 CMP 技术的应用主要集中在层间绝缘膜的平坦化、浅沟道隔离中阻挡层绝缘膜的去除以及镶嵌金属布线和金属膜的去除三个方面。

5.5.1 传统的化学机械抛光

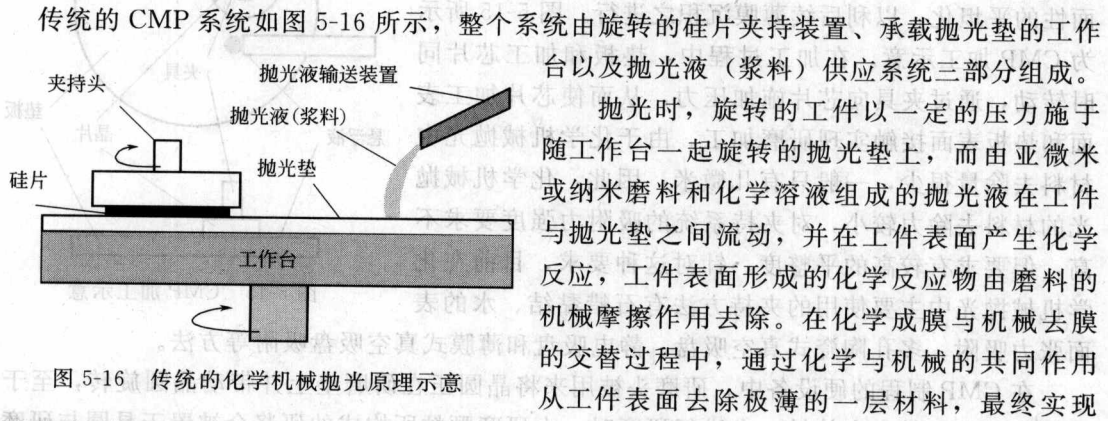


图 5-16 传统的化学机械抛光原理示意

超精密表面加工。两个过程的快慢综合和一致性影响着工件的抛光速度和抛光质量, 抛光速度主要由这两个过程中速度较慢的过程所控制。因此, 要实现高效率、高质量的抛光, 必须使化学作用过程与机械作用过程进行良好的配合。如果化学腐蚀作用大于机械磨削作用则在抛光面表面产生腐蚀坑、橘皮状波纹; 如果机械磨削作用大于化学腐蚀作用则在抛光表面产生高损伤层和划道。

基底硅抛光片质量的优劣, 对器件与集成电路的电学性能和成品率有着极其重要的影响, 这主要是由于光刻机的焦深变得越来越短, 硅基底或薄膜层上极其微小的高度差异都会使 IC 的布线图形发生变形、扭曲、错位, 结果导致绝缘层的绝缘能力达不到要求, 或金属连线错乱而出现废品。

在传统的单面化学机械抛光中, 根据贴片工艺的不同可以分为有蜡抛光与无蜡抛光两大类, 有蜡抛光是使用蜡把硅片固定在陶瓷板上进行抛光, 无蜡抛光是使用模板装片法、真空吸片法等方法将硅片固定, 然后进行抛光。抛光之后, 在对硅片检测时采用硅片全局平整度

与硅片局部平整度；两个参数来表征平整度，而这两个参数都是以硅片的背表面为参考平面，即认为硅片的背面为理想的平面，但实际的硅片背表面是高低不平的，故需引入另一个参数纳米形貌来表征硅片的几何特性。

纳米形貌反映的是硅片在自由状态下（不加任何外力）正表面的平整情况。由此可知，纳米形貌表征的是与平整度完全不同的参数。例如，虽然硅片的正表面有突起和凹下的地方，但只要硅片的背表面与正表面相平行，则 TIR 与 STIR 将较小，而纳米形貌会较大。在单面化学机械抛光时，这种现象会经常发生。

评价硅抛光片质量的参数主要有：硅片表面微粗糙度；硅片表面的颗粒数以及硅片表面的金属沾污情况等。随着 IC 工艺的发展，传统的单面抛光已不能满足生产的需要。

5.5.2 双面化学机械抛光

双面化学机械抛光是在原有的单面化学机械抛光的基础上发展起来的，基本原理如图 5-17 所示，其基本原理与单面化学机械抛光相同，只是需要将传统的化学机械抛光中的硅片夹持装置用另一个倒置的承载抛光垫的工作台所取代。

双面化学机械抛光也是化学反应与机械磨削共同作用的一个过程，要想获得质量好的抛光片，必须使这两个作用在整个抛光过程中保持平衡。与化学反应有关的参数有：抛光温度、抛光液 pH 值等；与机械作用有关的参数有：抛光压力、抛光转速、磨料的粒度与浓度、抛光布等。另外硅片的晶向、电阻率等本身对抛光质量也有一定程度的影响。

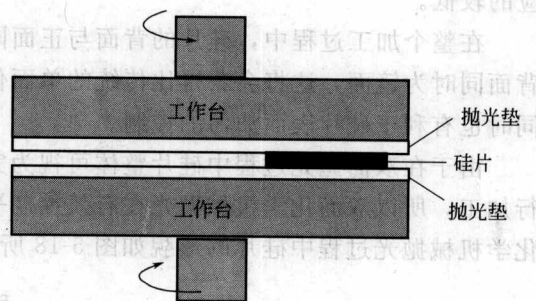


图 5-17 双面化学机械抛光原理示意图

抛光温度是影响硅片抛光速率与质量的一个重要参数。随着抛光温度的增加，抛光液的化学反应能力将会成指数关系地相应增加，同时也会引起抛光液的快速挥发，这样将导致硅片表面腐蚀严重、去除不均匀，从而使得抛光质量下降。但抛光温度过低又会使化学反应速度降低，进而使得机械作用大于化学作用，硅片机械损伤严重。通常抛光温度会控制在 38~50℃（粗抛）或 20~35℃（中抛与精抛）。另外，抛光压力的增加、抛光转速的增加、抛光液流量的减小等也会使得抛光温度升高。

在化学机械抛光中，随着抛光液 pH 值的增加，化学反应能力将相应增强，进而使得抛光速度增加，但当 pH 值达到某一值之后，硅片的表面将会由疏水性变为亲水性，同时抛光速度显著下降。通常抛光液的 pH 值控制在 10.5 左右时有最快的抛光速度。由于多胺有机弱碱可以起到缓冲的作用，可以将多胺有机弱碱加入抛光液中进行来调节 pH 值，使得整个抛光过程中抛光液 pH 值保持稳定。

抛光压力与抛光转速对抛光速度和抛光表面质量影响很大，通常随着抛光压力与抛光转速的增加，机械作用将增强，抛光速度也将增加。然而，使用过高的抛光压力与转速将会导致硅片抛光速度不均匀、抛光温度升高且不易控制，从而使得出现划伤的概率大大增加，抛光质量下降。另外，在精抛过程中，抛光压力过高也会使得抛光布储存抛光液的能力下降，进而导致硅片划伤。

抛光液粒度的增加，将使抛光速度增加，但粒度的增加又会大大增加硅片表面产生划道和缺陷的概率。目前使用的抛光液粒度一般为 10~1000nm；磨料的浓度对抛光质量也有重

要影响,在一定范围内,随着浓度的增加,抛光速度将会增加,且平整度也趋于更好。但当磨料浓度超过某一值时,材料去除率将停止增加,这种现象称为材料去除饱和。

抛光布除了可以使抛光液有效地均匀分布外,还要能够提供新补充进来的抛光液,并能顺利地将反应后的抛光液及产物排出。硬度是表征抛光布性能的一个重要参数,使用硬的抛光布(粗抛与中抛中使用的抛光布)可获得较好的整体与局部平整度,而软的抛光布(精抛布)可获得较好的表面质量与活性。抛光布的多孔性和表面粗糙度是影响抛光液传输效率的重要参数,随着使用时间的增长,抛光布表面会变得光滑,孔隙将会被堵塞而减少,抛光速度将下降,此时必须对其进行修正,使其尽量恢复原样。

硅片抛光的速度与质量还受到硅片本身性质的影响,不同晶向、不同电阻率(不同掺杂浓度)的硅片即使使用相同的抛光工艺,抛光的去除速度也会有一定的差异,相同条件下,(100)面的抛光速度明显快于(111)面,主要原因为硅的解理面是(111)面。另外,掺杂浓度高(低电阻率)的硅片的硬度会较掺杂浓度低(高电阻率)的硅片大,故抛光速度将相应的较低。

在整个加工过程中,硅片的背面与正面同时在进行化学机械抛光,抛光后硅片的正面与背面同时为镜面,这将会获得比传统的单面化学机械抛光更优的硅片整体以及局部平整度,同时也有利于硅片表面沾污的控制。

由于在双面抛光过程中硅片整体可视为完全处于自由状态,且同时对硅片的正反两面进行加工,所以双面化学机械抛光在有效控制平整度的同时也可以有效地控制纳米形貌,双面化学机械抛光过程中硅片的形貌如图 5-18 所示。

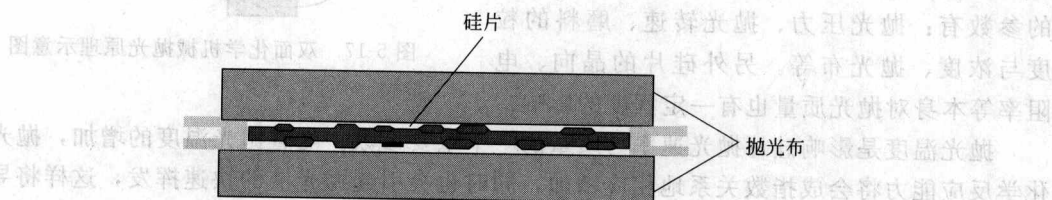


图 5-18 双面化学机械抛光过程中硅片的形貌

在传统的单面化学机械抛光中,抛光后硅片的背表面为腐蚀面(酸腐蚀或碱腐蚀),这种表面与抛光表面相比有较大的表面粗糙度,各种沾污极易附着,在后续的清洗中又较难被去除,附着在腐蚀坑中的沾污尤其难以去除。但是,硅片在传递及长距离的运输过程中,附着在硅片背面的部分沾污又可能从硅片的背面脱离,然后落在硅片的正面,进而影响集成电路与器件的成品率。而双面化学机械抛光可以有效地避免这类问题的出现。

5.5.3 电化学机械抛光

电化学机械抛光技术是依靠机械和电化学的共同作用来去除硅片表面的薄膜(如铜薄膜)以达到平坦化的目的,抛光垫通过机械方式磨掉硅片上保护下层金属的突起钝化层,同时保护了凹陷区域的钝化层。连通硅片的阳极和嵌于抛光垫下面的阳极之间的电势差引起的化学反应将晶圆表面未钝化区域的铜去除。

普通 CMP 工艺是通过终点侦测技术来实现工艺控制的,而 ECMP 则是利用电荷量化方式来实现工艺控制的。例如,普通铜 CMP 的工艺控制通常依靠即时的传感器件,如涡电流传感器直接测量铜膜的厚度并改变诸如时间和压力工艺参数;与此相反,ECMP 的工艺控制依靠对系统能量消耗的简单而精确地测量检测终点并控制抛光形貌,ECMP 无需依赖对

硅片铜膜厚度的即时测量, ECMP 工艺控制利用多区域阴极预先设定的积累电荷来调整铜膜的形态, 工艺终点算法是基于根据法拉第电解定律和阴极几何形状的电化学电池的物理表述。

相比传统 CMP 工艺, ECMP 具有更强的工艺控制能力, 先进工艺控制 (APC) 的应用证明其在保持工艺稳定性上的重要性。特别是当抛光垫接近其使用寿命并成为影响工艺稳定性的主要因素的情况下尤为如此, 普通的化学机械抛光工艺中, 抛光垫长时间的使用不仅会使晶圆表面抛光形貌发生改变, 更重要的是会造成缺陷数目的大量增加, 一般而言, CMP 工艺控制主要依赖于抛光过程中固定不变的设备参数的设置, 这种控制方式不能弥补因前道铜膜沉积厚度而引起的变化。ECMP 工艺的优势在于允许精确控制晶圆的抛光过程, 而不需要考虑抛光垫使用寿命的影响。

5.5.4 超无应力抛光技术

超无应力抛光技术的原理为电抛光技术, 电抛光自 1912 年起即应用在许多金属表面上的修整, 电抛光能以降低的表面应力产生平坦、光亮的表面, 同时能增加抗腐蚀能力, 当此项技术应用在晶圆表面铜金属的抛光, 若想要控制从晶圆中心到边缘的潜在的厚度下降, 即会面临技术困难, 晶圆边缘铜膜的损失表示无法在晶圆中央做更进一步的抛光, 因为没有电流可以从晶圆中心传导到电极所在位置的晶圆边缘。

对于抛光末段电流消失的问题, 基本解决方法是对抛光电流进行局部化控制 (图 5-19)。在被控制的抛光过程中, 使用电流进行铜金属的移除时, 系统可以局部化的控制电流, 将晶圆分为数个区域依序进行抛光, 晶圆中央首先抛光, 然后抛光过程从中央转移至相邻区域, 再顺序抛光到晶圆边缘, 使用此种方法, 抛光电流就能够传导到位于晶圆边缘的电极, 而不会发生电流消失现象, 透过精确的电源控制, 此种独特的电抛光过程能以原子层等级方式进行铜金属的移除。

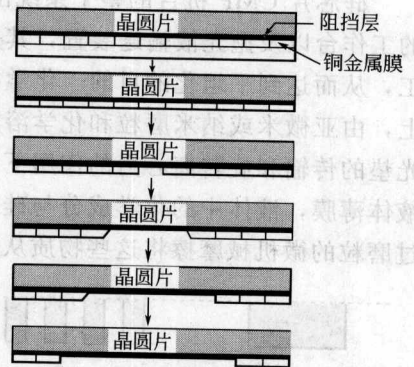


图 5-19 超无应力抛光技术

使用局部抛光法的铜金属移除率与电流密度成正比, 电流密度愈高, 移除率愈大, 在整个抛光过程中, 已经证明能完全控制从晶圆中心到边缘的移除率, 如图 5-20 所示。

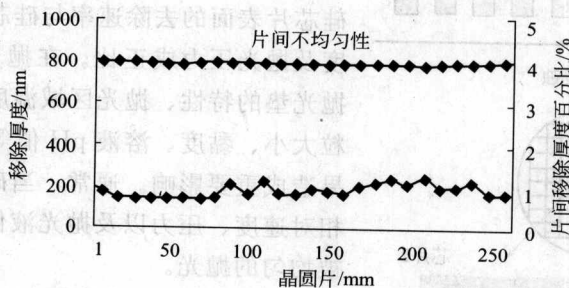


图 5-20 SFP 的移除率非均匀性

由于 Ultra SFP 制程中, 仅有铜金属被移除, 所以不会发生介电质材料的损失或腐蚀, 当堆栈内联机层层数增加时, 此种优势能显著地改善内联机层的整体平面性, 特别是对大部

分的逻辑组件 (CPUs, ASICs, FPGAs 以及 PLDs), 这些组件将会有十层以上的互连, 只要介电质能均匀地涂布在晶圆表面, 光刻中离焦所造成的优良率损失即能降低, 无论是涂旋低介电常数的介质层或超低介电常数介质层, 都证明了具有极佳的晶圆内厚度移除均匀性。

5.5.5 不同材料的 CMP 技术

随着 IC 器件的进一步高密度化、微细化和高速化, 所使用的介质材料和金属种类越来越多, 如电介质 (SiO_2 、低 k 绝缘材料)、金属互连 (Cu、W)、阻挡层 (Ta、TaN)、浅沟道隔离 (SiO_2 、 Si_3N_4)、贵金属和多晶硅等。为了晶圆片表面的平坦化, 必须对上述这些介质和金属进行 CMP, 为此开发出了适用于不同介质和金属平坦化所需的 CMP 技术。它在集成电路制造中的应用主要集中在以下几个方面。

5.5.5.1 硅芯片 CMP 技术

随着 IC 组件逐渐采用小尺寸、高聚集化的多层立体布线后, 光刻工艺中对分辨率和焦点深度的限制越来越高, 特别当产品需要三层或四层以上的金属层时, 后期制造时每层电路间的连接也需要相当程度的平整度, 否则电路将无法顺利接通, 因此对硅片的表面平整度有较高的要求。所以硅芯片的 CMP 无疑是不可或缺的关键技术。研究表明, CMP 不仅是单晶硅片获得纳米级超光滑无损伤表面的最佳方法, 也是 ULSI 芯片多层布线中不可替代的层间平坦化方法。

硅芯片 CMP 机台的整个系统由三大部分组成: 一个旋转的硅芯片夹持器、承载抛光垫的工作台以及抛光液输送装置, 其是在化学成膜和机械去膜的交替过程中实现超精密表面加工, 从而达到平坦化的目的。化学机械抛光时, 旋转的工件以一定的压力压在旋转的抛光垫上, 由亚微米或纳米磨粒和化学溶液组成的抛光液在硅芯片与抛光垫之间流动, 抛光液在抛光垫的传输和旋转离心力的作用下, 均匀分布于抛光垫上, 在硅芯片和抛光垫之间形成一层液体薄膜, 液体中的化学成分与硅芯片产生化学反应, 将不溶物质转化为易溶物质, 然后通过磨粒的微机械摩擦将这些物质从硅芯片表面去除, 并溶入流动的液体中带走, CMP 可以

用下列 Preston 方程式来表示:

$$\frac{\Delta H}{\Delta t} = K_p \times \frac{L}{A} \times \frac{\delta s}{\delta t} \quad (5-14)$$

式中, H 为图形凸出部分的高度; t 为抛光时间; L 为压力; A 为接触面积; s 为相对位移量; K_p 为 Preston 常数 (机器性能参数)。由上式可见, 硅芯片表面的去除速率与硅芯片和抛光垫的相对速度及抛光压力成正比。在抛光过程中, 机构参数、抛光垫的特性、抛光区域温度以及抛光液中磨料颗粒大小、黏度、溶液 pH 值等参数均会对平坦化效果造成重要影响。通常, 当硅芯片和抛光垫表面的相对速度、压力以及抛光液供应稳定时, 硅芯片会被均匀的抛光。

Cu-CMP 过程中对具有不同抛光速率的材料同时抛光将导致硅片表面的不平整, 如图 5-21(b) 所示。Cu-CMP 后出现碟形 (dishing) 和侵蚀 (erosion) 两种缺陷, 碟形是指铜线内出现凹陷, 用介

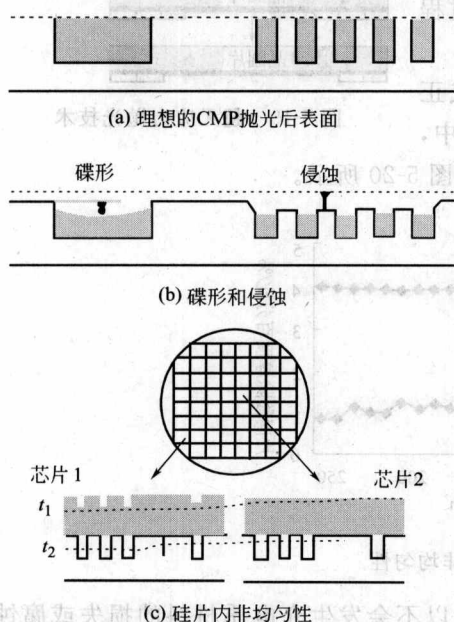


图 5-21 Cu-CMP 中的平坦性缺陷

质层与 Cu 线内的最低点之间的高度差表示大小；侵蚀是指在高图形密度区抛光后 SiO₂ 介质层被抛掉一部分，可用设计的介质层高度与实际高度的差值来表示。

另外，硅片内不同芯片位置在抛光后出现的不均匀性被称为硅片内不均匀性 (with in wafer non-uniformity, WIWNU)，如图 5-21(c)。随着硅片尺寸的不断增大，WIWNU 更加突出。影响 WIWNU 的参数包括 Cu-CMP 过程变量、抛光垫传输抛光液的能力、抛光垫的状态、芯片夹持时的应力传递和分布，同时与抛光液黏度、背膜的厚度变化等有关。

5.5.5.2 氧化硅薄膜的 CMP

氧化硅多应用于做绝缘膜或隔离层，因此氧化硅层的平整度将影响往后数层的制造、导线的连接及定位的工作。通常氧化硅层多以 CVD 的方法沉积而得，其过多的堆积层需要以 CMP 的方式去除，此过程没有明显的停止终点，以去除薄膜的厚度为标准，只需达到平整度要求即可 (如图 5-22 所示)。

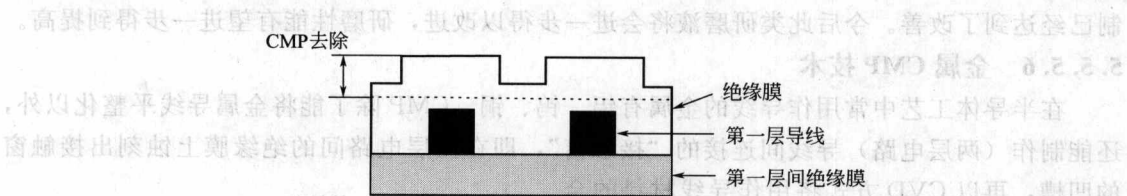


图 5-22 SiO₂ 绝缘膜 CMP (没有停止层)

5.5.5.3 多晶硅的 CMP

此为将 STI 过程的沟槽加深，以 CVD 方式沉积氧化硅或氮化硅后，再以多晶硅作为堆积材料，用 CMP 去除深沟外多余的多晶硅，并以在硅芯片上及沟槽内长成的氧化硅或氮化硅膜作为 CMP 的抛光停止层即终点，此方法常见于沟槽电容的制造过程中 (如图 5-23 所示)。

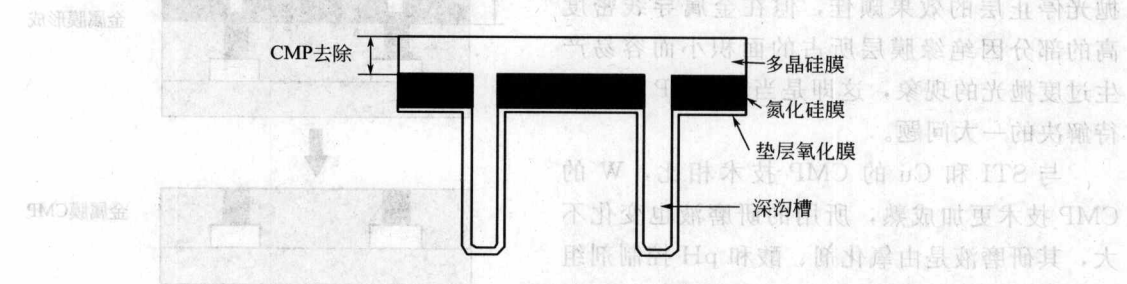


图 5-23 多晶硅 CMP 示意

5.5.5.4 层间绝缘膜的 CMP

在层间绝缘膜的平整化方面，抛光对象包括电浆辅助化学汽相沉积膜、硼磷硅玻璃以及热氧化膜等。每一抛光对象的 CMP 的抛光条件都随着抛光液的种类、抛光压力以及抛光时间而有所不同。在对不同特性的绝缘膜抛光时，大多以监测抛光终点来判定完成与否 (如图 5-24 所示)。

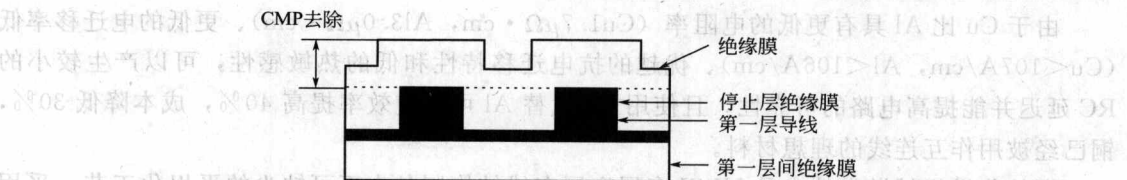


图 5-24 层间绝缘膜 CMP

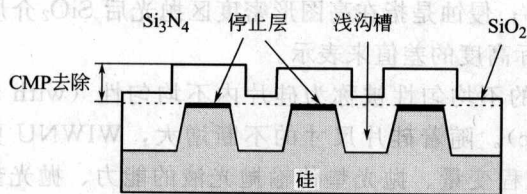


图 5-25 浅沟槽隔离 CMP 示意

5.5.5.5 浅沟道隔离 CMP 技术

在硅芯片上经刻蚀形成沟槽后，利用 CVD 方式沉积氧化硅膜，再用 CMP 去除未埋入沟槽中的氧化硅膜，并以抛光速度相对缓慢的（如氮化硅膜）作为 CMP 的抛光停止层即终点，此时沟槽内的氧化硅即成为电路中的绝缘体膜（如图 5-25 所示）。

对于 STI 的 CMP, 最重要的是确保优越的整平性和 SiO_2 膜与 SIN 膜之间的选择比。目前研发的重点集中在对于研磨头的压力控制和相应的研磨液的开发, 特别是在研磨液的开发方面, 传统的产品是采用硅土类研磨液, 但目前铈土类研磨液已进入实用化阶段。铈土类研磨液的主要特点是: ①易于得到良好的整平性能和高选择比; ②对于擦伤的产生及成本的控制已经达到了改善。今后此类研磨液将会进一步得以改进, 研磨性能有望进一步得到提高。

5.5.5.6 金属 CMP 技术

在半导体工艺中常用作导线的金属有铝、钨、铜，CMP 除了能将金属导线平整化以外，还能制作（两层电路）导线间连接的“接触窗”，即在两层电路间的绝缘膜上蚀刻出接触窗的凹槽，再以 CVD 方式将用作导线材料的金属沉积其中，最后再以 CMP 去除多余的金属层（如图 5-26 所示）。由于抛光垫对硅片上凸出处所施加的压力作用较大，因此按照导线密度及大小的不同，硅片受抛光的程度也有所差异，即大区域绝缘层在一般情况下作为抛光停止层的效果颇佳，但在金属导线密度高的部分因绝缘膜层所占的面积小而容易产生过度抛光的现象，这即是当前 CMP 领域亟待解决的一大问题。

与 STI 和 Cu 的 CMP 技术相比, W 的 CMP 技术更加成熟, 所用的研磨液也变化不大, 其研磨液是由氧化剂、酸和 pH 控制剂组成, 氧化剂为硝酸铁、 H_2O_2 和碘酸钾, 酸为羧基酸 (如柠檬酸等)。所用 pH 控制剂为硫酸、硝酸等。韩国 Jae Seok Lee 等人认为当 W-CMP 研磨液中的主要研磨粒子尺寸减小时, 会提高 W 膜的研磨速率, 而氧化膜的研磨速率将降低, 其选择性较低。他们发表了一种金属性化学添加剂, 它能改善研磨速率并提高 W-CMP 研磨液的性能, 如提高 W 膜的去除速率和降低 W 膜湿腐蚀速率, 减少裂缝和划痕等。

由于 Cu 比 Al 具有更低的电阻率 ($\text{Cu} 1.7 \mu\Omega \cdot \text{cm}$, $\text{Al} 3.0 \mu\Omega \cdot \text{cm}$)、更低的电迁移率 ($\text{Cu} < 107 \text{A/cm}$, $\text{Al} < 106 \text{A/cm}$)、优越的抗电迁移特性和低的热敏感性, 可以产生较小的 RC 延迟并能提高电路的可靠性, 且使用 Cu 代替 Al 可以使效率提高 40%, 成本降低 30%, 铜已经被用作互连线的理想材料。

铜的化学机械抛光技术是 ULSI 多层金属布线结构制备中不可缺少的平坦化工艺。采用 Cu-CMP 的大马士革镶嵌工艺是目前唯一成熟和已经成功应用到 IC 制造中的铜图形化工艺。

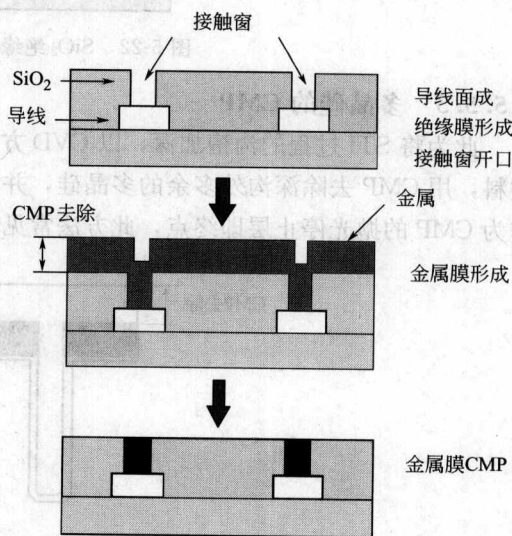


图 5-26 金属膜 CMP 流程示意

为了得到准确的光刻图案,在多层布线立体结构中,要求保证每层全局平坦化,这是实现多层布线的关键。Cu-CMP 能够兼顾硅芯片全局和局部平坦化。Cu-CMP 的平坦性受到诸如 CMP 系统参数、硅片的铜线宽度和图案密度、抛光液氧化剂成分和浓度等因素的影响。对 Cu-CMP 过程中影响平坦性的因素进行研究,有助于提高工艺的成品率,降低成本,提高生产效率。

在 Cu-CMP 过程中,由于对具有不同抛光速率的材料同时抛光,导致了硅片表面的不平整。Cu-CMP 后出现的两种缺陷,如图 5-21(b) 所示,其中一种缺陷称为碟形,即铜线内出现凹陷,用介质层与 Cu 线内的最低点之间的高度差表示大小,抛光垫的变形是产生碟形缺陷的主要原因,Cu-CMP 后硅片表面的碟形、侵蚀等平坦性缺陷将降低铜线的最终厚度和增大电阻率,从而降低器件性能和可靠性。而且可能进一步影响硅片的面内非均匀性,在多层布线中导致图案转移的不准确。

另一类缺陷就是侵蚀,指在高图形密度区抛光后 SiO_2 介质层被抛掉一部分,可用设计的介质层高度与实际高度的差值来表示。碟形和侵蚀产生不仅与抛光过程参数如抛光压力、抛光垫与芯片间的相对速率、抛光粒子在抛光垫上的分布有关,而且与抛光液的种类、过抛时间、氧化物浓度、图案密度和铜线宽以及铜的电镀过程等因素有关。

可以看出影响 Cu-CMP 平坦性的因素比较多,而且各因素之间还存在着复杂的相互作用。对 Cu-CMP 平坦性的主要影响因素进行研究可以为 Cu-CMP 选择工艺参数提供依据,也是评判抛光液和抛光效率的主要手段。

由于铜是氢后金属,为了补偿和保证抛光速率,一般采用强机械研磨再化学溶除的机理模型,采用高硬度的 Al_2O_3 作为磨料。这样会造成铜粒的再吸附,损伤大、黏度大、速率低,难清洗(尤其对纳米粒子的清洗)等问题。采用小粒径磨料(15~20nm)能够提高抛光过程中铜与介质之间的抛光速率差,进而提高抛光的选择性、为了既提高抛光速率,又能避免产生划伤、残余颗粒沾污,采用化学作用为主、小粒径、高 pH 值、低温、高速率的办法。

在 Cu/低 k -CMP 工艺中,凹状变形和腐蚀会直接影响到布线电阻的增加。因此全力改进研磨头的压力控制和研磨液特性是 Cu/低 k -CMP 工艺中尤为突出的问题。进入 90nm 以后,铜线条变得更薄,需要在限制凹形和侵蚀方面进行更好的控制。抛光要求采用更低的压力,尤其是在到达终点时,满足这些要求才能使低 k 介质膜的 CMP 成为可能。

研磨液中的研磨粒子不仅提供机械研磨,而且与金属互连、抛光表面材料(分子和粒子)发生化学作用,用以研磨粒子的表面性质对 CMP 有着重要的影响。美国 Clarkson 大学 Yuzhuo I. 教授指出经表面处理加工的“智能”粒子不仅能提高量产,而且不牺牲研磨液的关键性能(如粒子的尺寸、大小分配、流动速率、Cu/阻挡层的选择比和稳定性等)。所谓“智能”粒子是对粒子性质有进一步的了解和认识,它是一种经表面处理加工的聚合胶态硅,特别适用于 Cu-CMP 第一步研磨,可大大降低 Cu-CMP 的损伤,提高了抛光的质量。

对于铜/低 k -CMP 工艺控制,应考虑到以下几个方面。

- ① 不影响生产率,保持低 k 介质膜的完整性,以相对高的速度实现稳定的低下压力控制;片子边缘去除控制;消耗品的选择。
- ② 不牺牲平面度,保持宽限界的过抛光范围;抛光后在小的几何密集阵列图形中没有残渣;抛光垫调节控制;消耗品的选择。
- ③ 抛光液的选择与最小金属损失相一致平衡平面度和金属损失的最佳抛光液选择性;

消耗品的选择。

因此,对于铜/低 k -CMP 设备的设计来说,应重点侧重于以下几点。

① 圆片范围内的非均匀性控制,多区域的形面调整能力、减少边缘部位的去除、减少片子弯曲应力。

② 抛光下压力控制,低下压力能力、闭环控制能力。

③ 后 CMP 清洗,清洗铜和低 k 介质表面的化学物品、有效地粒子去除和片子干燥机构。

④ 先进的工艺控制,原位和在线计量、闭环算法反馈控制。

5.5.6 CMP 成本控制

由于 CMP 是互连工序最昂贵的部分之一,甚至很可能高于光刻工序,所以成本控制是 CMP 的首要问题。CMP 的成本控制应考虑两个方面:①减少抛光液和抛光垫的成本;②是削减抛光液的使用。对于大多数制造工艺来说,设备成本是总加工成本中最大的成分,但对于 CMP 来说,设备成本仅占到所有成本的 25%,其余均为抛光垫、抛光液和清洗液等消耗品,特别是抛光液、水和水处理,这些成本中属铜 CMP 工艺最严重。因此,对于 CMP 设备设计制造提出了消耗尽可能少的抛光液和水的要求。

5.5.7 发展趋势

近年来,随着半导体产业的迅速发展,半导体晶圆片不断地朝小体积、高电路密集度、快速、低耗电方向发展,集成电路现已进入 ULSI 亚微米级的技术阶段。随着器件特征尺寸的缩小,工艺容差范围相应缩小,诸多新的挑战正在激励人们去寻求新型 CMP 技术。

(1) 固定研磨 IC 工艺精密平坦化技术 CMP 研磨剂是一种液体和研磨粉末的混合物,能够使工艺更加受控的途径之一就是采用一种称为固定研磨 CMP 的方法,把研磨剂固定在抛光垫上。通常 FA-CMP 工艺在整个芯片上显现出更好的台阶高度一致性,从而允许设计砂粒密度有更多的变化。固定研磨剂还能够在 STI CMP 工艺之后把氧化物的凹坑深度从标准研磨剂的 600nm 减少到固定研磨剂的 10nm。

(2) 无研磨剂抛光平坦化技术 无研磨剂 CMP 工艺采用网膜技术和固定磨料抛光垫,该工艺无需使用研磨剂,取而代之的是含水化学溶液。固定磨料抛光垫由微反叠磨料层、刚性层和弹性层组成,由抛光垫本身的力加上腐蚀性更强的化学物质,具有很好的去除平面化材料的作用。由于没有研磨颗粒,芯片上几乎没有划痕和其他缺陷。

目前 IC 工艺精密平坦化关键技术的重要挑战在于:①研磨头设计技术开发;②材料诸如钻石的使用方式;③研磨终点检测方式;④金属层数 9~10 层,较高层数时 RC 值也随之增加;⑤研磨时防止原本镀铜区的因延展性不佳,在研磨时也随之被磨掉;⑥自动化系统的设计。

5.6 CMP 的化学

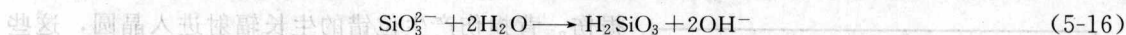
CMP 是一个复杂的物理化学过程,是机械作用和化学作用相结合作用的工艺。材料的去除首先是由化学腐蚀作用开始的。根据摩擦化学的相关理论,抛光过程中,磨粒与硅芯片局部接触点处会产生高温高压,导致一系列复杂的摩擦化学反应。与热化学反应相比,摩擦化学反应所需要的自由能仅为热化学反应活化自由能的 1%~10%,在某些极端的摩擦状况

下甚至可以观察到热化学反应条件下所不能进行的摩擦化学反应。

在硅芯片的 CMP 过程中, 抛光液中的化学成分碱液与硅芯片的化学作用过程为: ①处于浆状抛光液中的硅芯片的表面形成氢氧化学键; ②在硅芯片和抛光液中的纳米磨料之间形成化学键; ③通过释放一个水分子形成硅与氧之间的化学键; ④在抛光液颗粒离开时, 硅与硅之间的化学键被打破。其化学反应式如下:



如果不能及时除去溶液中的 SiO_3^{2-} , 则 SiO_3^{2-} 极易水解, 化学反应式如下:



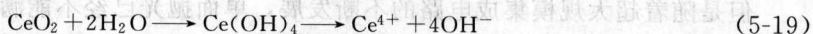
其中水解产物 H_2SiO_3 的一部分能聚合成多硅酸, 与此同时另一部分 H_2SiO_3 电离生成 SiO_3^{2-} , 结果形成硅酸胶体覆盖在硅芯片表面上, 即在硅芯片表面形成一层化学腐蚀层, 其结构为: $\{[\text{SiO}_2]_m \cdot n\text{SiO}_3^{2-} \cdot 2(n-x)\text{H}^+\}_{2x} \cdot 2x\text{H}^+$ 。这层覆盖在硅芯片表面上的胶体, 被称为软质层, 如果不及时去除, 将影响到式 (5-15) 所示的化学腐蚀作用的继续进行。此软质层的硬度要比芯片基体材料的硬度低, 它的去除相对要容易得多。软质层的存在一方面增大单个磨料所去除材料的体积, 增加材料去除速率; 另一方面减小了磨料嵌入硅芯片基体的深度, 这对于实现塑性磨削, 降低抛光表面粗糙度, 都起着重要的作用。

在硅芯片化学机械抛光中使用磨料包括 CeO_2 、 SiO_2 、 Al_2O_3 等磨料。当三价和四价物质单键强度规范化为各自氧化物的 IEP, CeO_2 对材料的去除率要比 SiO_2 高得多, CeO_2 作为抛光料的使用已经有了很长的历史, CeO_2 磨料表现出抛光表面粗糙度低、抛光效率高等优点, 被广泛地应用于精密玻璃抛光和 ULSI 二氧化硅介质层的化学机械抛光。

在使用纳米胶体 SiO_2 作为磨料对硅芯片进行抛光时, SiO_2 与 Si 还可能发生如下反应:

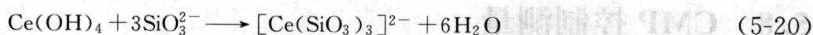


这样可加速材料的去除。同时, Brown 和 Cook 发现所有抛光活性强的物质都是 Lewis 强酸, 而由于 CeO_2 在碱性抛光条件下是两性的, 能够同时吸附阳离子和阴离子, 因而在使用纳米 CeO_2 磨料时, 除了会发生类似式 (5-15) 及式 (5-16) 的反应之外, CeO_2 还会与水发生水合反应, 化学反应式如下:



这样将在 CeO_2 颗粒表面形成羟基, 羟基能离解或与硅发生反应, 生成的 SiO_3^{2-} , SiO_3^{2-} 会吸附在 CeO_2 颗粒表面, 而被抛光液带走, 从而加速反应 (5-15) 的进行并减少硅片表面硅酸胶体的形成, 促进硅片表面的平坦化过程。抛光用的纳米 CeO_2 颗粒比表面积非常大, 同时 CeO_2 的表面羟基密度也比较大, 所以它的总离子交换容量比较大, 所能吸附的离子数量也比较大, 有利于吸附的形成, 促进抛光液中碱性成分与硅芯片的化学反应, 这也是 CeO_2 磨料的抛光效率高于 SiO_2 胶体的原因之一。

另外, CeO_2 具有络合作用, 能迅速将 SiO_3^{2-} 等转化为 $[\text{Ce}(\text{SiO}_3)_3]^{2-}$, 络合反应式如下:



转化为 Ce 的络合物能加速反应去除, 从而加快抛光的进行。

5.7 晶圆抛光

半导体产业是现代电子工业的核心, 而半导体产业的基础是硅材料工业。虽然有各种各

样新型的半导体材料不断出现，但 90% 以上的半导体器件和电路，尤其是超大规模集成电路（ULSI）都是制作在高纯优质的硅单晶抛光片和外延片上的。

化学机械抛光是业界发展起来的制造大直径晶圆的技术之一。在晶圆制造工艺流程中，新层的建立会产生不平的表面，使用 CMP 以平整晶体表面。在这个应用中，CMP 被翻译成化学机械平面化。

传统的对基底硅材料的 CMP 为单面抛光。在许多情况下，只是晶圆的正面经过充分的化学机械抛光。对于某些器件的使用，背面可能会受到特殊的处理导致晶体缺陷，被称为背损伤。背损伤产生位错的生长辐射进入晶圆，这些位错就像是“陷阱”，将俘获在制造工艺中引入的可移动金属离子污染，这种俘获现象叫做吸杂（图 5-27）。背面喷砂是一种标准的技术，其他的方法包括背面多晶层或氮化硅的淀积。

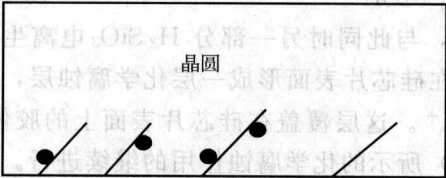


图 5-27 俘获

● 污染；/ 位错线

碱性抛光液在晶圆表面生成一薄层二氧化硅。抛光垫机以持续的机械摩擦作用去除氧化物，晶圆表面的高点被去除掉，直到获得特别平整的表面。获得极好平整度需要控制抛光时间、晶圆和抛光垫上的压力、旋转速度、抛光液颗粒尺寸、抛光液流速、抛光液的 pH 值、抛光垫材料等。

边缘倒角是使晶圆边缘圆滑的机械工艺（图 5-28）。由于边缘崩边和损伤能导致碎片或是成为位错线的核心，应用化学抛光进一步加工边缘能够尽可能地减少制造中的边缘崩边和损伤。

加工之前

加工之后

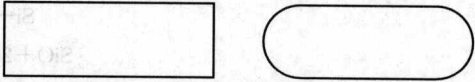


图 5-28 晶圆边缘全角

最终的抛光步骤是一个化学腐蚀和机械摩擦的结合。晶圆装在旋转的抛光头上，下降到抛光垫的表面以相反的方向旋转。抛光垫材料通常是有填充物的聚亚氨酯铸件切片或聚氨酯涂层的无纺布。二氧化硅抛光液悬浮在适度的含氢氧化钾或氨水的腐蚀液中，滴到抛光垫上。

但是随着超大规模集成电路的不断发展，单面抛光已经不能满足更小线宽的要求，故在对用于线宽为 $0.09 \sim 0.13 \mu\text{m}$ 工艺的 300mm 硅片的加工中需进行双面化学机械抛光。对大直径晶圆的要求之一是平整和平行的表面，许多 300mm 晶圆的制造采用了双面抛光，以获得局部平整度，其缺点是在后面的工序中必须使用不划伤和不污染背面的操作技术。

随着硅片尺寸的增大以及特征线宽的减小，CMP 技术作为目前硅片超精密平整化加工的主要手段将面临着新的挑战。例如化学机械抛光机床的硅片夹持系统对保证硅片的加工精度具有至关重要的作用，硅片夹持系统的作用不仅包括在加工中带动硅片运动，还要将加工所需要的工作载荷作用在硅片上，并保证硅片在加工载荷的作用下不会发生翘曲变形。

5.8 CMP 控制测量

CMP 是硅片全局平坦化的核心技术，然而在实用阶段上，这项技术还受限于一些制造系统整合上的问题，其中有效的终点检测系统是提高 CMP 技术的稳定性和生产率以及实现对 CMP 的自动化控制所必须具备的一项技术。若未能有效地监测 CMP 运作，便无法避免硅片产生抛光过度或不足的情况。在硅芯片前半制程的 CMP 中，所谓的过程终点是当介电

层上的沉积薄膜被完全地移除,只留下填充在介电层孔中的沉积物。终点检测技术评定主要包括基于时间的离线终点检测技术和实时在线终点检测技术。

基于时间的离线终点检测技术是对于半导体组件制造较为重要。其检测抛光终点的方法,大多依照不同产品的需求,以预先决定去除量再控制抛光时间的方式来决定抛光终点。

离线终点检测技术具有易于实施、操作性较强等优点,但是每道 CMP 工序的抛光时间会随着抛光对象、环境等因素的不同而有所变化。并且,因为抛光对象下方底层的导线金属图案的形状、堆积的比例、组件的种类以及工艺过程不同,在 CMP 时会产生各种各样的差异。另外,抛光垫材料、抛光垫温度分布、抛光液种类及硅片的加压方法也会对 CMP 的效果与时间有所影响。

由于基于时间的离线终点检测不能有效避免抛光不足或过度抛光的产生,在离线检测时还容易对抛光处理后的硅片表面造成损伤和污染,而且其耗费时间长、生产率低,这将导致硅片的产量减少、成本提高,所以这种终点检测技术已不能满足当前大直径硅芯片自动化加工的需要。

1991 年美国 Micron Technology 公司的 Sandhu S 和 Laurence D 等人提出了利用抛光头或抛光机台驱动电机电信号变化实现抛光终点在线检测的方法。与基于时间的离线终点检测相比较,在线终点检测能够更好地控制硅片薄膜厚度变化,减少重复操作,实现 CMP 的自动化操作,从而提高抛光设备利用率和产量,同时避免了 STI、多晶硅和金属等抛光过程中产生的各种缺陷,减少 IC 设备的密度分布缺陷,降低不均匀性,并最终使半导体设备的稳定性和可靠性得到提高。

硅片 CMP 的实时在线终点检测一直是半导体产业关注的焦点。在 CMP 过程中,由于硅片表面完全向下靠在抛光垫上,使得对硅片抛光的实时在线监测非常困难,而且确立此技术必须考虑抛光过程的可重复性,排除抛光液、机械振动等干扰因素的影响。此外,为了便于采集处理信号,抛光用的抛光垫及抛光液的最优化处理也是必要的。

对于铜 CMP 的终点检测是 CMP 设备设计中又一个重大挑战,由于铜 CMP 与氧化物 CMP 不同,它的终点检测非常重要。一旦出现铜短路,后果将不堪设想。而磨多了整个布线的结构将会改变。这种检测不是单点,而是一个多点的全面检测。

LAM 公司采用了一种最新的非接触式探针来检测抛光终点。该检测采用电磁感应原理,通过检测感应电流的变化来判断铜的抛光是否完全。圆片上若有短路的铜连接,必定有感应电流的存在,而通过感应电流的大小也可以大致判断残余铜的厚度。该探针被安置在圆片的背面,可用于实时多点检测抛光的进程。

化学机械抛光在半导体工业内部得到了广泛的应用,化学机械抛光加工处理的质量不仅要通过最终的表面平面度,而且也要通过抛光时人为造成缺陷的程度来评价,这些人为造成的缺陷包括:①碟形凹陷和腐蚀的数量;②线高变化的均匀性;③缺陷、粒子的数量和残余物的总量。

许多方法被开发用于硅片表面质量的检查(例如原子力显微镜方法、铁笔轮廓曲线法等),这些方法在一个选定的表面区域采集数据并继续通过侧面交叉扫描,虽然用高分辨率侧面扫描法能够获得三维形貌图,但用这种方法采集数据非常耗时,另外,它们这些仪器的高度传感器尖端可能改变或损坏高质量表面的可能性对于生产监测应用这些仪器也是不适用的。

白光干涉测量(WLI)是一种非接触光学测量方法(图 5-29 示出了白光干涉测量法通

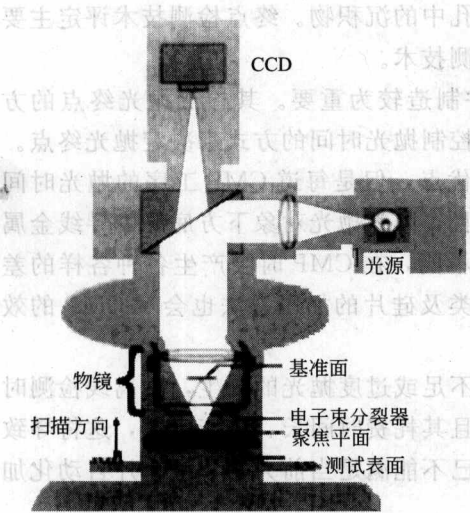


图 5-29 白光干涉显微镜

平面化情况以及缺陷的观察，从而优化 CMP 工艺。

5.9 CMP 工艺的后清洗技术

研磨过程中晶圆片会接触到腐蚀性化学品并承受较大的外界压力，晶圆片表面残留研磨液的粒子和金属离子会对圆片表面继续腐蚀，导致其表面或次表面区域发生变形或破坏，将影响到器件的稳定性，所以在 CMP 之后必须对晶圆片表面立即进行清洗，CMP 清洗的主要目的是去除研磨剂残留、金属污染物以及游离态离子，成功的后 CMP 清洗工序是 CMP 整体工艺的一个部分。

CMP 清洗需要大量的去离子水，为了节约成本，减少 CMP 后清洗的占用成本，DuPont EkC Technology 公司推出了一种适用于 Cu、STI 和 W-CMP 之后的缓冲螯合溶液 (bCS 溶液)，它能有效地降低离子和金属离子的沾污，不同 pH 值的 bCS 溶液对去除金属沾污的效果是不同的，并且，对于不同的材料 bCS 溶液的 pH 值也有所不同，所以必须控制好 bCS 溶液的 pH 值，例如，对于去除 W-CMP 金属沾污，其 pH 值为 4.2，对于去除 Cu-CMP 属沾污，其 pH 值为 7。

目前多数清洗设备供应商提供接触清洗、非接触清洗和晶圆甩干三部分的组合方式，如图 5-30 所示为比较常见的清洗工艺，其他的清洗工艺正在逐渐用于 CMP 的清洗，如 CO₂ 冷

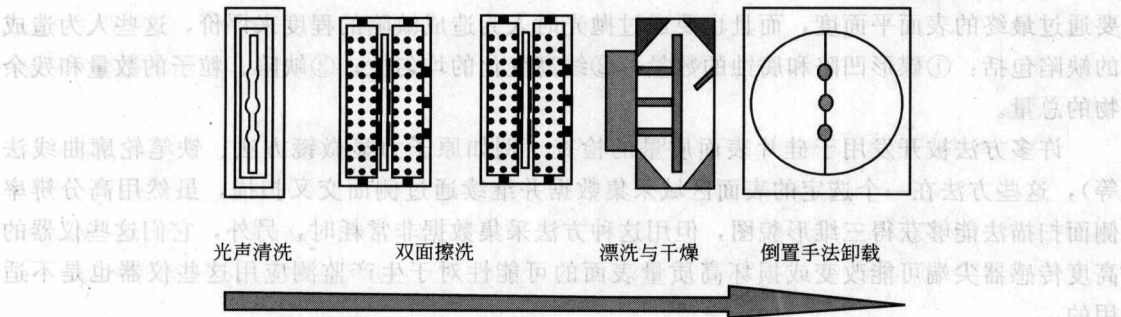


图 5-30 传统的晶圆 CMP 后清洗工艺

凝清洗和激光烧蚀。目前很多先进的清洗工艺,如 Marangoni 或 IPA 清洗,主要用于低介电常数的介质材料清洗。

目前清洗设备可分为非接触式清洗(超声波清洗)和接触式清洗。超声波清洗是由超声波发生器发出的高频振荡信号,通过换能器转换成高频机械振荡而传播到介质中,超声波在清洗液中疏密相间的向前辐射,使液体流动而产生数以万计的微小气泡,微小气泡在声场的作用下振动,当声压达到一定值时,气泡迅速增长,然后突然闭合,在气泡闭合时产生冲击波,在其周围产生上千个大气压力,从而破坏不溶性污物而使它们分散于清洗液中,当团体粒子被油污裹着而黏附在清洗件表面时,油被乳化,固体粒子脱离,从而达到清洗件表面净化的目的。

在许多半导体制造的生产线上,刷洗正在成为后 CMP 清洗的一种选择技术,刷洗在去除由 CMP 工艺产生的研磨液粒子和其他污染物十分有效。在刷洗过程中,化学制品可以引入到片子表面来提高清洗性能。对不同材料所选用的化学制品也有所不同,例如,对于典型的 W-CMP 清洗,为了去除 W 粒子和防止刷子粘料,需要在第一个刷子位置引入稀释 NH_4OH 。由于刷洗技术的最佳粒子去除能力,它已广泛用于后 CMP 的清洗工艺。

双面机械刷洗能够同时提供物理清洗和化学清洗,选材一般是聚乙烯醇,清洗过程中多孔海绵状呈挤压状态,可同时与 pH 值 2.2 的化学溶液使用,憎水性表面,如 HF 清洗过的 Si 以及部分介质硅片,由于润湿角较大,很容易从刷子上黏附污染颗粒,而这些污染颗粒是从亲水性的晶圆表面吸附到刷子上的,憎水性的容易吸附表面颗粒是因为刷洗过程中憎水的界面存在多重的固-液界面。如果刷子被轻度污染,可以跑一些硅片来吸附刷子表面的颗粒,降低刷子的污染度。

铜 CMP 工艺会产生许多表面污染颗粒、表面铜残留和 BTA 的残余,会导致金属离子漂移而影响到器件可靠性问题,因此,合适的 CMP 后清洗顺序和工艺对布线工艺非常重要,大多数情况下,用于铜 CMP 清洗的设备与介质 CMP 一样,都是由接触清洗、非接触清洗和晶圆甩干三部分组成,主要差别在于不同化学溶液的选择。

随着铜及低 k 介电材料逐渐广泛地应用于晶圆制造技术上,CMP 工艺的后清洗技术所扮演的角色日益重要,在后清洗液中加入界面活性剂,可以增加低 k 介电材料表面的亲水性,并有效地同时移除研磨后残余的有机或无机杂质,降低晶圆表面的缺陷数目。Cu/低 k 介质膜 CMP 的后 CMP 清洗要求按照铜、阻挡层、金属和低 k 介质膜表面改制化学清洗剂,以交付无腐蚀的片子,并且需要更加有效的清洗机构,从潜在的渗透型介质膜去除抛光液的剩余物和粒子。

6

清洗与表面预处理

6.1 概述

随着科学技术的飞速发展, IC 集成度不断提高, 线宽不断减少, 所以对硅衬底片的质量要求越来越高, 而抛光片表面的颗粒和金属杂质沾污会严重影响器件的质量和成品率, 在集成电路制造过程中几乎每一道工序都有清洗的问题。清洗是半导体器件制造中最重要最频繁的步骤, 洁净的晶圆片是芯片生产全过程中的基本要求。清洗工艺将贯穿于芯片生产的全过程, 占整个制造工序的约 30%~35%, 而且清洗效果直接影响器件的成品率、性能和可靠性, 所以国内外一直在不断进行清洗工艺的研究。

微电子工业中的清洗是一个很广的概念, 包括任何与去除污染物有关的工艺。通常是指在不破坏材料表面特性及电特性的前提下, 有效地清除残留在材料上的微尘、金属离子及有机物杂质。清洗方法可分为化学清洗法和物理清洗法。

化学清洗法是指利用各种化学试剂和有机溶剂与吸附在被清洗物体的表面上的杂质发生化学反应作用, 或伴以超声、加热、抽真空等物理措施, 使杂质从被清除物体的表面脱附(解吸), 然后用大量高纯热、冷去离子水冲洗, 从而获得洁净表面的过程。化学清洗可分为湿法化学清洗和干法化学清洗。物理清洗法中, 采用毛刷洗涤、喷射洗涤、超声清洗和兆声清洗来去除颗粒杂质。

晶圆片表面清洗方法还可以分为干法和湿法清洗两种, 由于湿法清洗对杂质和基体选择性好, 并且可将杂质清洗至非常低的水平, 目前湿法清洗一直占主导地位。

不同的工艺技术所要求的硅片最终表面状态不同, 其使用的清洗方法也不相同。20 世纪 70 年代后期对兆声清洗进行了讨论, 80 年代后期采用了全封闭清洗和干法清洗技术, 到了 90 年代对各种清洗方法进行可改进并综合使用, 化学试剂和气体的纯度大大改善, 也为化学清洗新技术提供了可能。所以到目前为止, 清洗已经不再是一个单一的步骤, 而是一个系统工程。

晶圆片中主要杂质是来自于加工的本身, 另外, 晶圆片清洗工序本身也能引起污染沉积, 清洗方法不当或者清洗操作不正确, 会使清洗不起作用, 或者引起杂质的再污染, 也是造成产品污染的一个原因。通常来说, 一个晶圆片清洗的工艺必须在去除芯片表面全部污染物的同时, 不会刻蚀或损害晶圆片表面, 它在生产配制上是安全的、经济的。

通常对清洗工艺的设计适用于两种基本的晶圆片: 一种称为前线 (FEOL), 另一种称为后线 (BEOL)。FEOL 特指那些形成活性电性部件之前的生产步骤。在这些步骤中, 晶圆片表面 (尤其是 MOS 器件的栅区域) 是暴露的、极易受损的。在清洗步骤中, 一个极其关键的参数是表面粗糙度, 其粗糙度是以纳米为单位的表面纵向变差的平方根, 过于粗糙的

表面会改变器件的性能,损害器件上面沉积层的均匀性。在 FEOL 的清洗工艺中,另外一个值得关注的方面是光片表面的电性条件。器件表面的金属离子污染物改变电性特征,尤其是 MOS 传感器极易受损。

另外,保持栅氧的完整性也是清洗工艺应注意的问题。在 MOS 传感器中,栅氧是用来作绝缘介质的,因此它必须具有一致的结构,表面状态和厚度,而清洗工艺可能会破坏栅氧从而使其粗糙,尤其是较薄的栅氧在此工艺中最易受到损害。栅氧的完整性是靠测试栅的电性短路来测量的。

对于 BEOL 的清洗,除了颗粒问题和金属离子的问题,还存在阴离子、多晶硅栅的完整性、接触电阻、过孔的清洁程度、有机物以及在金属布线中总的短路和开路的数量等问题。光刻胶的去除也是 FEOL 和 BEOL 都存在的很重要的一种清洗工艺。

不同的化学物质与清洗方法相结合以适应工艺过程中特殊步骤的需要,典型的 FEOL 清洗工艺为非 HF-结尾的工艺,非 HF-结尾的表面是亲水性的,可以被烘干而不留任何水印,同时在清洗过程中还会形成一层薄的氧化膜从而对其产生保护作用,这样的表面也容易吸收较多的有机污染物。而 HF-结尾的表面是憎水性的,在有亲水性表面存在时不容易被烘干而不留水印,这样的表面由于氢的表面钝化作用而异常稳定。对于 HF-结尾或非 HF-结尾的工艺的选择,取决于芯片表面正在制造的器件的敏感度和通常的对清洁程度的要求。

6.2 杂质的形式与分类

随着 ULSI 技术的不断向前发展,对半导体硅的表面性质要求也越来越严格,而且电路的集成度日益提高,单元图形的尺寸日益微化,污染物对器件的影响也愈加突出,并且,超过 50% 成品损失率是由晶圆片硅表面的污染所造成的。晶圆片表面的杂质的分类见表 6-1 所示。

表 6-1 晶圆片污染分类

分类依据	污染类别
物化性质	颗粒污染、有机污染、无机污染、金属离子(原子)
被吸附物质的存在状态	分子型杂质、原子型杂质、离子型杂质
污染杂质的形态	微粒型污染质、膜层污染物
吸附力的性质	物理吸附型杂质、化学吸附型杂质

半导体工艺的发展过程在很多方面可以说是清洗工艺随着对无污染晶圆片需求不断增长而发展的过程。硅圆片表面质量的主要指标有:微粗糙度、金属沾污和表面颗粒度以及有机沾污,这些指标对器件性能有重大影响。对于硅表面的微粗糙度主要受 RCA 清洗工艺和 HF 清洗的影响,但可以通过降低氨水含量和稀释 HF 得以抑制。晶圆片表面包括颗粒污染、有机污染、无机污染(无机残余物是指残留在硅芯片上那些不含碳的物质,例如盐酸、氢氟酸等)以及金属杂质(包括需要去除的氧化层)四大常见类型的污染,每一类污染在晶圆片上体现出不同的缺陷问题,并可采用不同的工艺去除。

6.2.1 颗粒污染

表面颗粒会引起图形缺陷、外延前线以及影响布线的完整性,是提高成品率的最大障碍,尤其是在硅片键合时,它们将引入微隙、引起位错,从而影响键合强度和表层质量。

颗粒污染的去除一般认为是静电排斥作用所致。颗粒表面一般都带负电,当硅芯片表面

呈正电时易于吸引颗粒，从而降低颗粒的去除效率，并且还会引起颗粒的再沉淀；当硅片表面呈负电时，由于静电排斥作用，颗粒被“推离”硅芯片表面，达到去除的目的。

晶圆片表面的颗粒大小可从非常大的 ($50\mu\text{m}$) 颗粒变化到小于 $1\mu\text{m}$ 的颗粒，运用物理的方法可采用机械擦洗或超声波清洗技术来去除粒径不小于 $0.4\mu\text{m}$ 的颗粒，利用兆声波可去除不小于 $0.2\mu\text{m}$ 的颗粒。而运用化学方法，大的颗粒可用传统的化学浸泡池和相应的清水冲洗除去，较小的颗粒则被几种极强的作用力吸附于晶圆片表面而难以除去。

作用力包括范德华吸引力和毛细管力。范德华吸引力是一种在一个原子的电子和另一个原子的核之间形成的很强的原子间吸引力，可通过控制一种叫做 z -电势 (z -电势是指在颗粒周围的带电区与清洁液中带相反电荷的带电区域形成平衡的平衡电势) 的变量来尽量减小这种静电引力。 z -电势随着速度 (当晶圆片在清洗池中移动时清洗液的相对移动速度)、溶液的 pH 值以及溶液中的电解质的浓度变化而变化的。同时，它还将受到清洗液中的添加剂 (如表面活性剂) 的影响。人们可以通过设定这些条件来得到一个与晶圆片表面相同电性的较大电势，从而产生排斥作用而使得颗粒从晶圆片表面脱落保留在溶液中。

毛细管力使颗粒与表面之间形成了液体桥，毛细管力可以比范德华引力大。表面活性剂或一些机械的辅助 (例如超声波) 可以被用来去除表面的这些颗粒。

另外，离子强度会影响颗粒去除。在酸性溶液中，离子强度高，颗粒易于沉淀；随着 pH 值的增加，颗粒沉淀减少。因此采用添加了表面活性剂的极度稀释的 RCA-1 来有效地去除表面颗粒，并结合极度稀释的 RCA-2 改进工艺来有效地减少颗粒的重新沉淀，以达到极少的表面颗粒。

清洗工艺多为一系列的步骤，用来将晶圆片上大小不一的颗粒同时去除。最简单的颗粒去除工艺是用位于清洗台的手持氮气枪喷出的经过过滤的高压氮气吹芯片的表面。在存在小颗粒问题的制造区域，氮气枪上配置了离子化器，从而去除了氮气流中的静电，而使芯片表面呈中性。氮气吹枪是手持的，操作员在使用它的时候必须注意不要污染操作台上的其他芯片或操作台本身。但是，在洁净等级为 1/10 的洁净室中，不使用吹枪。

6.2.2 有机杂质

有机残余物通常是指含碳的化合物，这些有机残余物可能增加接触电阻或引起异常的薄膜生长。有机残余物可以在溶剂浸泡池中被去除 (例如丙酮、乙醇或 TCE)。一般说来，要想将晶圆片表面的溶剂完全烘干非常困难，另外，溶剂经常会有杂质，从而使其本身成为了污染源，所以如果可能，会尽量避免用溶剂清洗晶圆片。当晶圆片放在高温含有氧的氛围中 (如含有 1% O_2 的 N_2)，有机杂质通常会挥发，但在惰性气体气氛中 (如 N_2 、Ar 等) 可能引起薄膜生长时碳杂质或碳化硅的形成。

有机杂质沾污可通过有机试剂的溶解作用，结合超声波清洗技术来去除。利用 SC-1 清洗去除有机物，由于其中的 H_2O_2 的氧化作用，晶圆片表面的有机物可被分解成 CO_2 、 H_2O 而被去除。

有机残余物也常用硫酸过氧化物混合物清洗液 ($\text{H}_2\text{SO}_4 + \text{H}_2\text{O}_2$) 进行去除。SPM 具有很高的氧化能力，能把有机残余物氧化而生成 CO_2 和水，同时也可将金属氧化后溶于溶液中。SPM 清洗硅片可去除硅芯片表面的重有机沾污和部分金属，但是，当有机物沾污较重时会使有机物碳化而难以去除。而且，SPM 去除有机物的过程较缓慢，还会伴随发生一些其他的反应。另外，经 SPM 清洗后，硅片表面会残留有硫化物，这些硫化物很难用去离子水冲洗掉，通常在 SPM 清洗后采用 RCA-1 步骤把硫化物变成可溶性的硫酸盐。

由 Ohnishi 提出的 SPFM ($\text{H}_2\text{SO}_4 + \text{H}_2\text{O}_2 + \text{HF}$) 溶液可使表面的硫化物转化为氟化物而有效地冲洗掉。另外, SPM 清洗要用到大量的浓度的溶液 H_2SO_4 并且要在高温 ($120\sim 150^\circ\text{C}$) 下完成, 操作比较危险且对环境的污染非常严重。

由于硫酸引起环境污染和对人体有害, 因此需要寻找其他一些新的清洗液, 目前已出现了一些新的去除有机残余物的新方法, 例如, 加入其他氧化剂 (如臭氧) 以去除硅片表面的有机物。臭氧是一种不稳定的气体, 具有强烈的腐蚀性和氧化性。用溶解有一定浓度臭氧的超纯水清洗硅片可有效地去除硅片表面的有机沾污。臭氧的氧化还原势比 H_2SO_4 、 HCl 、 H_2O_2 的都高, 因此用臭氧超净水去除有机物及金属的效率比 SPM、SC-2 等传统方法高。另外, 该清洗方法可以在室温下进行, 且不用进行废液处理, 故比传统的 RCA 清洗法具有较大的优势。

目前, 用臭氧清洗硅片的发展趋势是先用臭氧超净水清洗, 去除大部分的有机物和金属污染物, 再用 HF 清除氧化层及附着于氧化层的污染物, 最后再以臭氧超净水清洗, 使表面形成一层质量较高的氧化膜。另外, Takeshi 等提出了新的清洗工艺, 反复运用臭氧水和 DHF 对硅片进行清洗, 在较短时间内无论是清洗结果还是表面状态, 都达到了对更加严格的硅片表面洁净度的要求和大直径硅片工艺的要求, 并且大大减少了对环境的污染。研究表明, 采用臭氧水预处理过的硅片表面颗粒度较未经预处理的降低一个数量级, 如加入 HF 能降低更多。

6.2.3 金属杂质

晶圆片表面金属杂质污染有两大类: 一类是污染离子或原子通过吸附分散附着在晶圆片表面, 另一类是带正电的金属离子得到电子后面附着 (犹如“电镀”) 到晶圆片表面。半导体微电子制造过程中, 金属污染浓度可达到 $10^{12}\sim 10^{13}\text{atom}/\text{cm}^2$ 。但实际上某些生产工艺要求必须将硅表面金属浓度降低到 $1\times 10^{12}\text{atom}/\text{cm}^2$ 以下。

金属杂质会降低电子器件的性能, 金属原子对于电子器件是否有害取决于其在晶圆片的位置, 在活动区内的金属和金属沉淀物将导致严重的问题。在晶圆片内部的金属相对而言是无害的, 深层杂质多半作为载流子阱, 当深层杂质能量处于禁带隙能中间时, 重新结合的速度到达最大值, 因此, 铜、铁、锌和金都是有害杂质。

金属污染会破坏薄氧化层的完整性、增加漏电流密度以及减少少子寿命等。例如, 主要来自于硅的酸性刻蚀剂中的原子型杂质 (主要是指过渡金属或贵金属原子, 如 Au、Ag、Cu 等) 主要影响器件中少子寿命、表面的导电性、门氧化物的完整性以及其他器件稳定性参数等, 特别在高温或电场下, 它们能够向半导体结构的本体扩散或在表面扩大分布, 导致器件性能下降, 产率降低, 重金属离子会增加暗电流, 活动离子 (如钠) 会在氧化层中引起移动电荷, 影响 MOS 器件的稳定性; 快扩散离子 (如铜、镍) 易沉积于硅表面, 从而形成微结构缺陷。具体地说, 铁沉淀会使栅氧化层变薄; 铜会在硅/二氧化硅界面形成富铜沉淀, 在高温 ($1200^\circ\text{C}/20\text{s}$) 时过饱和铜硅化物会使氧化层弯曲、破裂直至穿透, 在低温 ($900^\circ\text{C}/20\text{s}$) 时形成透镜状沉淀, 使氧化层变薄。并且, 当金属沾污严重时, 还会形成雾状缺陷。微结构缺陷和雾状缺陷都与氧化诱生层错和外延层错相关。

金属污染在硅芯片表面的主要方式包括物理吸附 (范德华力)、化学吸附 (形成共价键) 以及金属替位 (电子转移) 三种。如果以酸性溶液结束, 在酸性溶液中能溶解阳离子以避免物理吸附, 同时使表面呈正电, 避免化学吸附, 并且能使表面形成氧化层以阻止金属电化学沉淀, 可以用改进的 RCA 清洗工艺来有效地去除金属沾污。

硅芯片表面的金属沾污有以下两种吸附和脱附机制。①具有比硅的负电性高的金属（如 Cu、Ag、Au），在硅表面以原子状态存在。具有较高的氧化还原电位的溶液能从这些金属中获得电子，从而导致金属以离子化的形式溶解在溶液中，使这种类型的金属从硅片表面移开。例如，由于 Ag 的氧化物形成焓非常高，Ag 的吸附行为可被解释为电化学金属粒子沉积，可用氧化还原电位比 Ag 高的溶液将其去掉。Au 是以强静电力的形式以原子 Au 的状态沉积在疏水性的硅片表面，Au 很难用一般的溶液去掉。②具有比硅的负电性低的金属，如 Fe、Ni、Cr、Al、Ca、Na、K 能很容易地在溶液中离子化并沉积在硅片表面的自然氧化膜或化学氧化膜上，这些金属在稀 HF 溶液中能随自然氧化膜或化学氧化膜容易地除去。

金属离子污染必须采用化学的方法才能清洗其污染。硅抛光片的化学清洗目的就在于要去除这种沾污，一般可按以下办法进行清洗去除金属污染：①使用强氧化剂使“电镀”附着到硅表面的金属离子、氧化成金属，溶解在清洗液中或吸附在硅片表面；②用无害的小直径强正离子（如 H^+ ）来替代吸附在硅片表面的金属离子，使之溶解于清洗液中；③用大量去离子水进行超声波清洗，以排除溶液中的金属离子。

硅片表面金属沾污的去除常用的清洗液包括 SC-1 清洗液（ $NH_4OH + H_2O_2 + H_2O$ ）、SC-2 清洗液（ $HCl + H_2O_2 + H_2O$ ）、DHF 清洗液（ $HF + H_2O$ ）。

6.2.3.1 SC-1 清洗液

SC-1 清洗去除金属杂质的原理如下。

① 由于硅表面的氧化和腐蚀作用，硅片表面的金属杂质，将随腐蚀层而进入清洗液中，并随去离子水的冲洗而被排除。

② 由于清洗液中存在氧化膜或清洗时发生氧化反应，生成氧化物的自由能的绝对值大的金属容易附着在氧化膜上如：Al、Fe、Zn 等便易附着在自然氧化膜上。而 Ni、Cu 则不易附着。

③ Fe、Zn、Ni、Cu 的氢氧化物在高 pH 值清洗液中是不可溶的，有时会附着在自然氧化膜上。

晶圆片表面的金属浓度与 SC-1 清洗液中的金属浓度相对应。晶圆片表面的金属的脱附与吸附是同时进行的，即在清洗时，硅片表面的金属吸附与脱附速度差随时间的变化将达到一恒定值，且清洗后硅表面的金属浓度取决于清洗液中的金属浓度，其吸附速度与清洗液中的金属络合离子的形态无关。

清洗时，硅表面的金属的脱附速度与吸附速度因各金属元素的不同而不同，尤其是对于 Al、Fe、Zn，若清洗液中此类元素浓度不过低，清洗后的硅晶圆片表面的金属浓度便不能下降。对此，在选用化学试剂时，特别要选用金属浓度低的超纯化学试剂。清洗液温度越高，晶圆片表面的金属浓度就越高。若使用兆声波清洗可使温度下降，有利去除金属沾污。

6.2.3.2 SC-2 清洗液

在室温下 SC-2 清洗液就能除去 Fe、Zn，但由于 Al 的氧化物生成焓较大，所以硅芯片表面被氧化时，Al 被包在氧化膜内，致使 HPM 清洗表面容易残留 Al。另外，在 SC-2 清洗液中， H_2O_2 可使硅芯片表面氧化，但 HCl 不腐蚀硅芯片表面，所以不使硅片表面的微粗糙度发生变化。

6.2.3.3 DHF 清洗液

DHF 清洗可去除表面氧化层，使其上附着的金属连同氧化层一起落入清洗液中，可很容易地去除硅芯片表面的 Al、Fe、Zn、Ni 等金属。但是，由于 Cu 等贵金属的氧化还原电

位比氢高, DHF 清洗不能充分地去掉 Cu, Cu 以金属 Cu 的形式附着在硅片表面。

在 HF 介质中, 溶液中微量的 Ag^+ 、 Cu^{2+} 、 Au^{3+} 、 Pt^{2+} 、 Pd^{2+} 等贵金属或过渡金属离子均以电化学还原方式沉积在无氧化物的硅片表面, 但其沉积机理还不明确。

6.2.3.4 改进的 DHF 清洗工艺

为弥补以上清洗方法的不足, 开发出了一些改进的清洗方法, 其中包括改进的 DHF 清洗工艺。

(1) $\text{HF} + \text{H}_2\text{O}_2$ 清洗 由于 H_2O_2 的作用, 在硅片表面形成一层氧化膜, 同时 HF 又把自然氧化膜腐蚀掉。这样可使附着在自然氧化膜上的金属溶解到清洗液中, 同时去除在 SC-1 清洗时附着在硅片表面的金属氢氧化物, 在 DHF 清洗液中加入 H_2O_2 , 在室温下对硅片进行清洗, 即可有效地防止 Cu 等贵金属的附着。

(2) DHF+表面活性剂 为防止硅片表面脱落的颗粒再附着, 必须使硅片表面与颗粒间存在斥力, 即要求硅片表面与颗粒的 Zeta 电位为同号 (在 DHF 清洗液中硅表面的 Zeta 电位为负), 从而达到抑制的作用。因此, 加入适当的表面活性剂后, 能够取得很好的去除效果。

6.2.3.5 铜污染

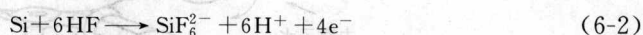
在硅的制造过程当中铜无处不在, 而且目前还没有可靠的技术来检测铜的污染含量。铜对半导体器件物理性能的影响包括有: 门氧化物完整性、PN 结上的漏电流和少数载流子寿命等。半导体硅的微观污染可以利用测试少子寿命来进行研究。

如果不考虑沉积尺寸, 铜污染会增大 Si 表面的复合。如果铜的覆盖率为一常数时, 表面少子寿命随沉积尺寸的增大而增加, 如果改变沉积条件 (掺杂类型和水平, 光照、溶液中的离子浓度), 它们都会对少子造成影响。然而到目前为止, 定量描述的参数和铜对少子寿命的理论模型尚不清楚, 但是可以确认以下几点共识:

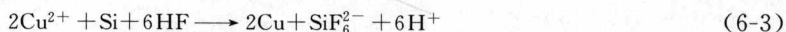
- ① 同 P 型 Si 比较, Cu 对 N 型硅的少子寿命影响更大;
- ② Cu 的沉积会增加少数载流子的复合中心, 这是由于形成的 Cu 颗粒形成的能带接近 Si 的能带中心, 因而这个缺陷能带可以为少子提供复合通道;
- ③ 尽管铜通常不会形成点缺陷化合物, 但这些化合物对于少子复合是活泼的;
- ④ 在 P 型 Si 中有少量 Cu 扩散后, 少子寿命反而提高, 而且少子复合的概率也有所下降。

研究表明, Cu 的吸附行为可被解释为电化学金属粒子沉积和金属致氧化物生长, 要求清洗液既能溶解 Cu 又能腐蚀硅和二氧化硅, 同时又能对二氧化硅有表面钝化作用, 并能防止溶解的 Cu 的再吸附。

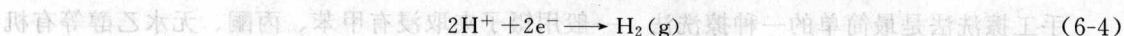
对 Cu 而言, 一般认为来自 DHF 溶液中的 Cu^{2+} 通过氧化还原反应得到电子而以 Cu 金属的形式沉积在 Si 表面, 而硅则是通过释放出电子溶解于 DHF 溶液中。基本化学反应式为:



总的化学反应式为:



然而, Cheng 等人通过电化学实验发现, 氢的还原反应是不能忽略的:



这是由于铜在硅片表面上的沉积加剧了氢的还原反应（氢在铜上比在硅上的析出容易），从而促进硅的溶解反应，导致硅片表面粗糙度增加。因此，反应(6-1)和反应(6-4)为两个竞争反应，并与反应(6-2)一起同时发生在硅/溶液界面上。然而，有关污染物的化学反应、吸附状态以及污染物与硅表面的微观粗糙度之间的关系等问题尚不清楚。

6.2.3.6 检测

由于少数载流子的生命周期会因污染而降低，表面光电压和微波光导衰减法利用金属杂质对电荷载流子的影响可对金属杂质进行测量。石墨炉原子吸收光谱法或感应耦合等离子体-质谱仪可用来分析杂质浓度。另外，在检测金属污染方法上也有一些新的方法，例如少子寿命和电化学交流阻抗技术被用来现场检测硅片表面铜污染等。

6.3 湿法清洗

湿法清洗一直是芯片清洗技术的主流，它是利用溶剂、各种酸碱、表面活性剂和水，通过腐蚀、溶解、化学反应以及冷热冲洗等方法去除芯片表面的沾污物，每次使用化学试剂后都应用超纯水清洗，以去除化学试剂的残留物。湿法清洗包括溶解/分解和刻蚀两个主要机理，两种机理的主要区别在于表面粗糙度方面的不同，其中刻蚀工艺容易使表面更加粗糙。

6.3.1 分类

湿法清洗包括溶液浸泡法、擦洗法、超声波清洗法、兆声波清洗法、旋转喷淋法、束流清洗技术等。

6.3.1.1 溶液浸泡法

溶液浸泡法就是一种将要清除的硅片放入溶液中浸泡，并通过溶液与硅片表面的污染杂质在浸泡过程中发生化学反应及溶解作用，以达到清除硅芯片表面杂质的目的的方法，它是湿法化学清洗中最常用的一种方法。其中，选用不同的溶液来浸泡硅片可以达到清除不同类型表面污染杂质的目的。单纯使用溶液浸泡法去除硅芯片表面杂质，其效率往往不尽如人意，所以在采用溶液浸泡法的同时往往还辅以加热、超声、搅拌等物理措施。

6.3.1.2 擦洗法

当硅片表面沾有微粒或有机残渣时常用擦片的方法清洗（如图 6-1），擦洗法被认为是去除化学机械抛光液残余物的最有效的方法之一。擦洗法一般分为手工擦洗法和机械擦洗法两种方法。



图 6-1 刷片清洗法结构图

手工擦洗法是最简单的一种擦洗法，一般用镊子夹取浸有甲苯、丙酮、无水乙醇等有机

溶剂的棉球，在硅片表面沿着同一方向轻擦，以去除蜡膜、灰尘、残胶或其他固体颗粒。但此法易造成划伤且污染较为严重。

用于机械擦洗法的擦片机可分为纯机械性擦刷的擦片机和高压擦片机等。纯机械性擦片机利用机械旋转，使软羊毛刷或刷辊擦刷硅片表面，该法造成的硅片划伤较手工擦洗大大减轻。而高压擦片机由于无机机械摩擦，则不会造成硅芯片表面的划伤，而且可以达到清除槽痕里的沾污。擦片机擦洗是硅片擦洗的发展趋势。

6.3.1.3 超声波清洗法

超声波清洗是半导体工业中广泛应用的一种清洗方法，该方法具有清洗效果好、操作简单以及能够清除复杂的器件和容器等优点，但该方法具有噪声较大、换能器易坏的缺点。

超声波清洗是在强烈的超声波作用下，使液体内部会产生疏部和密部。疏部产生近乎真空的空腔泡，空腔泡消失的瞬间，将在其附近产生强大的局部压力，使分子内的化学键断裂，从而使硅片表面的杂质解吸。当超声波的频率和空腔泡的振动频率发生共振时，机械作用力达到最大，泡内聚集的大量热能使温度升高，促进化学反应的发生。超声波清洗的效果与温度、压力、超声频率、功率等超声条件有关，例如，提高超声波功率往往有利于清洗效果的提高。

超声波清洗主要用在切磨后除去大粒子，随着粒子尺寸的减小，清洗效果下降。为了增加超声波清洗效果，有时在清洗液中加入表面活性剂，然而，表面活性剂和其他化学试剂一样，自身也存在污染，无机物被除去以后，却留下了化学试剂本身的粒子。另外，由于声波能的作用，会对晶圆片造成损伤。

6.3.1.4 兆声波清洗法

兆声波清洗不但保存了超声波清洗的优点，而且克服了它的不足。去除效率与清洗时间和颗粒尺寸相关（如图6-2）。兆声波清洗是结合高能（850kHz）频振效应和化学清洗剂的化学反应对硅片进行清洗的。清洗时不形成超声波清洗那样的气泡，只以高速的流体波连续冲击芯片表面，使硅片表面附着的污染物和微粒被强制除去并进入到清洗液中。兆声波清洗法去除颗粒的作用机理仍然不是很明确，但可以肯定的是颗粒去除度与声波流的空穴作用、气体溶解度和振荡效应都有关系。兆声波清洗法能同时起到机械擦片和化学清洗两种方法的作用，其已成为抛光片清洗的一种有效方法。

兆声波清洗法频率较高，不同于会产生驻波的超声波清洗，不会损伤硅芯片，并且，同时在兆声清洗过程中，无机机械移动部件，因此可减少在清洗过程本身所造成的沾污。在兆声波清洗法中也常常使用表面活性剂，使粒子不再沉积在表面上。

6.3.1.5 旋转喷淋法

旋转喷淋法是指利用机械方法将硅片以较高的速度旋转起来，在旋转过程中通过不断向硅片表面喷高纯去离子水或其他清洗液，从而达到清除硅片目的的一种方法。该方法利用所

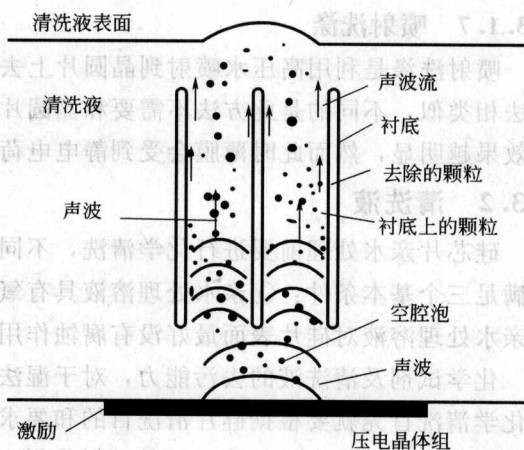


图6-2 兆声波清洗法

喷液体的溶解或化学反应作用来溶解硅片表面的沾污，同时利用高速旋转的离心作用，使溶有杂质的液体及时脱离硅片表面，这样硅片表面的液体总保持非常高的纯度，同时，由于所喷淋液体与硅片有较高的相对速度，所以会产生较大的冲击力而达到清除吸附杂质的目的。因此，可以说旋转喷淋法同时具有高压擦洗、流体力学清洗以及化学清洗的优点。

6.3.1.6 束流清洗技术

束流清洗技术是指利用含有较高能量的成束流状的物质流（能量流）与硅片表面的杂质发生相互作用而达到清除硅片表面杂质的一种清洗技术。常用的束流清洗技术有微集射束流清洗技术、激光束技术、冷凝喷雾技术等，其中微集射束流清洗技术是最具前景的工艺。

微集射束流清洗技术是一种新型的在线硅表面清洗技术，该技术采用电流体力学喷射原理。微集射束流清洗技术利用毛细管中喷射而出的微束流所具有的冲击力作用到沾污颗粒上，克服颗粒与硅片之间的范德华附着力，使颗粒杂质升起而脱离硅片表面，从而达到清洗的目的。微集射束流的产生是在强电场作用下，将毛细管中喷射出的导电清洗液雾化。清洗束流的最大速度不可过大，大约为 5km/s ，因为当清洗液速度极高时，会在硅片表面物质中产生微冲击波，这种冲击波可以除去片子表面的膜层，控制好清洗束流的速度可以防止清洗时对硅片表面二氧化硅层的损伤。

微集射束流表面清洗技术的清洗液消耗量很少，清洗一个硅片可能只需要几十微升的洗液，而且其减少了二次污染的发生，更重要的是，清洗液束流尺寸与亚微米器件图形的几何尺寸以及沾污颗粒的尺寸处于同一数量级，这使管芯上缝隙里的沾污也能被清除。所以，微集射束流表面清洗技术在半导体硅片清洗中具有很大的潜力。

目前，喷射能量、束流尺寸、硅片取向以及处理时间等是微集射束流表面清洗技术的研究重点。

6.3.1.7 喷射洗涤

喷射洗涤是利用高压水喷射到晶圆片上去除杂质的清洗方法，这种方法的去除机理与擦洗法相类似，不同的是此方法不需要和晶圆片的表面相接触。当喷射的压力越大时，其清洗的效果越明显，然而此时薄膜会受到静电电荷的损伤。

6.3.2 清洗液

硅芯片亲水处理前要进行化学清洗，不同清洗液具有不同的亲水处理过程，亲水处理必须满足三个基本条件：①亲水处理溶液具有氧化作用，使硅芯片表面本征氧化层形成羟基；②亲水处理溶液对硅片表面最好没有腐蚀作用；③亲水处理溶液对硅片表面去污能力强。

化学试剂及清洗液的去污能力，对于湿法化学清洗的清洗效率有决定性的影响，进行湿法化学清洗首先就要根据硅片清洗目的和要求选择适当的试剂和清洗液。硅片清洗中常用的化学试剂和清洗液主要包括无机酸、氧化剂、络合剂、双氧水清洗液、有机溶剂、合成洗涤剂、电子清洗剂等几大类。它们在化学清洗中的主要作用或化学性质见表 6-2 所列。

一般使用的氧化剂有：过氧化氢（ H_2O_2 ）、亚硫酸氨 $[(\text{NH}_4)_2\text{S}_2\text{O}_8]$ 、硝酸（ HNO_3 ）以及臭氧（ O_3 ）。

硫酸是一种常见的清洗溶液，热硫酸添加氧化剂也是一种常用的光刻胶去除剂。硫酸是一种非常有效的清洗剂，在 $90\sim 125^\circ\text{C}$ 的范围内，它可以去除晶圆片表面大多数无机残余物和颗粒污染。将氧化剂添加到硫酸中用来去除含碳的残余物，其可通过化学反应将碳转化成二氧化碳，从而以气体的形式离开反应池。

表 6-2 硅片清洗常用化学试剂或清洗液

类别	常用试剂或清洗液	性质或作用
无机酸	盐酸、硫酸、硝酸、氢氟酸以及王水等	酸性、腐蚀性
氧化剂	硝酸、浓硫酸、重铬酸钾、双氧水等	氧化还原作用
络合剂	盐酸、氢氟酸、氟化铵、氨水等	络合作用,有利于去除金属杂质
双氧水清洗液	1号液、2号液、3号液	强氧化性,可去有机及无机沾污
有机溶剂	三氯甲烷、三氯乙烯、甲苯、乙醇、丙酮等	相似相溶原理,去除有机沾污
合成洗涤剂	主要成分为表面活性剂	表面活性剂乳化作用
电子清洗剂	DZ-1、DZ-2、DZ-3、DZ-4、DZ-5 电子清洗剂	分别可去除各类沾污

硅片键合常用的氧化性亲水处理溶液有 $\text{H}_2\text{SO}_4/\text{H}_2\text{O}_2$ 、 $\text{NH}_4\text{OH}/\text{H}_2\text{O}_2$ 、 $\text{HNO}_3/\text{H}_2\text{O}_2$ 以及 $\text{HF}/\text{H}_2\text{O}_2$ 等。对于 H_2SO_4 、 NH_4OH 、 HNO_3 而言,它们不仅能除去硅片表面沾污的金属原子(如 Cu、Fe)、灰尘,有机物等,同时还都能使硅表面形成 SiO_x 过渡层,从而获得预键合必需的 Si-OH 结构。

6.3.2.1 RCA 清洗液

RCA 清洗是在 20 世纪 60 年代, RCA 公司的工程师 Warner Kern 开发的,其是一种两步的清洗工艺,用以去除晶圆片表面的有机和无机残留物。标准清洗-1 (RCA-1/SC-1) 是由应用水、过氧化氢和氨水的混合溶液组成的, SC-1 可去除有机残余物,并同时建立一种从芯片表面吸附痕量金属的条件,在工艺过程中,一层氧化膜不断形成又分解。标准清洗-2 (RCA-2/SC-2) 是由应用水、过氧化氢和盐酸组成的, SC-2 可以去除碱金属离子、氢氧根及复杂的残余金属,它会在芯片表面留下一层保护性的氧化物。

SC-1 通过 H_2O_2 的强氧化和 NH_4OH 的溶解作用,使有机物污染变成水溶性化合物,随去离子水的冲洗而被排除。由于溶液具有强氧化性和络合性,能氧化 Cr、Cu、Zn、Ag、Ni、Co、Ca、Fe、Mg 等使其变成高价离子,然后进一步与碱作用,生成可溶性络合物而随去离子水的冲洗而被去除。为此用 SC-1 液清洗抛光片既能去除有机沾污,亦能去除某些金属沾污。

清洗液中的金属附着现象在碱性清洗液中易发生,在酸性溶液中不易发生,并具有较强的去除晶圆片表面金属的能力,但经 SC-1 清洗后虽能去除 Cu 等金属,而晶圆片表面形成的自然氧化膜的附着(特别是 Al)问题还未解决。在使用 SC-1 液时结合使用兆声波来清洗可获得更好的效果。对于 SC-1,其化学反应如下:



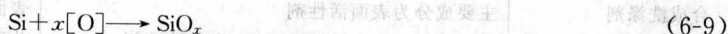
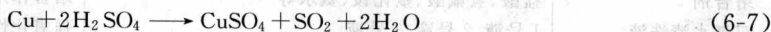
SC-2 具有极强的氧化性和络合性,能与氧以前的金属作用生成盐随去离子水冲洗而被去除,被氧化的金属离子与 Cl^- 作用生成的可溶性络合物亦随去离子水冲洗而被去除。硅片表面经 SC-2 清洗液洗后,表面 Si 大部分以 O 键为终端结构,形成一层自然氧化膜,呈亲水性。

根据不同的应用, SC-1 和 SC-2 前后顺序也可颠倒。如果晶圆片表面不允许有氧化物存在,则需加入氢氟酸清洗,它可以放在 SC-1 和 SC-2 之前进行,或者在两者之间,也可放在 RCA 清洗之后。为了去除粒子,应使用改进的 SC-1 液即 APM 液。

稀释的 RCA 溶液被证明具有与比它们更浓的溶液配方同样的清洗效果,并且具有节约成本、容易去除以及产生较小的微观上的粗糙等优点。用 RCA 法清洗对去除粒子有效,但对去除金属杂质 Al、Fe 效果很弱。

6.3.2.2 硫酸过氧化氢混合物 (SPM)

过氧化氢和硫酸混合制成的清洗液被用于各个工艺过程之前,尤其是炉工艺之前晶圆片的清洗,它也可用作光刻操作中光刻胶的去除剂。在业内,这种配方被称为 Carro 酸和 Piranha 刻蚀。对于 SPM 化学反应如下:

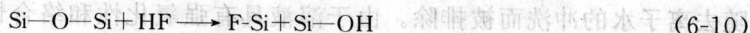


一种手动的方法是将 30% (体积分数) 的过氧化氢加入盛有常温的硫酸容器中。在这一比例下,发生大量的放热反应,使容器的温度迅速地升到了 110~130℃ 的范围,着时间发展,反应逐渐变慢,反应池的温度也降到有效范围内。这时,再考虑是否往反应池中添加额外的过氧化氢,由于过氧化氢转化为水,从而使硫酸稀释,所以往反应池中不断添加过氧化氢最终会导致清洗效率降低。

在自动的系统中,硫酸被加热到有效清洗的温度范围内,在清洗每一批芯片前,再加入少量的过氧化氢。此种方法可保证清洗池处于合理的温度下,同时由过氧化氢产生的水也可通过气化离开溶液。基于经济和工艺控制因素的考虑,一般选用加热硫酸这一方法,这种方法也使两种化学物质的混合比较容易自动实现。

6.3.2.3 DHF

HF 清洗液在硅工艺中它经常用作腐蚀剂。在键合制备功率器件衬底材料时常用疏水处理,经常用 HF 漂去硅表面自然氧化层,它对硅片表面的处理一般是疏水性的,即不可能形成 SiO_x 过渡层,其化学反应方程式为:



在 DHF 液中硅表面为负电位,粒子表面为正电位。采用 DHF+阴离子界面活性剂清洗时,加入的阴离子界面活性剂可使硅表面和粒子表面的电位为同符号,即粒子表面电位由正变为负。与硅片表面负电位同符号,使硅片表面和粒子表面之间产生电的排斥力,因此可防止粒子的再附着,但 DHF 清洗不能充分去除 Cu 为去除金属杂质,应使用不附着 Cu 的改进的 DHF 液。

利用 DHF 清洗技术去除金属杂质的原理如下。

① 用 HF 清洗可去除晶圆片表面的自然氧化膜,因此附着在自然氧化膜上的金属溶解到清洗液中,同时 DHF 清洗可抑制自然氧化膜的形成,故可容易去除表面的 Al、Fe、Zn、Ni 等金属, DHF 清洗也能去除附在自然氧化膜上的金属氢氧化物。然而,随自然氧化膜溶解到清洗液中一部分氧化还原电位比氢高的贵金属 (Cu 等),会附着在硅表面。

② Al^{3+} 、 Zn^{2+} 、 Fe^{2+} 、 Ni^{2+} 的氧化还原电位 E_0 分别是一 1.663V、-0.763V、+0.440V、0.250V,比 H^+ 的氧化还原电位 ($E_0=0.000\text{V}$) 低,呈稳定的离子状态,几乎不会附着在硅表面。

③ 如硅表面外层的 Si 为 H 键结构,硅表面在化学上是稳定的,即使清洗液中存在 Cu^{2+} 等贵金属离子,也很难发生 Si 的电子交换,因为 Cu 等贵金属也不会附着在裸硅表面。但是如液中存在 Cl^- 、 Br^- 等阴离子,它们会附着于 Si 表面的终端氢键不完全的地方,附着的 Cl^- 、 Br^- 阴离子会帮助 Cu^{2+} 与 Si 电子交换,使 Cu^{2+} 成为金属 Cu 而附着在晶圆片表面。而被金属 Cu 附着的 Si 释放与 Cu 的附着相平衡的电子,自身被氧化成 SiO_2 。

④ 在硅片表面所形成的 SiO_2 ,在 DHF 清洗后被腐蚀成小坑,其腐蚀小坑的数量与去

除 Cu 粒子前的 Cu 粒子量相当, 腐蚀小坑直径与 Cu 粒子大小相当, 由此可知这是由结晶引起的粒子, 常称为金属致粒子。

6.3.2.4 其他

为满足不同工艺的需要, 对许多清洗液进行了改进, 开发出了许多新清洗液。例如, SC-1 液的改进采用 SC-1+界面活性剂、SC-1+HF、SC-1+螯合剂等, DHF 的改进采用 DHF+氧化剂 (例 $\text{HF}+\text{H}_2\text{O}_2$)、DHF+阴离子界面活性剂、DHF+络合剂、DHF+螯合剂等。具体例子如: 为抑制 SC-1 时表面 R_a 变大, 应降低 NH_4OH 组成比; 在 SC-1 液中加入 HF, 并控制其 pH 值, 可控制清洗液中金属络合离子的状态, 抑制金属的再附着, 也可抑制 R_a 的增大和空位团的发生; 在 SC-1 加入螯合剂, 可使洗液中的金属不断形成螯合物, 有利抑制金属的表面的附着。氧化剂添加剂的作用是给溶液提供额外的氧, 臭氧和去离子水混合是一种去除轻微的有机物污染的方法。

(1) $\text{O}_3+\text{H}_2\text{O}$ 清洗 若如硅片表面附着有机物, 就不能完全去除表面的自然氧化层和金属杂质, 因此清洗时首先应去除有机物。研究表明, $\text{O}_3+\text{H}_2\text{O}$ 清洗对去除有机物很有效, 可在室温下进行清洗, 不必进行废液处理, 比 SC-1 清洗有很多优点。

(2) $\text{HF}+\text{H}_2\text{O}_2$ 清洗 采用 $\text{HF}+\text{H}_2\text{O}_2$ 清洗在室温下清洗, 可防止 DHF 清洗中的 Cu 等贵金属的附着。这是由于强氧化剂 H_2O_2 ($E_0=1.776\text{V}$) 比 Cu^{2+} 优先从 Si 中夺取电子, 因此硅表面由于 H_2O_2 而被氧化, 而 Cu 以 Cu^{2+} 状态存在于清洗液中, 即使有金属 Cu 附着在硅表面, 也会从氧化剂 H_2O_2 夺取电子呈离子化, 硅表面被氧化而形成一层自然氧化膜。因此 Cu^{2+} 和 Si 很难发生电子交换, 并越来越不易附着。

由于 H_2O_2 氧化作用, 可在硅表面形成自然氧化膜, 同时又因 HF 的作用将自然氧化层腐蚀掉, 附着在氧化膜上的金属可溶解到清洗液中, 并随去离子水的冲洗而被排除。在 APM 清洗时附着在芯片表面的金属氢氧化物也可被去除。芯片表面的自然氧化膜不会再生长。

对 N^+ 、 P^+ 型硅表面的腐蚀速度比 N、P 型硅表面大得多, 可导致表面粗糙, 因而不适合使用于 N^+ 、 P^+ 型的硅片清洗。

(3) HF/O_3 以 HF/O_3 为基础的硅片化学清洗技术, 其 HF/O_3 清洗、干燥均在一个工艺槽内完成, 而传统工艺则须经多道工艺以达到去除金属污染、冲洗和干燥的目的。在 HF/O_3 清洗、干燥工艺后形成的硅片表面在其以后的工艺流程中可按要求在臭氧气相中被重新氧化。

6.3.3 湿法清洗去除颗粒杂质

在清洗液中, 硅表面为负电位, 有些颗粒也为负电位, 由于两者的电的排斥力作用, 可防止粒子向芯片表面吸附, 但也有部分粒子表面是正电位, 由于两者电的吸引力作用, 粒子易向芯片表面吸附。

超声波清洗时, 由于存在空洞现象, 只能去除不小于 $0.4\mu\text{m}$ 的颗粒。超声波清洗时, 由于 0.8MHz 的加速度作用, 能去除不小于 $0.2\mu\text{m}$ 的颗粒, 即使液温下降到 40°C 也能得到与 80°C 超声清洗去除颗粒的效果, 而且又可避免超声波清洗芯片产生损伤。

SC-1 清洗的主要目的是去除颗粒污染 (也能去除部分金属杂质)。SC-1 清洗去除颗粒的原理如下: 硅片表面由于 H_2O_2 氧化作用生成氧化膜 (呈亲水性), 该氧化膜又被 NH_4OH 腐蚀, 腐蚀后立即又发生氧化, 氧化和腐蚀反复进行, 因此附着在硅片表面的颗粒

也随腐蚀层落入清洗液内而被去除。

研究表明,自然氧化膜与 NH_4OH 、 H_2O_2 浓度及清洗液温度无关, NH_4OH 促进腐蚀, H_2O_2 阻碍腐蚀。 SiO_2 的腐蚀速度,随 NH_4OH 的浓度升高而加快,其与 H_2O_2 的浓度无关, Si 的腐蚀速度,随 NH_4OH 的浓度升高而快,当到达某一浓度后为一定值,而这一定值随 H_2O_2 浓度的升高而减小。颗粒的去除率与硅片表面腐蚀量、清洗液温度、 H_2O_2 的浓度、 NH_4OH 浓度等有关,只有保证一定量以上的腐蚀才能确保颗粒的去除。随着清洗液温度的升高,颗粒去除率也提高,当温度达到一定值时,去除率可达最大值。另外,当 H_2O_2 的浓度一定时, NH_4OH 浓度越低,颗粒去除率也越低,而如果同时降低 H_2O_2 浓度,可抑制颗粒的去除率的下降。

6.3.4 晶圆片的颗粒测量

激光散射设备被用来测量 60nm 尺寸范围内的晶圆片上的颗粒。激光扫到晶圆片表面上测量向前散射的光斑(即米氏散射),散射是由晶圆片表面的不规则所造成的,而空位团是凹陷的,也会产生散射光。在非常干净的晶圆片上,90%的“颗粒”为 COP 聚集。散射源的本征特征可用倾斜的入射激光束、不同的检测角、测量反射、散射信号等不同的光学设计来区别。

散射颗粒的大小是根据把已证实大小的聚苯乙烯橡胶球放在散射颗粒上的杂质标准来标定的。这些 PSL 几乎都是球形的,粒度分布紧密,颗粒的数量能采用确定的光散射性能和在晶圆片上的位置的刻蚀特征来很好地标定,这些标准能够被清洗去除而再次利用,但杂质标准却不能再利用。

由于在已知的光学常数下确定实际的颗粒不是球形的,颗粒尺寸不能通过光散射来精确测量。由于向前散射光到达探测器之前就被晶圆片反射回去,必须考虑晶圆片上薄膜的因素。在氧化物上,每一层薄膜厚度都需对颗粒进行标定。另外,在有金属的晶圆片上,表面粗糙度降低了信噪比,因而一些小颗粒不能被测出。虽然散射能得到整个晶圆片的形貌,但是无法标定一个颗粒。对于颗粒的测量,如果能够采用扫描电子显微镜,那么也可采用 EMPA 或 EDX 化学分析法来检测。在有图形的晶圆片上,情况就变得更加复杂。

6.4 干法清洗

传统上主要是采用湿化学方法来进行光刻胶的清洗,湿化学方法具有不可控制、清洗不彻底、需要反复清洗等缺点,而且会造成环境污染,需要建立专门的回收处理站。随着新材料的使用和微器件特征尺寸的进一步减小,要求有一种更具选择性、更环保、也更能人为控制的清洗技术。湿法清洗在现阶段的微电子清洗工艺中还占据主导地位。但是从对环境的影响、原材料的消耗及未来发展上看,干法清洗要明显优于湿法清洗。

干法清洗主要是利用氧在等离子体中产生的活性氧与光刻胶发生反应生成二氧化碳和水,以达到去除光刻胶的目的,其能对高温烘烤过的胶、显影后的底胶以及铝电极和大剂量离子注入过的胶进行清洗。目前,普遍采用的干法清洗光刻胶工艺都是在真空室里利用低气压氧等离子体来进行清洗,其在使用中存在设备及维护费用高、被处理物体的尺度受真空室腔体限制、操作不方便和时间长等缺点。

干法清洗是相对湿法化学清洗而言的,一般指不采用清洗溶液的清洗技术。根据是否彻底不采用溶液工艺,可将干法清洗分为“全干法”清洗和“半干法”清洗。目前常采用的干

法清洗技术有：等离子体清洗技术、汽相清洗、激光清洗法等。等离子体清洗、激光清洗法属于全干法清洗，而汽相法清洗属于半干法清洗。

6.4.1 等离子体清洗技术

干法清洗中发展较快、优势明显的是等离子体清洗，等离子体清洗已逐步在半导体制造、微电子封装、精密机械等行业开始被普遍应用。

等离子体是部分电离的气体，由电子、离子、自由基、光子以及其他中性粒子组成。由于等离子体中的电子、离子和自由基等活性粒子的存在，其本身很容易与固体表面发生反应。

等离子体清洗系统如图 6-3 所示，等离子体清洗是依靠等离子体中活性粒子的“活化作用”达到去除物体表面污渍的目的。首先，无机气体被激发为等离子态。其中的活性粒子与固体表面分子反应生成产物分子，产物分子解析形成气相并脱离表面。

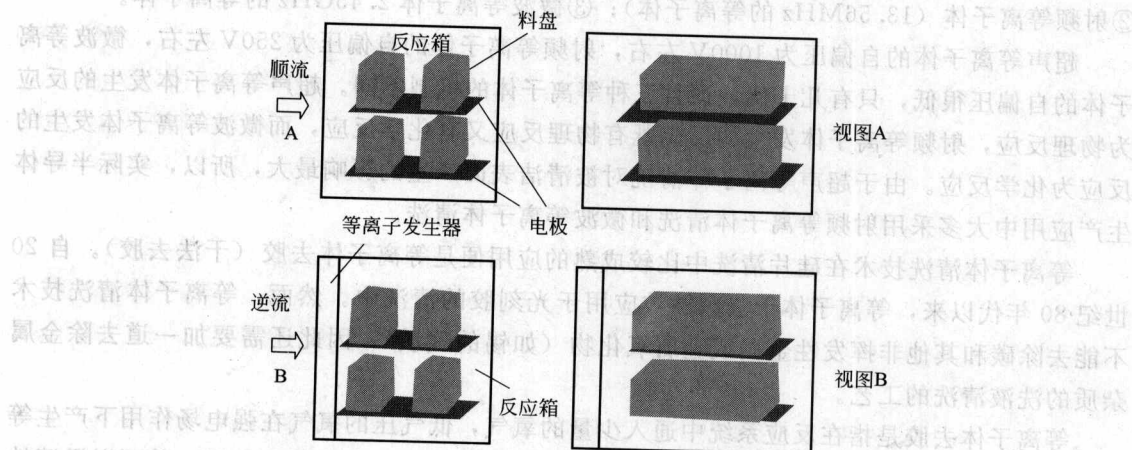


图 6-3 等离子体清洗系统简图

等离子体清洗技术的最大优点是不分处理对象的基材类型而均可进行处理，对金属、半导体、氧化物和大多数高分子材料，如聚丙烯、聚酯、聚酰亚胺、聚氯乙烯、环氧树脂，甚至聚四氟乙烯等都能很好地处理，并可实现整体和局部以及复杂结构的清洗。另外，等离子体清洗还具有以下优点：①容易采用数控技术，自动化程度高；②具有高精度的控制装置，时间控制的精度很高；③正确的等离子体清洗不会在表面产生损伤层，表面质量得到保证；④由于是在真空中进行，可保证清洗表面不被二次污染也不污染环境。

等离子体与固体表面发生反应可以分为物理反应（离子轰击）和化学反应。物理反应机制是活性粒子轰击待清洗表面，使污染物脱离表面最终被真空泵吸走；化学反应机制是各种活性的粒子和污染物反应生成易挥发性的物质，再由真空泵吸走挥发性的物质。

以物理反应为主的等离子体清洗，也叫做溅射腐蚀或离子铣。其优点在于本身不发生化学反应，清洁表面不会留下任何的氧化物，可以保持被清洗物的化学纯净性。其缺点在于会产生很大的热效应对表面产生了很大的损害，对被清洗表面的各种不同物质选择性差，腐蚀速度较低。物理反应能够使表面在分子级范围内变得更加“粗糙”，从而改变表面的粘接特性。典型的等离子体物理清洗工艺是氩气等离子体清洗。氩气本身是惰性气体，等离子体的氩气不和表面发生反应，而是通过离子轰击使表面清洁。

以化学反应为主的等离子体清洗的优点是清洗速度较高、选择性好、对清除有机污染物

比较有效,缺点是会在表面产生氧化物,且其缺点不易克服。典型的等离子体化学清洗工艺是氧气等离子体清洗。通过等离子体产生的氧自由基非常活泼,容易与烃类化合物发生反应,产生二氧化碳、一氧化碳和水等易挥发物,从而去除表面的污染物。

还有一种等离子体清洗是表面反应机制中物理反应和化学反应都起重要作用,即反应离子腐蚀或反应离子束腐蚀,两种清洗可以互相促进。离子轰击使被清洗表面产生损伤削弱其化学键或者形成原子态,容易吸收反应剂,离子碰撞使被清洗物加热,使之更容易产生反应。其效果具有较好的选择性、清洗率高、均匀性以及方向性等优点。

等离子态的密度和激发频率的关系如式(6-11)所示:

$$n_e = 1.2425 \times 108 \nu^2 \quad (6-11)$$

式中, n_e 为等离子态密度, cm^{-3} ; ν 为激发频率, Hz。

常用的等离子体激发频率有三种: ①超声等离子体(激发频率为 40kHz 的等离子体); ②射频等离子体(13.56MHz 的等离子体); ③微波等离子体 2.45GHz 的等离子体。

超声等离子体的自偏压为 1000V 左右,射频等离子体的自偏压为 250V 左右,微波等离子体的自偏压很低,只有几十伏,而且三种等离子体的机制不同。超声等离子体发生的反应为物理反应,射频等离子体发生的反应既有物理反应又有化学反应,而微波等离子体发生的反应为化学反应。由于超声等离子体清洗对被清洗表面产生的影响最大,所以,实际半导体生产应用中大多采用射频等离子体清洗和微波等离子体清洗。

等离子体清洗技术在硅片清洗中比较成熟的应用便是等离子体去胶(干法去胶)。自 20 世纪 80 年代以来,等离子体干法刻蚀被应用于光刻胶的清洗中。然而,等离子体清洗技术不能去除碳和其他非挥发性金属或金属氧化物(如锡的残质),因此还需要加一道去除金属杂质的洗液清洗的工艺。

等离子体去胶是指在反应系统中通入少量的氧气,低气压的氧气在强电场作用下产生等离子体,其中含有一定比例的活化气(或称活泼的原子态气)占有适当比例,其可以迅速地使光刻胶氧化成可挥发性气体状态被机械泵抽走,从而去除硅片上的光刻胶膜。

由于等离子去胶不但可以清洗化学结构更为复杂的光刻胶,而且具有工艺简单、操作方便、去胶效率高、硅片温度低、无划伤等优点,有利于确保产品的质量。另外,该技术不需要使用酸、碱及有机溶剂等,其成本低,不存在废料处理和环境污染等问题,因此受到人们重视,在产品中已逐步采用。

6.4.2 气相清洗

气相清洗是指利用液体工艺中对应物质的气相等效物(如去氧化物的 HF)与硅片表面的沾污物质相互作用而达到去除杂质的目的的一种清洗方法。

已成功地将 HF 气相干洗技术用于去除氧化膜和金属后腐蚀残余,此法可减少清洗后自然生长的氧化膜量。

HF 气相干洗技术包括两种工艺方法: ①是在常压下使用 HF 气体控制系统的湿度,先低速旋转片子,再高速使片子进行干燥, HF 蒸气对由清洗引起的化学氧化膜的存在的过程是主要的清洗方法,有广泛的应用前景; ②是在负压下使 HF 挥发成雾,低压对清洗作用控制良好,可挥发反应的副产品,干片效果也比常压下好,而且,其采用两次负压过程的挥发,可用于清洗较深的结构图形(如对沟槽的清洗)。

为了达到一个好的效果,尤其是如果使用最后的旋转冲洗和干燥步骤时,含水 HF 工艺

必须附加一个颗粒清除过程，而气相 HF 的使用则不需要随后的颗粒清除过程。与含水 HF 工艺相比，气相 HF 工艺的一个重要的好处是 HF 的化学消耗少得多，节省了很大的费用。汽相 HF 工艺解决了 MMST 工程中对于小的硅片组的快周期的目标，产出为每分钟一片。

6.4.3 激光清洗法

激光清洗法是利用激光使表面污染物浮起，然后利用流动的惰性气体将杂质带走的一种方法。激光清洗法可去除 CMP 抛光液残余物、光刻残留物、有害化学物和金属离子，这种方法可以不消耗水和化学试剂，既不受亲水性的限制，又不会产生有害的废料。激光清洗与传统清洗比较如图 6-4 所示。实验中用 4 组（每组 5 片）芯片，其中三组用传统湿法清洗：SPM ($\text{H}_2\text{SO}_4/\text{H}_2\text{O}_2/\text{H}_2\text{O}$)、 NH_4OH 和 RCA 配合兆声清洗，再用纯水清洗，然后甩干，另外一组用激光清洗，且不用其余两步，结果表明激光清洗效果最好。虽然不是对各种表面污染物结果都如此，但至少可说明激光清洗大有潜力。

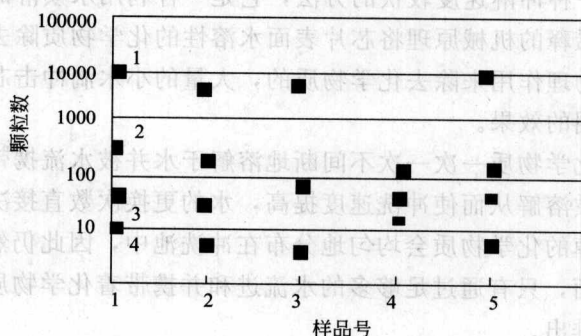


图 6-4 激光清洗与传统清洗比较

6.5 冲洗和烘干

6.5.1 冲洗

每一步湿法清洗的后面都需要使用去离子水的冲洗，清水冲洗具有从表面上去除化学清洗液和终止氧化物的刻蚀反应的双重功效。未来的研究重点在于提高冲洗效果和减少水的用量上。通常应尽量让晶圆片在整个清洗工艺中保持湿润，并且减少晶圆片被从液体拿到空气中的次数。

在晶圆制造的整个过程中，晶圆要经过多次的化学刻蚀与清洗，每步刻蚀与清洗后都要经过清水冲刷。在整个的制造过程中，晶圆总共要在冲洗的系统中待上好几个小时，由于半导体器件容易受到污染，所以所有工艺用水必须经过处理以达到非常严格的洁净度要求。

普通水包含大量的洁净室所不能接受的溶解的矿物、颗粒、细菌、有机物、溶解的氧气以及二氧化碳等污染物。

冲洗的方法包括溢流式清洗、喷洒式冲洗、排放式冲洗、超声波辅助进行的水冲洗、高压水清洗等。

6.5.1.1 溢流式清洗

自动的表面清洗并不是单独地将芯片浸泡在池水中，完全的彻底的冲洗需要芯片表面有清洗的水不断地流过。溢流式清洗通常是嵌入清洗台面板内的一个池子，去离子水从盒子的

底部进入从芯片周围流过，再经过一个闸门从排水系统排出，从下部的底盘进入冲洗器的一般氮气的气泡加强了流水的冲洗作用，有助于芯片表面化学品和水的混合，由于氮气的气泡从水中从下向上通过，这一类型被称为气泡式。另一不同类型为平行式下流冲洗器，与上一方法不同的是，在这一设计中，水是从冲洗池外部进入竖直向下流过芯片的。

充分的冲洗要以流速为每分钟流量等于冲洗池体积的 5 倍的流量持续冲洗，例如，若冲洗池的体积为 3L，则流量应至少为 15L/min。冲洗时间的长短是由测量排出冲洗池的水的电阻率决定的。通常在冲洗池出口处安装一个水电阻率测量表以不断地测量出口处水的电阻率，并在冲洗完成时给出信号。化学清洗液在冲洗的水中是带电的分子，它们的存在可由水的电阻率推知。由于清水冲洗至关重要，所以通常至少要进行两种冲洗，而总共的冲洗时间要设定为由电阻率测量而确定的最小冲洗时间的 2~5 倍。

6.5.1.2 喷洒式冲洗

喷洒式冲洗是另一种冲淋速度较快的方法，它是一种利用水喷淋的方法。喷洒式冲洗是指采用流动的水通过稀释的机械原理将芯片表面水溶性的化学物质除去的工艺，其是通过利用来自自身的动量的物理作用来除去化学物质的，大量的小水滴冲击芯片表面，可以达到与更换率极高的冲洗相同的效果。

晶圆片最表层的化学物质一次又一次不间断地溶解于水并被水流携带走，较快的水的流速可以更快地将化学物质溶解从而使冲洗速度提高，水的更换次数直接决定了冲洗的速度。由于从晶圆片表面去除掉的化学物质会均匀地分布在冲洗池中，因此仍然会存在一部分化学物质会附着在晶圆片表面，只有通过足够多的水流进和并携带着化学物质流出冲洗池，才可将化学物质最终从池中排出。

除此以外，与溢流式冲洗相比喷洒冲洗的用水量相当少。另外，由于被喷射的水捕捉到的空气中的二氧化碳相当于带电的颗粒，从而被电阻率测量器视为污染物，而其实它们并不是。所以，当用电阻率监测器测量喷洒冲洗器中排出的水的电阻时，将出现错误的判断。

6.5.1.3 排放式冲洗

排放式冲洗系统的构成类似溢流式冲洗，不同的是其具有喷洒能力。晶圆片被放置于干的冲洗槽中即刻被去离子水喷淋，当喷淋进行时，冲洗槽被水迅速地充满，当水溢流至冲洗槽的顶端，其底部的一个活门开启，将水顷刻间排入排放系统，反复几次填满和排放的过程直至芯片被完全冲洗干净。排放式冲洗具有好的冲洗有效性和水用量少的优点。另一方面，排放式冲洗的全部过程在一个槽中进行，可以节约空间和设备，而且，它还是一个可以自动操作系统，自动化程度较高。

6.5.1.4 超声波辅助进行的水冲洗

在水冲洗系统中的额外的超声波振动有助于湿法工艺的进行。超声波是由清洗槽外部安装的变频器产生的能量波，通常使用两个波段。在 20000~50000Hz (1Hz=1C/s) 范围的叫超声波，在 850kHz 范围的叫兆声波。超声波是通过蒸气旋涡来辅助冲洗的，其产生的振动在液体中形成极微小的气泡，气泡快速地崩溃而产生极微小的擦洗的动作从而去除晶圆片上的颗粒，这一现象被称为气涡。

兆声波的辅助作用是通过另外一种机理来实现的，依据流体力学，固体表面与液体之间有一个静止或缓慢移动的界面（例如芯片的表面），小的颗粒可被保持在这层界面中而不会接触化学清洗液，兆声波的能量可以消除这一界面，从而使颗粒得以清洗。另外，一种叫做声流的现象使得水或清洗液流过芯片的速度加快，从而提高清洗效率。

6.5.1.5 高压水清洗

对由于静电作用附着的颗粒的去除首先成为玻璃和铬光刻掩模板的清洗的必须,为此人们开发了高压水清洗。高压水喷洒清洗是将一注小的水流施加 2000~4000psi (1psi=6894.76Pa) 的压力,水流连续不断地冲洗掩模或晶圆片的表面,除去大小不一的颗粒,另外,经常将少剂量的表面活性剂加入水流中作为去静电剂。

6.5.2 烘干

由于任何保留在芯片表面的水(甚至是原子)都可能对以后的任何一步操作产生潜在的影响,清水冲洗后,必须将芯片烘干。目前所应用的有旋转淋洗烘干机、异丙醇(IPA)蒸气烘干法以及表面张力/麦兰烘干法三种烘干技术。

6.5.2.1 旋转淋洗烘干机

在此方法中,完全的烘干是在一个类似离心分离机的设备中完成的。一种方式是将芯片承载器装入一圆筒状容器内部的片匣固充器中,在这一圆筒状容器的中心是一排连接着去离子水和热氮气的带孔的管子。烘干的过程实际起始于晶圆片的冲洗,由于晶圆片是围绕着喷水的中心管柱旋转的,当热氮气从中心管柱中喷出时,SRD 转换为高速旋转,高速旋转把水从晶圆片表面甩掉,而热氮气可帮助去除紧附于芯片上的小的水珠。

SRD 还可以设计用来做单个芯片承载器的烘干。承载器可以被滑动推入反应室内部的一个旋转固定器中。水和氮气从其侧壁进入反应室而不是通过一个位中心的管柱。冲洗和烘干是在承载器绕其自身的轴线旋转时进行的。这种类型的 SRD 称为轴线烘干机。

这两种烘干机均被应用于全自动的晶圆片清洗和刻蚀工艺中。作为晶圆片清洗机,其所需的化学品通过管道连接到机器上,再由用微处理机控制的阀门将正确的化学品输送到反应室中。

6.5.2.2 异丙醇蒸气烘干法

异丙醇(IPA)蒸气烘干法是一种醇类烘干法,其在烘干器的底部有一个液体 IPA 的储液罐,储液罐上部充满蒸气,当一片表面带水的芯片悬置于蒸气中时,IPA 将芯片表面的水取代,IPA 蒸气区域周围的冷却管使 IPA 蒸气中的水蒸气凝结从而除去芯片表面的水。另一种为直接取代型气相烘干机,这一系统中,芯片被直接从水池中拿出放入 IPA 蒸气中。

6.5.2.3 表面张力/麦兰烘干法

在表面张力/麦兰烘干法中,当芯片从水中被慢慢拿出水面时,水的表面张力产生一种特殊条件,从而吸走表面的水,使芯片变干。此法中可以利用某些有机物(如 IPA 或 N_2)的气流出现在芯片和水的界面处,由于 IPA 或 N_2 的气流可产生一种表面张力梯度从而使得芯片上的水从其表面流入水中,这一内部流动进一步加强了芯片去水的效果。

7

表面层改性

7.1 热氧化

目前，硅、砷化镓以及锗是具备工业生产价值的三种材料，砷化镓和锗的电子流动性都高于硅，能够获得较好性能的电子器件，但是在它们的表面不存在自然氧化物对其进行保护，而硅晶圆片则可通过二氧化硅对其进行保护，硅材料还可以精确控制掺杂浓度，硅材料仍然是目前半导体工业生产的主要材料。二氧化硅在硅加工工艺中可用作扩散层、刻蚀工艺中的掩模材料或作为一种清洗方法以形成完好的硅表面，也可以作为电容器的电介质和绝缘材料。

氧化工艺是能够在衬底（硅晶片）表面制备一层二氧化硅膜的工艺方法，是一种热处理工艺。在集成电路制造技术中，热处理工艺除了氧化工艺外，还包括退火工艺、再分布工艺以及回流工艺等。氧化工艺中，硅晶片置于通有氧气气氛的高温环境内，到达硅表面的氧原子与硅发生反应而形成二氧化硅。

在集成电路的选择掺杂工艺中，二氧化硅层是掺杂的主要屏蔽层，硅表面存在一层二氧化硅膜后，由于二氧化硅对氧的阻碍，氧化的速度逐渐降低。由于二氧化硅是绝缘体，它还可用于引线与衬底、引线与引线之间的绝缘层。另外，生成的氧化层可用以保护晶圆片表面，以防止晶圆片在运输过程中的划伤和污染。

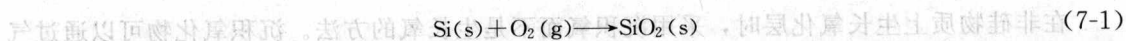
氧化工艺包括热生长氧化工艺、低温淀积氧化工艺以及其他氧化工艺。不同的氧化工艺方法所制备的二氧化硅膜的质量不同，二氧化硅膜的质量将影响其掩蔽扩散的能力、器件的可靠性、稳定性、电性能以及制造工艺等。

热氧化方法包括干氧法和湿氧法，干氧法是用氧作为氧化剂，湿氧法则是用氧和水的混合剂作为氧化剂。湿法氧化通常用于较厚氧化膜的生长，其生长速度比干法氧化快，反应所需的 H_2O 由起泡室或 H_2 和 O_2 的直接高温反应来提供。在直接高温反应法中，氢气和氧气分别被导入已加热的高温炉中，氢气在有氧存在的情况下约 $400^\circ C$ 时就能反应燃烧生成水蒸气。

影响氧化物生长速率的因素包括以下几点：①掺杂效应，重掺杂的硅要比轻掺杂的氧化速度快；②晶向，（111）面的硅原子密度比（100）面大，因此，在线性阶段（111）硅单晶的氧化速率比（100）稍快，但电荷堆积要多；③压力，生长速率将随电压增大而增大。

7.1.1 氧化过程

生成氧化层最简单的方法是在有氧环境下加热硅芯片。如果用纯净的干氧气，最终生成的氧化膜叫做干氧化层，其化学反应式如下：

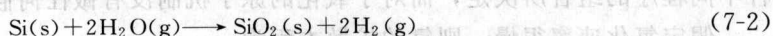


热氧化的目的是生长零缺陷、分布均匀、具有一定厚度的 SiO_2 层，如果氧化硅界面存在缺陷，或者表面情况不佳，便会干扰半导体器件特别是 MOS 晶体管的正常工作。薄氧化膜通常采用干法氧化进行生长。干氧化层在氧化硅界面几乎没有缺陷，拥有较好的质量，但是干氧化层生长起来非常慢。

在氧化炉中生长氧化膜的工艺中，先将芯片进行清洗，高温炉升温等待时，往管内通氮气进行清洗并将其温度设置在约 800°C ，在继续通氮气的情况下，将石英舟慢慢推入至反应室以防止温度变化引起芯片翘曲变形。

当芯片进入反应室后，以 $10\sim 20^\circ\text{C}/\text{min}$ 的速度升高炉子的温度。到达工艺处理所需温度后，在 N_2 气流下保持几分钟以稳定其温度，之后打开干氧气或含氯气的混合气体并停止通氮气。在氧气流动的过程中，氧化膜开始生长，到达规定的厚度后，停止供氧。并在工艺设定温度下通氮气约 30min 对晶片进行氧化后退火处理，最后将温度慢慢降低至室温，取出石英舟和晶片。

生成氧化层时，可通入水蒸气，也能够硅晶圆片上生长一层二氧化硅，最终生成的氧化膜叫做湿氧化层，其化学反应式如下：



湿氧化层的生长方法和干氧化层的一样，不同的是在加热管中有蒸汽注入，快速通过水蒸气可加速氧化，但水分子分解而释放出的氢会降低氧化层的质量，是由于湿氧化产生的氢降低了悬挂键 (dangling bond) 的浓度，但也提高了固定氧化层电荷 (fixed oxide charge)。湿氧化通常应用于生产不存在活性器件的厚固定氧化层 (field oxide)。

影响氧化的因素包括氧化温度、氧化压力、杂质浓度、晶面方向以及表面清洗等。

氧化反应随着氧化温度的升高而加快。氧化温度越高，氧分子在二氧化硅的扩散系数及在硅/二氧化硅界面的反应速率常数都将增大，从而加快氧化反应。在不同的氧化温度及时间下，氧化的厚度也有所不同。

当氧化压力增大时，氧分子扩散进入硅晶格的速率增大，则氧化速率增大，可采用高压氧化以提升氧压力而缩短氧化时间。高压氧化的优点在于可在较低的温度下进行，提高氧化速率，从而提高工艺的效率，还可减少扩散效应。氧化速率与压力之间的关系式可表示为 $R=R_{\text{latm}}P^n$ ，其中， n 的取值范围为 $0.7\sim 0.8$ 。

对于受扩散限制的氧化，即抛物线速率常数占主导地位的氧化，重掺杂硅的氧化速率主要取决于 SiO_2 中的杂质浓度，而对于受反应速率限制的氧化，生长速率就取决于硅表面的掺杂浓度。在氧化气氛中进行选择性的掺杂也可以提高氧化速率，如掺杂钠、硼或磷。钠离子会促进氧分子在氧化硅中的扩散。硼原子会向氧化层扩散并滞留在氧化层内，当硼原子的掺杂剂较大时，将会促进氧分子的扩散。磷原子会分凝 (segregate) 到硅/二氧化硅界面。另外，在氧化反应炉管中通往含氯的气体，氯气在高温下可以与金属离子形成挥发性的氯化物挥发掉，从而提高氧化速率。

由于在不同的晶面下，硅/二氧化硅界面的反应速率常数有所不同，则氧化速率也受到晶面方向的影响，氧化速率随着其表面的晶格密度的增大而增加。晶面方向对氧化的影响取决于以下两个因素：①对于一个特殊的晶向硅表面每平方厘米所有的硅键的数量；②该晶向开始反应所需要的激活能量。另外，经过不同清洗工艺的晶圆片，其氧化速率也有所不同，一般而言经硫酸清洗过的晶圆片的氧化速率较快。

在非硅物质上生长氧化层时，采用沉积氧而不是生长氧的方法。沉积氧化物可以通过气态硅化物和气态氧化剂之间的反应制得。沉积氧化物的密度低且有很多缺陷点，所以它不适合作为 MOS 晶体管的电介质，它能用于多层金属导体之间的绝缘层或作为保护层。

多晶硅的表面比单晶硅表面更粗糙，而粗糙表面所生长的氧化物的质量比在光滑表面上生长的氧化物质量差，且多晶硅是由不同晶向的晶粒所组成，各晶向具有不同的氧化速率，而晶粒在氧化过程中生长，所以多晶硅氧化比单晶硅氧化要复杂得多。对于硅化物，除了二硅化钛 (TiSi_2) 氧化后形成二氧化钛以外，其他硅化物的氧化形成二氧化硅。

由于薄膜干涉的存在，氧化层看上去是明亮的。当光线穿过透明的薄膜时，入射和反射波阵面之间的破坏性干涉会吸收特定波长的光。不同的膜厚会吸收不同颜色的光，使集成电路的微缩照片看上去是彩色的，这些不同的颜色能够帮助区分显微镜或缩微照片里集成电路的不同区域，氧化层的大概厚度能用一张氧化物颜色表来确定。

7.1.2 迪尔-格罗夫氧化模型

迪尔-格罗夫氧化模型 (deal-grove oxidation model) 是一个宏观模型，是干式硅氧化 (dry silicon oxidation) 机制，适用于生长超过 30nm 的纯氧化层。模型假设氧化速率是由两种不同程序的组合所决定，而对于氧化的原子机制没有做任何假设。

假定氧化速率很慢，则氧的扩散方程为：

$$0 = D(d^2C/dz^2)$$
 (7-3)

式中，C 是氧气物质的量浓度， mol/m^3 ，它的边界条件为 $C = C_s$ ， $z = 0$ 。则在二氧化硅表面有：

$$-D(dC/dz) = R, z = Z$$
 (7-4)

式中，R 为 SiO_2/Si 的界面处的反应速率， $\text{mol}/(\text{m}^2 \cdot \text{s})$ 。由此可知，到达界面处的氧气发生反应形成氧化物。

迪尔-格罗夫氧化模型预测线性氧化速率，若氧化层足够厚，则氧化速率呈抛物线性关系。线性区域仅仅表现在氧化的最初阶段。而穿过生长氧化层的氧扩散以及在硅/氧化物界面的化学反应，可用经典的菲克 (Fick) 扩散议程和化学速率方程来描述。热氧化模型如图 7-1 所示。

7.1.3 氧化物的结构

二氧化硅中的 $[\text{SiO}_4]$ 四面体结构如图 7-2 所示，其中，氧是二价的，硅是四价的，所有的氧原子都和两个硅原子相连。热氧化时，一些键并没有形成，其结构中存在一部分自由电荷的氧原子，即热氧化所生成为玻璃状的二氧化碳，其表现为短程有序，所形成的二氧化硅的稳定性比石英差，其性能与石英也有所差异，此硅氧化物的密度和弹性模量相比石英而言都较低 (硅氧化物的密度为 $2.2\text{g}/\text{cm}^3$ ，弹性模量为 87GPa ；石英的密度为 $2.65\text{g}/\text{cm}^3$ ，弹性模量为 107GPa)。由于硅氧化物的结构，当对二氧化硅的网状结构中掺入掺杂原子时，掺杂原子将可能成为替位型原子和间隙型原子。

由于硅氧化物的体积大于它所替代的硅的体积，氧化物是压应力的。由于体积变化，二氧化硅和硅并不能填充在界面的空间，且一些原子存在悬空键，没有完整的化合价，这可作

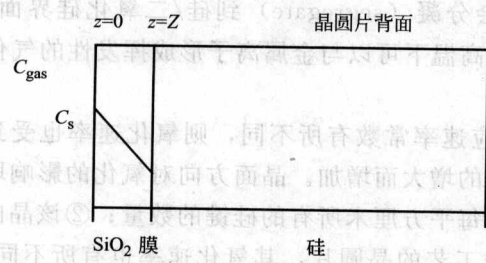


图 7-1 热氧化模型

为捕获载流子。为了增加薄膜的密度,进一步消除缺陷,热氧化经常在氮气中完成氧化退火(postoxidation anneal, POA)。另外,可采用氢气退火使悬空键钝化,使氢原子吸附到硅的自由价上,不能进一步捕获电荷,但是高电场加速了电子的运动,使器件工作时释放氢原子的能力得到进一步增强。

7.1.4 氧化物电荷

二氧化硅中包括五种电荷,即可动离子电荷、固定氧化物电荷、界面陷阱电荷、氧化物陷阱电荷以及氧化物外表面电荷。

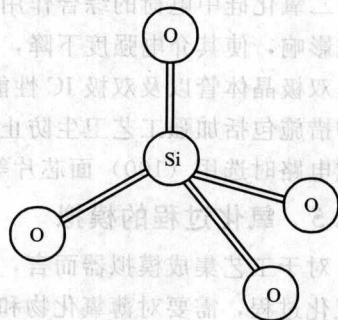


图 7-2 $[\text{SiO}_4]$ 四面体结构

可动离子电荷是指二氧化硅中可动的电离正离子电荷。可动离子电荷绝大多数为金属离子电荷和氢正离子,最重要的可动离子电荷是钠离子,可动钠离子的来源包括器件制造中的设备沾污、所用气体、化学试剂、器皿、去离子水的纯度以及操作人员的沾污等,可动钠离子电荷分布于二氧化硅/硅界面的二氧化硅一侧。混入到 SiO_2 中的可动电荷数量取决于氧化过程的洁净度。为了消除可动离子电荷,有必要减少钠介入氧化层,而钠主要来源于以下工艺过程中:①氧化炉、退火炉以及气体;②光刻胶烘烤及部分脱落;③扩散炉和气体;④栅或接触孔金属化;⑤用于硅片清洗;⑥有污染的化学品。

固定氧化物电荷是指二氧化硅中过剩的硅离子或称为氧空位。固定氧化物电荷是在二氧化硅/硅界面二氧化硅一侧距界面处 $10\sim 20\text{nm}$ 的范围内分布的,固定氧化物电荷为固定正电荷性质,其值取决于氧化环境(水或氧气)、氧化温度、硅晶向、降温速率、降温环境以及随后的退火周期。固定氧化物电荷的值是通过测量一个 MOS 电容测试器件高频 C-V 曲线的漂移电压而决定的。

界面陷阱电荷是指二氧化硅中二氧化硅与硅结构的交界处硅的剩余悬挂键。界面陷阱电荷是在二氧化硅/硅界面上分布的,界面陷阱电荷表现为电荷性质,常表现为正电荷性质。在二氧化硅/硅界面处的这些电荷可以和硅中的移动载流子(电子和空穴)进行交换,从而改变它们的带电状态。如果界面陷阱移动越过费米能级,使得能级占有率发生变化,原界面陷阱处的带电状态就随着栅压的变化而变化。这些陷阱具有贯穿硅能隙的 U 型能级分布,中间能隙处的最小能级就代表用来描述它们存在特性的浓度等级,这些陷阱电荷的密度用 $(\text{cm}^2 \cdot \text{eV})^{-1}$ 来表示。界面陷阱密度的测量技术包括:① MOS 晶体管上的电导方法;② 高频 ($>100\text{kHz}$) C-V 测试;③ 低频 ($<1\text{kHz}$) C-V 测试;④ 发射时间频谱(也被称为深层瞬态频谱)。

氧化物陷阱电荷是由于高能电子、离子、电磁辐射或其他辐射扫过带有二氧化硅的硅表面时,在二氧化硅中产生的电荷。氧化物陷阱电荷是在无外电场时在二氧化硅中随机分布的,其中的辐射电荷成对产生,密度视其作用方式和作用能量大小而定。陷阱是和二氧化硅缺陷联系在一起的(如杂质和断裂键)。可以用减少界面陷阱电荷的退火条件来将陷阱电荷减少到很小值。这些陷阱通常是不放电的,但是当电子和空穴介入到氧化层中被陷阱捕获,这些就会变成带电状态。

氧化物外表面电荷是指加工过程中的各种杂质沾污电离后形成的电荷,分布于二氧化硅的外表面上。氧化物外表面电荷中正离子沾污和负离子沾污具有同等概率,不加外电场时基本无影响。

二氧化硅中电荷的综合作用,具有使硅表面向 n 型转化的趋势,能对二氧化硅本身性质造成影响,使其介电强度下降,导致二氧化硅较低压下击穿。还能对 MOS 管、MOSIC 性能、双极晶体管以及双极 IC 性能造成很大的影响,防止二氧化硅中的电荷对器件电性能影响的措施包括加强工艺卫生防止钠离子沾污、去除钠离子以及制造 MOS 器件或规模较大的集成电路时选用(100)面芯片等。

7.1.5 氧化过程的模拟

对于工艺集成模拟器而言,氧化过程模拟和扩散模拟相结合是一个很重要组成部分。对于氧化过程,需要对薄氧化物和氧化的初期阶段的原子机理进行透彻的研究。

氧化过程模拟需要输入的参数包括晶圆片的晶向〈100〉/〈111〉、掺杂量、温度、时间以及氧化氛围(湿氧/干氧)。其他模型参数包括氧气分压(默认值为 1atm)、高浓度因素等。

湿法氧化和较厚氧化物的默认模型通常为迪尔-格罗夫模型,但是此模型不能应用到薄的干氧化物中,对此 Nnicollian 和 Reisman 提出了指数模型,其氧化模型见式(7-5)。

$$\chi_{ox} = a(t/t_0)^b \quad (7-5)$$

对于一维氧化过程,模拟器求解的结果在实验误差范围内很精确,另外,模拟器还考虑到了析出、氧化物/硅界面的杂质分布等因素。

原先在硅中的杂质会由于氧化物的生长又重新在硅和生长的氧化物中分布。杂质主要沉积于氧化物中,而从界面处的硅中消失,可逆现象也会产生。杂质原子对氧化起着重要的影响,重掺杂很明显地改变氧化速率,如若硼和生长氧化物结合,将削弱它的化学键结构,这样硼杂质在氧化物中扩散加快。只要杂质的化学势在氧化物和硅中不同,析出就会进行,析出对器件性能有重要的影响。金属原子的析出和杂质原子一样,如铝和钙优先析出在氧化物内部,将引起氧化物的质量问题,而镍和铜则将进行体扩散,此会引起降低寿命的缺陷。

7.1.6 局部氧化

局部氧化(LOCOS)的技术能实现厚氧化层选择性生长。由于衬底氧化层(pad oxide)能保护硅表面不受机械压力影响,因此局部氧化工艺开始于薄衬底氧化层的生长(如图7-3)。

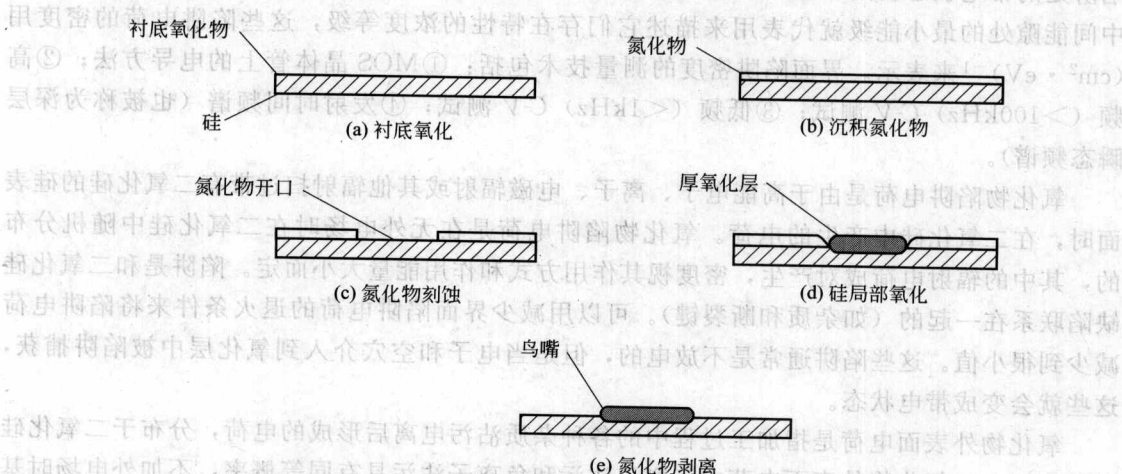


图 7-3 硅的局部氧化工艺

在对硅的局部氧化时,化学气相沉积在衬底氧化层的顶部产生一层氮化膜,用沉积氮化物(Si_3N_4)作为氧化阻挡层,氮化物阻碍了氧和水分子的扩散,因此这不能被氧化,只在氮化物开口处有氧化,所以刻蚀后的区域可用来选择性氧化,此被称为硅局部氧化(local oxidation of silicon, LOCOS)。氧化结束后氮化层被洗掉露出蚀刻后的氧化物。LOCOS的工艺流程为:热氧化、LPCVD氮化物沉积、光刻、氮化物刻蚀、去除光刻胶、清洗以及氧化。刻蚀过程包括刻蚀氮化物、氧化物和硅。为了使氧化物和硅的表面高度相等,硅的刻蚀深度大约是所要求氧化物厚度的一半。

LOCOS变量包括衬底氧化物厚度、氮化物厚度以及氧化温度。衬底是一种应力释放层,它能够减少厚氮化物施加到硅中的诱导应力位错。氮化物是氧气扩散阻挡层,掩模下生长的氧化物随氮化物的增厚而减小。

在LOCOS中,有些氧化剂能扩散到氮化物边缘下的一小段距离,产生了一个弯曲的过渡区域,叫做“鸟嘴”(bird's beak),即在局部氧化时,氧化剂穿过 SiO_2 层横向扩散,在 Si_3N_4 掩模层的边缘附近形成“鸟嘴”区域。“鸟嘴”的大小与 Si_3N_4 氧化阻挡层的厚度、氧化温度以及工艺的晶向取向相关。若 Si_3N_4 加厚,则“鸟嘴”增大,缺陷就要增加。若 SiO_2 膜加厚,则可减小缺陷,但“鸟嘴”增大。较高的氧化温度可以获得较小的“鸟嘴”。采用(111)晶向的P沟工艺比采用(100)晶向的N沟工艺有更小的“鸟嘴”。

CMOS和BiCMOS工艺用LOCOS在晶圆片的电中性区域上生长厚场区氧化层(field oxide)。场区氧化层没有覆盖的区域,由于它们在晶圆片上形成浅沟,被称为壕沟(moat)区。在壕沟区生长的非常薄的高质量栅氧(gate oxide)会成为MOS晶体管的栅(gate)电介质。

Kooi效应(Kooi effect)的机制使栅氧的生长变得复杂。LOCOS氧化中使用的水蒸气也会影响氮化物薄膜表面,产生氨水,其中的一些会迁移至靠近衬底氧化层的氮化物开口附近,并与底下的硅反应形成氮化硅。由于这些氮化沉积物处于衬底氧化层的下面,即使LOCOS氮化物被去除了它们仍旧存在。由于刻蚀是对氧化物选择性的,而不是对氮化物,即使在栅氧生长之前去除衬底氧化层也不能去掉这些沉积物。在栅氧化期间,残留的氮化物在LOCOS中起了掩模版的作用,降低了壕沟区边缘的氧化生长。在这些点的栅氧可能不够厚来承受全工作电压。先生长一薄层氧化层再去除就能避免Kooi效应。由于氮化硅氧化缓慢,这个假性栅氧(也称作替代栅氧)(dummy gate oxidation)去掉了残留的氮化物并提高了真正栅氧生长的完整性。

7.1.7 氧化时应力和图形的影响

在室温条件下测热生长二氧化硅薄膜内应力,发现存在压力,但压力相当小,剩余的氧化层内应力来自于硅和二氧化硅热膨胀系数的差值。由于氧化生成的硅氧化物的体积大于其替代的硅的体积,因此氧化物呈压应力,应力可能导致硅片翘曲变形,而且可能在衬底中产生缺陷(滑层)。

当温度升高后,压力有所增大,温度升高超过 975°C 时,产生大应力薄膜,然而在冷却时氧化层中的热应力保持了和低温生长薄膜同样的值。当工艺温度超过 800°C 时,刻入氧化层的窗口的角应力足够大到能够引起硅内部的塑性形变,且在集中应力加强扩散以及有选择地淀积钨的区域可能会发生螺旋孔。硅氧化物在 $975\sim 1000^\circ\text{C}$ 范围内存在黏性软化,可看成是具有适当弹性系数的弹性材料,此温度内氧化将会降低应力,使晶圆片呈弓形。

热氧化进行到一定程度后会产生自限制效应,使氧化物在生长到一定厚度时就不再氧

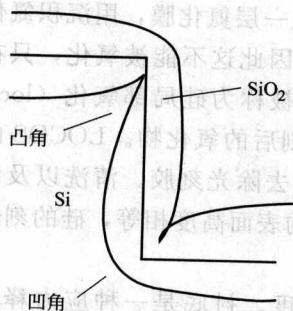


图 7-4 用氧化物减薄法氧化硅的过程中，横截面既有凸角，又有凹角

化。但是，氧化在高温下进行（如 1000℃）时，可冲破此临界应力值，从而氧化整个结构。

应力会引起非均匀氧化，造成图形中的凸角或凹角现象（如图 7-4），即造成氧化层的厚度不均匀。由于电场强度在拐角处和平面处的不同，将会引起可靠性的问题。

硅尖可通过各向同性刻蚀来制备，如图 7-5 所示，由于此方法中尖端的最终部分释放（掩模脱落）较困难，利用热氧化能够对此有所帮助。

7.1.8 氧化设备

氧化炉的简化图如图 7-6 所示。硅芯片被装在石英舟的熔融二氧化硅架子上，石英舟被慢慢地送入电加热覆盖物包裹着的熔融二氧化硅管中，硅芯片的温度随着石英舟进入加热区的中央而慢慢升高，氧气进入管子吹过每一个硅芯片的表面，在升高温度后，氧分子最终穿过氧化层扩散到底下的硅，氧和硅继续反应使氧化层渐渐增厚，随着氧化层的增厚，氧扩散的速度越来越慢，所以生长速度随时间而降低。氧化层达到需要的厚度后，硅芯片就慢慢地从炉子里退出来。

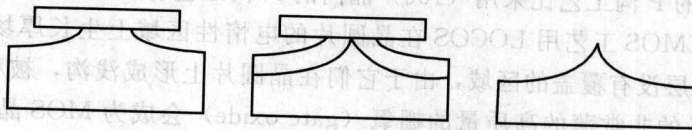


图 7-5 硅尖的制备

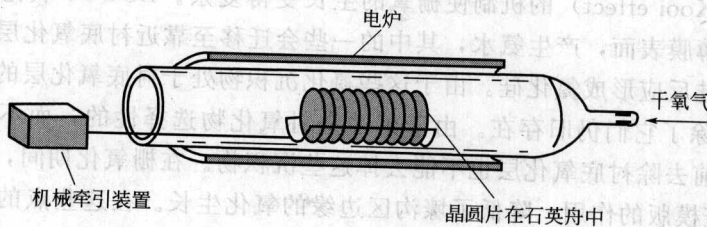


图 7-6 氧化炉的简化图

7.1.8.1 水平炉管反应炉

氧化设备包括两种系统，即水平炉管反应炉和垂直炉管反应炉，两种系统的基本工作原理是一样的。水平炉管反应炉也被称为扩散反应炉（diffusion furnace）或炉管反应炉（tube furnace），从 20 世纪 60 年代即被应用于氧化、扩散、热处理以及各种沉积工艺中。

在水平炉管反应炉中包含一个由多铝红柱石材料制成的陶瓷炉管，管的内表面有铜材料制成的加热管丝，每一段加热炉丝决定一个加热区，由相应独立的电源供电，并由比例控制器控制其温度。在反应炉里有个石英的炉管，被用作氧化反应室，它不仅保护晶圆片不受外界的污染，而且使炉管中的温度均匀。反应室是圆形的，包含一个气体源端口和装片入口，气体源端口从上到下逐渐变细直到一个圆形的接口，圆形接口与气源密封无泄漏相连。

由于石英在高温时的稳定性和洁净度，是传统的制造反应室的材料，但同时也存在一些缺陷，如易脆性以及一些金属离子的存在。石英炉管可由电熔合法和火焰熔合法来制备，用火焰熔合法制备的炉管的性能更好。石英炉管需要进行定期的清洗，可使用氢氟酸清洗，清

洗工艺应在洁净室外进行,且炉管还需要进行充分的冷却,冷却或加热的过程均会加速石英炉管钝化(devitrification)的过程,而氢氟酸清洗可以除去一层薄的石英,不断的刻蚀会减弱石英炉管的壁厚,所以石英炉管的使用寿命是有限的。

由于碳化硅的结构非常硬,且经过反复的加热和冷却后不易发生破碎现象,碳化硅已成为一种炉管和晶圆片承载器的替代材料,也成为了好的金属离子阻挡器。由于碳化硅的价格昂贵以及重量问题,阻碍了它在炉管和晶圆片承载器的应用。

7.1.8.2 垂直炉管反应炉

随着对污染更严格的控制、晶圆片直径的增大以及对生产率的要求限制了水平炉的进一步发展,以及装载的晶圆片数量的增多,炉管需增长,设备的占地面积增大,设备的投资就越大,导致了悬挂系统的开发,出现了垂直炉管反应炉。

在垂直炉管反应炉具有双层熔融石英管,惰性气体或氯化物气体可以在内外管之间流动,防止污染物扩散到内管工艺处理区域内。晶圆片被装入标准的提篮中,石英舟每批可容纳 150 片芯片,升降到中央的加热区。在工艺处理步骤之间,加热区保持在相对较低的温度下($700\sim 800^{\circ}\text{C}$),然后被慢慢升高到工艺处理温度(约 950°C)。之后慢慢降低温度,直至芯片足够凉,可被取出来为止。

垂直炉管反应炉不仅可以最大密度地装载晶圆片到炉管里,而且晶圆片可以在炉管里进行旋转,使晶圆片上的温度更加均匀。在垂直炉中,气体是平行运动的,重力的影响最小,旋转舟使湍流产生的可能性减小,所以垂直炉的均匀度比水平炉好。垂直炉还彻底地解决了水平炉中容易产生的划伤炉管内壁的问题,提供了在洁净室外面装载晶圆片的可能性,使得装载入口可开在洁净室内,则反应炉在洁净室的占地面积为零,所以垂直炉的占地面积很小。

7.1.8.3 高温炉

氧化膜的生长主要是一种批量处理工艺。该工艺与温度有密切关系,因此要严格控制沿氧化石英管长度方向上的温度,这就使高温炉在 IC 制造中成为非常关键的因素。高温炉有三种:传统的水平方向式高温炉、垂直式高温炉和快速热处理器(rapid thermal processor, RTP)。

水平式高温炉内含高温炉反应室、加热器、温度测量和控制热电偶、熔融石英管、石英舟、温度控制系统、加载站、进气和排气系统等。直到 20 世纪 80 年代中期,半导体工业主要采用热墙水平式扩散高温炉,之后,垂直式高温炉开始取代水平式高温炉。

尽管垂直式高温炉的成本比水平高温炉高,在许多应用中还是会优先选择垂直高温炉,因为垂直高温炉的工艺控制更出色、污染更小、与自动化兼容的程度更高、温度分布更加均匀。而且,芯片被平放在石英舟的中央,优化了气流的动力学行为。石英舟还可以转动,使温度和气流的波动可以平均掉,从而使它更均匀。

RTP 是一种对一单芯片处理方法,它能以 $75\sim 200^{\circ}\text{C}/\text{s}$ 的速度快速升温或快速降温,比高温炉的速度($<1^{\circ}\text{C}/\text{s}$)要快得多。RTP 可以在几秒钟之内将芯片从室温加热到 1100°C 。和高温炉相比较, RTP 具有热的预算容量更低、处理温度更高、工艺控制更好以及处理时间更短等优势。RTP 技术通常用于离子注入后的退火和活化、硅化钛和硅化钴的合金退火和活化以及快速热氧化生成超薄栅极氧化层等。对于有些应用来说,高温炉的性能已经足够满足要求而且价格更便宜,对于 300nm 芯片和 $0.18\mu\text{m}$ 生产工艺来说,对 RTP 的需求则会逐渐增加。

目前 RTP 在某些应用中正逐步取代垂直式高温炉。在热预算容量和产率要求很重要的一些工艺中,又出现了一种快速升温、小批量生产用的垂直式高温炉。

7.2 扩散

由于完全纯净或本征半导体只含有很少的热运动产生的载流子,其导电能力很低。某种杂质的添加能够极大地增加载流子的数目,甚至某些掺杂质的半导体能接近金属的导电能力,但在硅中杂质的固体溶解性是有限的。由于半导体对于杂质的极度敏感性,很难制造真正的本征物质,几乎所有的半导体器件都是由掺杂物质制造的。

掺杂是指将需要的杂质掺入特定的半导体区域中,以达到改变半导体电学性质,形成 PN 结、电阻、欧姆接触的目的。掺杂分为热扩散法掺杂和离子注入法掺杂。由光刻工艺为掺杂确定掺杂区域,在需要掺杂处(掺杂窗口)裸露出硅衬底,非掺杂区则用一定厚度的二氧化硅或者氮化硅等薄膜材料进行屏蔽,离子注入则常采用一定厚度的二氧化硅、光刻胶或这两层材料同时作为掺杂屏蔽。

掺杂用的杂质源包括 P 型杂质源(如硼)和 N 型杂质源(如磷、砷、锑)。P 型杂质源是受主型杂质源,杂质进入硅晶体中取代硅位置后提供负电离中心和空穴。此 N 型杂质源是施主型杂质源,杂质进入硅晶体中取代硅位置后提供正电离中心和电子。半导体能同时掺入受主(acceptor)型和施主(donor)型杂质源,量大的杂质决定了硅的型号和载流子的浓度。可通过加入更多的施主来把 P 型半导体转换为 N 型半导体,同样的,也能通过加入更多的受主来把 N 型半导体转换为 P 型半导体。故意添加对立极性的杂质来转换半导体的型号被称为逆向掺杂(counterdoping)。大多数现代的半导体是用有选择性的逆向掺杂硅来制作的,以形成一系列的 P-型和 N-型区域。

如果采用极端的逆向掺杂,整个晶体结构将由相同比例的受主和施主原子组成,最终的晶体只有很少的载流子,并表现为一个本征半导体,砷化镓是镓(第Ⅲ族元素)和砷(第Ⅴ族元素)的化合物,被称为Ⅲ-V 复合半导体,类似的还有磷化镓、锑化铟等。许多Ⅲ-V 化合物是直接能隙半导体(direct-bandgap semiconductor),可被用于生产发光二极管和半导体激光,砷化镓也被用于生产非常高速的固态器件,包括集成电路。

热扩散掺杂是利用原子在高温下的扩散运动,使杂质原子从浓度很高的杂质源向硅中扩散并形成一定的分布。扩散包括沉积(或预沉积)和推进(drive-in)两个步骤。预沉积是一种恒定表面源的扩散过程,在高温下加热晶圆片,让晶圆片和外部的杂质源接触,其中的一些杂质从源扩散到硅晶圆片的表面形成一浅层重掺杂区。移开外部杂质源,晶圆片被加热到一个更高的温度并保持一段时间,即在再推进过程中,使掺杂剂向更深的地方扩散。在预沉积过程中引入的杂质向下运动,形成更深的但浓度降低的扩散。如果要制作掺杂非常重的结,就不需要从晶圆片旁移开杂质源,沉积和再推进就能合并成一个步骤。

再推进是利用预沉积所形成的表面杂质层做杂质源,在高温下将这层杂质向硅体内扩散的过程。再推进是限定表面源扩散过程。再推进的时间较长,通过再推进可以在硅衬底上形成一定的杂质分布和结深。

通过扩散工艺可控制器件电性区导电类型、导电类型的改变以及器件电性区电阻率的大小,可获得平坦的 PN 结结面,以得到良好的单结特性,可任意控制 PN 结结深和基区宽度,可获得所要求的不同器件放大特性、器件频率特性、器件功率特性等器件双结特性,可

控制和改善外引电性区的接触特性。

7.2.1 扩散机理

扩散是由于物体内部的杂质浓度或温度不均匀（物体中两相的化学势不相等）而产生的一种使浓度或温度趋于均匀的定向运动。由杂质浓度梯度引起的一种使杂质浓度趋于均匀的杂质定向运动称为杂质在半导体中的扩散，它包括间隙式扩散、替位式扩散（空位式扩散）和推填式扩散。

如图 7-7 所示，间隙式扩散（如 Na、K、Fe、Cu、Au 等元素）是指杂质进入晶体后，仅占据晶格间隙，且在浓度梯度作用下，杂质从一个原子间隙到另一个相邻的原子间隙逐次跳跃前进，其扩散系数要比替位式扩散大 6~7 个数量级。替位式扩散（Ⅲ、Ⅴ族元素，如铟、砷）是指杂质进入晶体后，占据晶格原子的原子空位，在浓度梯度作用下，杂质向邻近原子空位逐次跳跃前进，替位式扩散中的替位位置是热产生的，一般在很高的温度（950~1280℃）下进行，其横向扩散严重，但对设备的要求相对较低。推填式扩散与替位式扩散是相关的，是指自填隙原子移到了晶格的位置，同时把掺杂原子撞到空隙的位置。无论是哪种扩散，每前进一步均需克服一定的势垒能量。

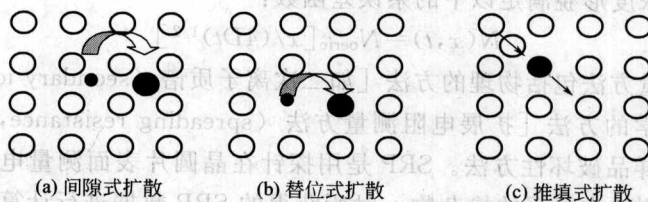


图 7-7 扩散机理

由于硼、砷、镓、磷、铟、钢等的替位式扩散和推填式扩散的激活能量较高（在 3.5~4eV 范围内），这些杂质的扩散必须在高温下进行。磷、硼、砷等在二氧化硅层中的扩散系数均远小于在硅中的扩散系数，可以利用氧化层作为杂质扩散的掩蔽层。另外，许多金属杂质的间隙式扩散的激活能量较替位式扩散的激活能量低，仅为 1~1.5eV，这些金属杂质进行间隙式扩散时所要求的温度要比替位式扩散杂质低得多。

扩散的过程受到很多条件的限制。扩散只能在晶圆片表面进行，限制了能制造的几何图案。杂质扩散到氧化层窗口边缘以下，扩大了扩散的图案。杂质扩散不均衡，所以最终的扩散没有稳定的掺杂特性。由于隔离机制，扩散和氧化相互作用，结果形成耗尽区或加强表面掺杂程度。另外，一种掺杂的存在会影响其他的扩散速度，扩散之间也是相互影响、相互作用的。

7.2.2 扩散时的掺杂剖面形貌

掺杂的浓度由扩散流量所决定，阿道夫·菲克（Adolf Fick）对于原子迁移速率的描述进行了研究，并在 1855 年就得出扩散中原子的通量与质量浓度梯度成正比的结论，即通过菲克（Fick）第一定律描述为：

$$J = -D \frac{d\rho}{dx} \quad (7-6)$$

式中， J 为扩散通量， $\text{kg}/(\text{m}^2 \cdot \text{s})$ ，表示单位时间内通过垂直于扩散方向 x 的单位面积的扩散物质质量； D 为扩散系数， m^2/s ； ρ 为扩散物质的质量浓度， kg/m^3 。式中的负号表示物质的扩散方向与质量浓度梯度 $d\rho/dx$ 方向相反，即物质从高的质量浓度区向低的质量

浓度区方向迁移。其中, 扩散系数 (diffusion coefficient) D 是描述扩散速度的重要物理量, 它相当于浓度梯度为 1 时的扩散通量, 可表示为:

$$D = D_0 e^{(-E_a/kT)} \quad (7-7)$$

式中, D_0 为频率 (大约为 $10^{13} \sim 10^{14}$ Hz); E_a 为激活能量; k 为玻尔兹曼常数 (1.38×10^{-23} J/K 或者 8.62×10^{-5} eV/K); T 为热力学温度, K。频率 D_0 与晶格振动有关, 激活能量 E_a 与杂质必须克服的能量壁垒有关。扩散随 D 值的增大而加快。对于固态金属中的扩散, D 值都很小。

掺杂剂的供应可分为有限掺杂剂供应和无限掺杂剂供应。有限掺杂剂供应中掺杂剂为常量, 即掺杂剂的供应是有限的, 在掺杂过程中不存在新的掺杂剂的引入, 这种掺杂中扩散深度随扩散时间的延长而加深, 表面的掺杂浓度却不断下降。其中, 硅中掺杂剂的浓度形貌满足高斯方程:

$$N(x, t) = [Q_0 / (\pi Dt)^{1/2}] \exp[-(x^2 / 4Dt)] \quad (7-8)$$

无限掺杂剂供应是常量表面掺杂浓度扩散, 在掺杂过程中新的掺杂剂被不断地引入, 扩散深度随扩散时间的延长而加深, 与有限掺杂剂供应相比, 其表面的掺杂浓度是不变的。其中, 硅中掺杂剂的浓度形貌满足以下的余误差函数:

$$N(x, t) = N_{\text{surf}} \operatorname{erfc}[x / (4Dt)^{1/2}] \quad (7-9)$$

扩散形貌的测量方法包括物理的方法 [如二次离子质谱 (secondary ion mass spectrometry, SIMS)] 或电学的方法 [扩展电阻测量方法 (spreading resistance, SRP)], SIMS 和 SRP 两种方法均为样品破坏性方法。SRP 是用探针在晶圆片表面测量电阻, 而后进行倾斜或阳极氧化以便探测硅中更深的掺杂物, 对所获得的 SRP 数据进行计算而获得掺杂剂剖面形貌。

7.2.3 扩散模拟

由于在整个工艺过程中所有的高温工艺步骤都会促进扩散, 扩散是一个从头至尾都必须模拟的工艺。一个标准的对于扩散模拟的模拟器需要的输入数据包括以下几个。

- ① 硅片晶向 $\langle 100 \rangle / \langle 111 \rangle$ 。
- ② 硅片掺杂级别或电阻率。
- ③ 掺杂类型。
- ④ 掺杂剂的浓度。
- ⑤ 温度。
- ⑥ 周围环境 (如氧化情况、惰性气体或还原剂)。

7.2.4 扩散应用

由于离子注入可以更加精确地控制掺杂的分布, 在 IC 制造业中的大部分情况下, 热扩散已经被离子注入所取代了, 但是相对离子注入而言, 热扩散仍然有其优点而被应用在一些不太严格的工艺步骤中, 如热扩散的速度比离子注入快, 热扩散的设备相比离子注入也要更加简单等。另外, 虽然热扩散中杂质会向两侧扩散, 但这对于真空器件而言有时是有利的。

7.2.5 扩散设备

扩散是在水平或垂直的炉管中进行的, 所用的设备基本与氧化设备相同 (如 7.1.8 中所描述的设备)。

图 7-8 是简化的典型磷扩散设备图。长的熔融硅管子穿过电炉，电炉能在管子的中部产生一个非常稳定的加热区，晶圆片装上石英舟后，通过控制插入速率的机构慢慢地被推进炉子，干氧被注入装有液体三氯化磷 (POCl_3) 的瓶子，一小部分 POCl_3 蒸发并由气流带到晶圆片，由 POCl_3 分解出的磷原子扩散到氧化层，形成掺杂氧化物，它起到了沉积源的作用，当经过足够长的时间，大量的杂质沉积在硅上后，晶圆片撤出炉子并去除掺杂的氧化物。之后将晶圆片装入另一个炉子，加热以驱使磷向下扩散形成需要的扩散。

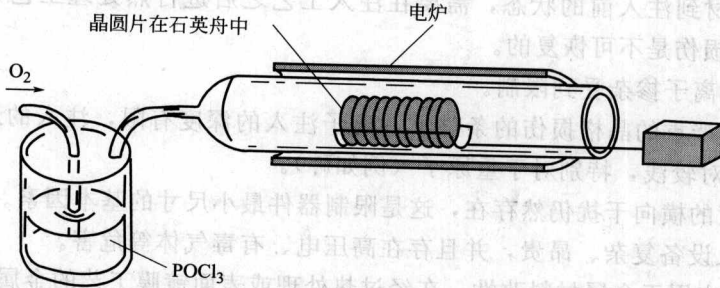


图 7-8 用 POCl_3 源的磷扩散炉简图

7.3 离子注入

7.3.1 简介

微电子工业发展的标志在于集成电路生产的集成度、线宽、芯片直径等。离子注入技术 (ion implantation) 是集成电路生产中的一项关键技术，随着集成度的提高，注入次数不断增加，对离子注入技术的要求也越来越高。

离子注入掺杂是指杂质通过离化、加速形成高能离子流后靠能量打入半导体材料的规定区域、活化形成杂质分布的过程。由于离子注入技术具有很好的可控性和重复性，可根据电路或器件参数的要求，设计出理想的杂质分布并加以实现。

离子注入掺杂的目的包括两个：①是利用注入离子实现绝缘型高分子的极化，制备高分子驻极体；②是利用注入离子与被掺杂材料分子的相互作用，改变其荷电状态，从而增加载流子密度，提高导电性能。掺杂工艺的目的是在晶圆片表层内建立兜形区，富含中子 (N 型) 或富含空穴 (P 型)，在电路中的晶体管、二极管、电容器、电阻器都依靠这些兜形区形成电性活跃区和 PN 结来工作。掺杂剂种类较多，通常有三氯化磷、五氯化磷、三氯化砷、五氯化砷、三氯化硼、三氯化硼、磷烷、砷烷、乙硼烷等。

与热扩散掺杂相比，离子注入掺杂具有以下优点。

① 离子注入可通过调节注入离子的能量和数量，精确控制掺杂的深度和浓度以及杂质分布，尤其是需要浅 PN 结和特殊形状的杂质浓度分布时，离子注入掺杂可保证其精确度和重复性。

② 离子注入的杂质分布准直性好，即横向扩展比扩散要小得多，且掺杂位置准确，有利于获得精确的浅条掺杂，可提高电路的集成度和成品率。

③ 离子注入可实现大面积均匀掺杂并有高的掺杂浓度。

④ 离子注入不受化学结合力、扩散系数和固溶度等的限制，能在任意所需的温度下进

行掺杂,而且离子注入的温度低(可小于 600°C)。

⑤ 离子注入可达到高纯度掺杂的要求,避免有害物质进入半导体材料,可以提高半导体器件的性能。

⑥ 离子注入可以注入各种各样的元素。离子注入掺杂正在取代热扩散掺杂技术。离子注入也存在以下的一些问题与局限性。

① 离子注入会引起靶材的结构损伤。例如,在单晶硅片中,产生了晶格缺陷甚至多晶硅,为了恢复靶材到注入前的状态,需要在注入工艺之后进行热处理工艺,但在某些情况下,严重的注入损伤是不可恢复的。

② 高浓度的离子掺杂受到限制。

③ 在不存在严重的晶格损伤的条件下,离子注入的深度有限,注入的最大深度在常规的注入机上都相对较浅,特别对于重原子(例如砷)。

④ 注入元素的横向干扰仍然存在,这是限制器件最小尺寸的基本因素。

⑤ 离子注入设备复杂、昂贵,并且存在高压电、有毒气体等危害。

离子注入可应用于金属材料改性,在经过热处理或表面镀膜工艺的金属材料上注入一定量的离子到金属材料表面,可改变材料的声学、光学和超导性能,提高材料的工作硬度、耐磨损性、抗腐蚀性和抗氧化性,最终延长材料工作寿命。在半导体工艺技术中,离子注入具有高精度的剂量均匀性和重复性,可以获得理想的掺杂浓度和集成度,使电路的集成、速度、成品率和寿命大为提高,成本及功耗降低。离子注入技术在 IC 制造中,可应用于对 MOS 晶体管阈值电压的控制、自对准金属栅结构、CMOS 结构等。

7.3.2 离子注入的基本原理

与扩散相似,离子注入掺杂可分为离子注入和退火再分布两个步骤。离子注入是通过高能离子束轰击硅片表面,在掺杂窗口处,杂质离子被注入硅本体,而在其他部位,由于硅表面存在保护层,可以屏蔽杂质离子,如此便可完成选择性掺杂,进入硅中的杂质离子在一定的位罝形成一定的分布。

离子进入硅结构中,由于和周围原子的碰撞而开始减速,每次碰撞都把运动中的离子的动能转移到固定的原子上。离子束一边快速传播一边散发出能量,注入以一种四散(outdiffusion)的方法展开。有些原子因为碰撞而被撞出结构,晶圆片结构的损坏只有通过适度的温度($800\sim 900^{\circ}\text{C}$)里保持几分钟退火才能修复。硅原子变成可移动的,在注入区域边缘的未碰撞的硅晶体结构则作为晶体生长的种子,损坏从注入区朝着中央慢慢移动。如果接下来晶圆片被加热到非常高的温度,离子注入的杂质会因为热扩散而重新分布。则可以通过先注入所需的杂质然后推进他们向下到设定的结深度来制造深的轻掺杂扩散。

离子注入的杂质的浓度和注入计量有直接的比例关系,注入计量又等于离子束电流和时间的乘积,可以精确进行监测和控制。所以离子注入能够提供良好的可重复性。掺杂特性由单独的离子得到的能量(即注入能量的量)所决定,低能量的注入是非常浅的。离子注入能用于把表面下的(subsurface)区反转成埋层(buried layer),由于注入能量的实际限制,这些埋层通常都非常浅。掺杂深度由注入杂质离子的能量和质量所决定,而掺杂浓度由注入杂质离子的数目决定。

通过控制加速电压(可达 MeV 以上)可控制杂质离子的注入深度,而通过控制离子流的大小 I 和注入时间 t ,可精确控制注入离子的个数 n ,离子的个数 n 与这些参数的关系如下:

$$n = \frac{It}{e} \quad (7-10)$$

式中, e 为电子电量 (其值为 $1.60218 \times 10^{-19} \text{C}$)。

离子在注入时存在电子碰撞和原子碰撞两种能量损失的类型。电子碰撞 (与核外电子作用) 中离子质量比电子质量大很多, 每次碰撞后离子能量损失小, 产生小角度散射。原子碰撞 (同核碰撞) 中由于两者质量相当, 能量损失大, 产生大角度的散射。

为了获得特定的注入浓度和杂质分布, 需要正确选择注入剂量和能量。在注入靶上放置晶体样品时, 以注入束为基准, 必须偏离任何特征晶向 $5^\circ \sim 7^\circ$, 以避免在沟道方向离子具有很大的射程 (沟道效应)。这样, 晶体靶可近似作为非晶靶处理。离子注入技术所得到的掺杂原子在半导体表面 ($x=0$) 下的分布可用高斯公式表示:

$$N(x) = (\phi / \sqrt{2\pi} \Delta R_p) \exp[-(x - R_p)^2 / 2(\Delta R_p)^2] \quad (7-11)$$

式中, ϕ 是离子流量或每平方厘米上的离子剂量; R_p 是杂质离子在半导体材料中的范围, 是离子质量和注入能量的函数; ΔR_p 是杂质的离散度 (straggle), 也与离子的质量和能量有关。图 7-9 为注入离子在非晶靶中的杂质浓度分布。

其中, 当

$$N/N_p = 1/\sqrt{e} \text{ 时, } x = R_p + \Delta R_p$$

$$N/N_p = 10^{-2} \text{ 时, } x = R_p + 3\Delta R_p$$

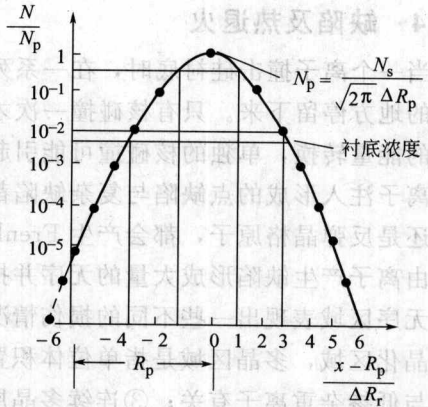


图 7-9 注入离子在非晶靶中的浓度分布

7.3.3 注入工艺

离子注入工艺的总体目标是将所需要的元素原子掺入目标材料, 为达到此目标必需满足的注入工艺包括以下几个方面。

- ① 注入元素必须达到指定数量, 则设备必需能够精确地注入与监测注入元素的数量。
 - ② 注入元素必须准确地停留在表面以下指定深度, 为此, 模型必须能够预测在注入与退火之后离子在注入层中的情况, 模型还必须能够准确地描述在不同的注入元素、不同能量、不同掺杂时, 不同的衬底结构以及在硅衬底上的各种薄膜结构的影响。
 - ③ 注入必须限制在衬底的指定区域, 即需要有足够多的掩蔽结构来阻挡注入。
 - ④ 应该可以电激活注入掺杂元素, 知道在硅晶格中注入的原子是如何电激活的。
 - ⑤ 尽量减少注入过程中对硅的晶体结构的改变, 存在一个模型能够描述注入是如何影响晶格的, 包括损伤的类型以及它在衬底中的位置, 同时能够描述在不同的注入元素、能量、掺杂、晶体结构与方向以及衬底温度下注入的情况, 还应存在一个相关的模型用以预测晶格是如何最接近地恢复到注入前的状态以及描述在不同的退火处理后存在剩余的晶格缺陷。
- 离子注入时, 离子并未与电子或原子核发生碰撞, 而是穿过了晶格间隙使得离子比发生碰撞的原子穿透得更深。对于它的控制方法主要有以下几种: 倾斜硅片, 偏离垂直方向 7° 以大于临界角注入; 屏蔽氧化层; 在硅中预先注入点不活泼粒子 Si^+ , 进行硅预非晶化; 用

质量较大的原子。

在 IC 制造中,为了限制离子进入不需要注入的衬底区域,要在芯片表面加一层掩蔽膜,许多材料可被用来作为掩蔽层,例如, SiO_2 、 Si_3N_4 、多晶硅、金属膜以及聚酰亚胺等材料。掩蔽材料应具有以下几点特性:在最小的厚度内能阻挡离子的能力;与显微技术相匹配;掩蔽膜不可以沾污芯片表面;可以容易地被去除。掩蔽膜材料的最小厚度要求能阻止给出的偶发离子的比率,该比率可以通过离子参数估算出来。

7.3.4 缺陷及热退火

当一个离子撞击硅衬底时,在一系列的核碰撞与电子碰撞中失去能量,并在几百原子层以下的地方停留下来。只有核碰撞一次才能取代硅原子的位置,此被称为损伤或倾斜。根据不同的能量转换,单独的核碰撞可能引起不同种类的置换事件。

离子注入形成的点缺陷与复杂缺陷都难以表现,每个晶格原子的置换,不论是用基本离子束还是反弹晶格原子,都会产生 Frenkel 缺陷,缺陷包括空位、双空位、高价空位以及间隙。由离子产生缺陷形成大量的无序并把动能积累在此区域(如图 7-10 所示)。

无序区域表现出一些不同的损伤情况:①单晶硅中单独的点缺陷或缺陷簇;②一个局部的多晶化区域,多晶区域是指单位体积置换原子数近似等于半导体的原子密度的区域,这种损伤与低掺杂重离子有关;③连续多晶层,由于离子堆积,当离子数(特别是重离子)增加及相应的局部多晶区增加到一定数量时就形成了多晶层。其中,①和②属于基本晶体缺陷范畴,③属于多晶损伤。

注入后的置换原子数量总是比注入原子数量多,这与损伤和类型无关,这些置换原子将会降低损伤区域中的迁移率,并在能带中形成损伤能级,由于相对较大的置换原子数,以及一些注入杂质填充空位,没有经过退火的注入区域将呈现高阻现象。

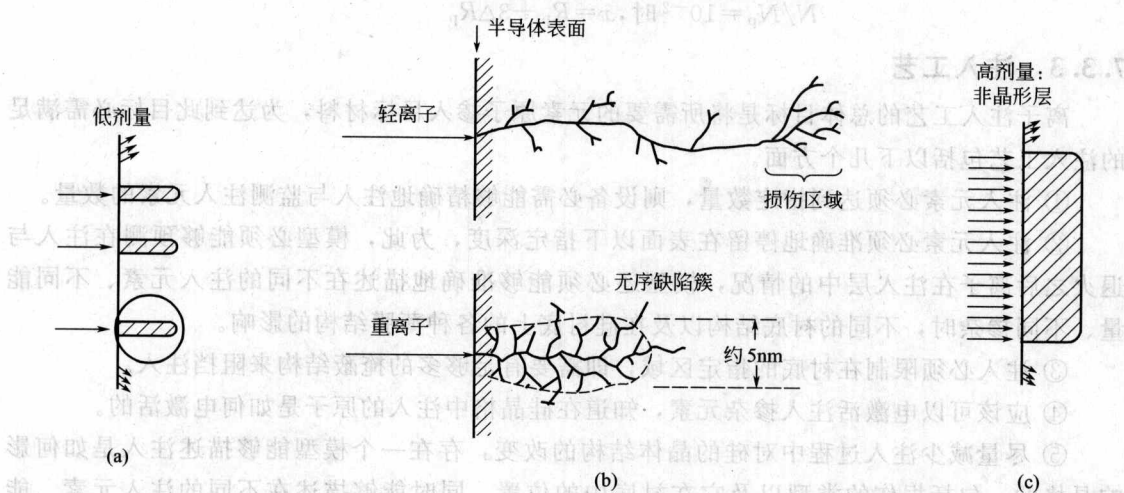


图 7-10 离子注入缺陷示意

离子注入导致晶体的晶格破坏,造成损伤,必须经过加温退火才能恢复晶格的完整性。同时,为了使注入杂质起到所需的施主或受主作用,必须有一个加温的激活过程。这两种作用结合在一起,称为离子注入退火。这种退火包括高温热退火(约 900°C)和瞬态高温退火两种方式。

在集成电路工艺中,高温热退火往往与注入后的其他高温工艺一并完成。这些高温工艺

会引起杂质的再一次扩散,从而改变原有的杂质分布,在一定程度上破坏离子注入的理想分布,高温过程也可使过饱和的注入杂质失活。

瞬态高温退火是一种较新的退火方式,它能够满足超大规模集成电路对高浓度、浅PN结以及很少侧向扩散的要求,其包括激光、电子束或红外辐照等瞬态退火。虽然瞬态高温退火也属于高温工艺,由于其加热晶体的时间极短,此工艺既能使晶体恢复完整性,又可避免发生明显的杂质扩散。

对于基本晶体损伤的退火,即针对单独的点缺陷、点缺陷族以及局部多晶区的退火,都具有相同的退火表现。在低温时(小于 500°C 时)空位与间隙原子会复合在一起,因此会去掉陷阱。在较高的温度(在 $500\sim 600^{\circ}\text{C}$ 范围内)开始形成位错,这些位错可以容纳杂质离子的温度(在 $900\sim 1000^{\circ}\text{C}$ 范围内)可以使这些位错消失。由于在硅中的杂质扩散活化能总是比硅的自扩散要小,在升温时缺陷消失率要比杂质扩散率大,即退火温度越高越好,其上限由设计时允许的最深的结深而定的。

向硅表面延伸的连续多晶层退火时会发生固相外延(solid phase epitaxial, SPE),其退火温度在 $500\sim 600^{\circ}\text{C}$ 之间,即在晶体衬底部发生的重结晶过程,且向表面生长。在 600°C 时多晶层的再生长需要几分钟,根据不同晶向和注入元素,会有不同速度。SPE再生长时掺杂杂质原子进入空位晶格,而在多晶层的完全电活性可以通过相对较低的温度来获得。注入超过多晶层的杂质必须用较高的温度来电激活在基本晶体损伤区域的杂质。根据不同的注入元素与掺杂要有特定的最小时间与温度。

如果多晶层不向所有的方向向表面延伸,将会有不同的退火处理,即在本多晶/单晶界面和表面以下的再生长界面都会发生SPE,这个结合部有一个严重损伤层,可能会使器件性能降低,所以需要慎重选择离子注入来形成掩埋多晶层。

在离子注入后进行快速热退火处理,是以每秒升温 100°C 以上的速度将注入杂质后的硅芯片升温,升到 1000°C 左右后,保持数秒后快速降温,使硅芯片表面的晶格恢复并激活杂质原子。根据注入的杂质数量不同,退火温度在 $450\sim 950^{\circ}\text{C}$ 之间,掺杂浓度越大则退火温度越高、退火时间越长,温度越高,杂质的激活就越充分。有时在退火的同时还要进行后续的高温处理以获得所需的结深和分布。

7.3.5 离子注入模拟

无定形化的问题容易模拟,因为硅是一种单晶材料。许多模拟器使用单晶硅材料参数,但是忽略了实际的晶体结构。一种典型的半分析的注入模拟的输入包括硅片类型和掺杂浓度、离子成分、能量以及剂量。

对比许多半分析的注入模拟,蒙特卡罗(Monte Carlo, MC)模拟真实地把硅晶格结构都考虑进去了。蒙特卡罗模拟不仅能够预测范围和蔓延,它还能够进行物理基础的损伤预测,包括对无定形化的预测。当然,蒙特卡罗模拟需要的计算机计算比半分析模拟更多。对于注入和其他的离子束工艺,SRIM(simulation of ranges of ions in matter)模拟器是一种广泛使用的蒙特卡罗模拟器。

模拟的精确性在尝试峰值附近是非常好的,但是在尾部区域变得很差,这部分是由于离子沟道效应所引起的,这些沟道效应不容易在半分析基于瞬时的模拟器中被补充进去。沟道效应是一种离子被引导到硅晶格平面之间的一种现象,这种现象对轻离子更明显,并且在 $\langle 100 \rangle$ 方向上比 $\langle 111 \rangle$ 方向上明显,因为 $\langle 111 \rangle$ 方向上有一个较小的开放结构。对于更重的原子,那些偏差可能来自于非晶化的处理。在最初的时候可以使用单晶材料参数,但是随

着剂量的增加模拟器采用非晶硅的材料参数来做进一步的计算。

7.3.6 离子注入的设备

离子注入机是一种特殊的粒子加速器，用来加速杂质原子，使他们能穿透硅晶体到达几微米的深度，其比传统的沉积扩散有更好的杂质浓度和特性控制，然而离子注入需要相应的长注入时间，且离子注入机是很复杂、昂贵的器件。许多是使用扩散和注入结合的方法降低总的成本。

离子注入机是 VLSI 生产过程中最复杂的系统，半导体掺杂用离子注入机的能量范围为 20~400keV。离子注入机有先分析后加速和先加速后分析两种。在先分析后加速的结构中，离子源和磁分析器（分析磁铁）处于高电位，靶室处于低电位（如图 7-11）。

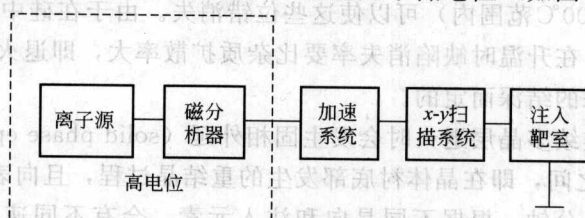


图 7-11 离子注入机框图

离子注入机包括气体或蒸气供应系统、离子源（ion source）、离子束传输（ion beam transport）、真空系统、终端站（end station）、电源供应系统以及自动控制系统七个子系统。

在大多数的半导体应用中，气体是较常用的离子注入材料（如 BF_2 、 BCl_3 、 PH_3 、 SiCl_4 等），其优点是操作简便，气体或蒸气供应系统即是提供离子源所需的内含离子元素的气体，有一个可调节的阀门来控制进入离子源的气体流量。

离子源拥有自己的电源和真空泵，其作用在于将要注入的气体电离成离子，离子通常是从电弧放电或冷阴极源的电离碰撞中产生的。离子源提供了离子化的杂质原子，这些原子将在缩小的线性加速器的电场中被加速。一般情况下，离子源提供的是单电荷离子，微电子术中常用的离子源电离物质为三氟化硼、磷烷和砷烷等。通常离子注入机所使用的是弗里曼（Freeman）或加强型的伯纳（Bernas）式离子源。Freeman 型热阴极离子源如图 7-12 所示，通常被用于中束流的注入机。

离子束传输系统是根据离子的质量选择所需的元素离子并聚集离子束，给予设定的能量，使其能有效地传输至芯片上。由于离子束是供给源材料中的不同分子和原子的混合，抽出的离子流必须是被分析离子利用 15~40keV 的电压从离子源中抽出，然后再被分析，根据它们的质量分成几束，这是用磁分析器（magnetic analyzer）来完成的，磁分析器起着提纯的作用，会挑出所需种类的离子，将不需要的离子偏离掉，只让所需的离子通过，经加速扫描后达到注入靶上。离子的偏转半径 $r_0(\text{cm})$ ，加速电压 V 以及分析磁场，将取决于离子的荷质比：

$$r_0 = (143.95/H)(MV/n)^{1/2} \quad (7-12)$$

式中， H 是磁场强度，Gs； M 是离子质量，a. m. u.； V 是加速电压，V； n 是离子电荷数。通过调节磁场强度来使所需的离子元素有一定的半径来通过分解并进入加速腔。分解缝的材料可能会被溅射到靶材上，所以分解缝选用低溅射而且不会在 Si 中产生电破坏的材料（如石墨）。离子束吸取电极对离子束的吸取会受到吸取电压及离子密度的影响。

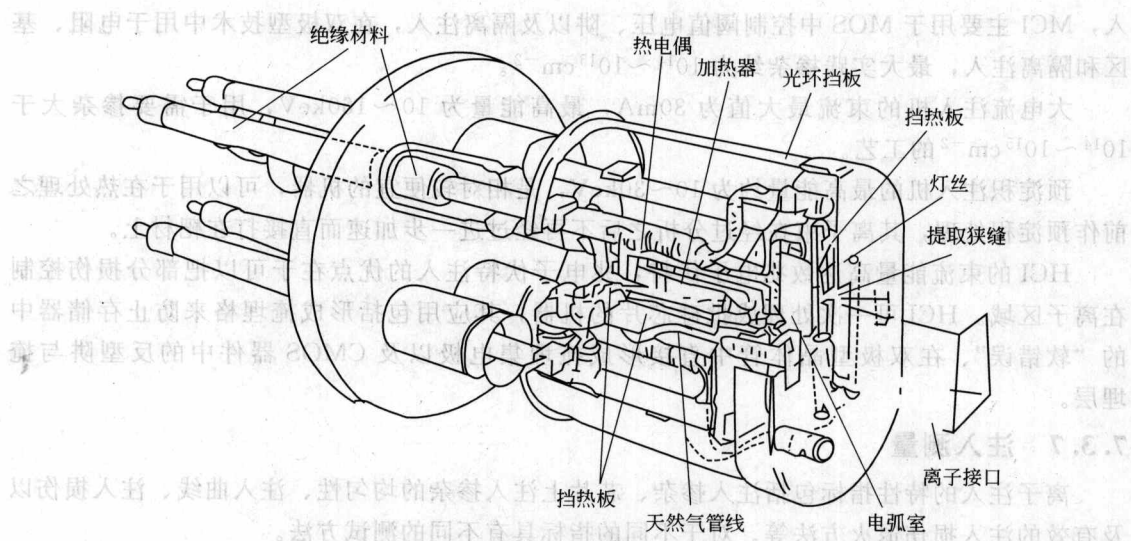


图 7-12 Freeman 型热阴极离子源

质谱分析仪是将吸取出的离子加以过滤，电磁透镜则是将离子束聚集起来。为了减小流的传输损失，离子注入机通常采用单透镜和四极透镜进行离子束聚焦，使得在传输离子时能有较高的效益，将离子源所产生的离子尽可能地送入离子注入腔，同时聚集好离子束，才能确保离子注入剂量的均匀性。

在加速腔中产生加速电场使离子达到所需要的能量，或者检速离子使之达到小于抽出电场的能量。离子束也被聚焦成特定的大小与形状，根据不同的设备可以用圆形或条状束斑。其中加速管主要包括直流电与射频式两类。

离子注入机还需清洁的真空条件，如无油污，整机真空度为 1×10^{-4} Pa，靶室真空度为 10^{-5} Pa，则需要使用许多的真空泵以满足系统的真空要求。高真空系统对源、加速腔、束腔和终端站抽真空，一般为小于 10^{-6} Torr ($1 \text{ Torr} = 133.322 \text{ Pa}$)，高真空用于减小离子束与气体原子碰撞而变成中性束。其中，干泵用于束腔和末级以防止扩散泵的油倒流，分子泵用于对离子源抽真空。

终端站系统是芯片接受离子注入的地方，包括装片、持片和定位的子系统以及芯片机械扫描系统。离子束大小与剂量的测量，是以法拉第杯 (Faraday cup) 来得到的。由于离子束对靶材的轰击会产生二级电子发射，这些电子掉到其他地方将会产生错误掺杂。法拉第杯包围靶材并有一个在缝周围的开口，得到一个数百伏特的负偏压，这个方法可以收集到大多数二级电子，减小了掺杂错误。而扫描系统则用来使离子束均匀覆盖靶材。

离子注入机还需要可靠而稳定的电源和控制系统。电源供应系统用以提供各功能模块所需要的高、低电压源及高电流电源。而自动控制系统可以提供不同的自动化程度来操作注入机。主控计算机透过光纤网络，控制各功能模块来执行各相指令，同时收集各功能模块的输出，以得到正确的注入结果。

针对 VLSI 生产中的不同注入，形成了不同类型的注入设备。在半导体研究与生产领域中有中等电流注入机 (medium-current implanters, MCI)、大电流注入机、预淀积注入机和高电流注入机 (high-current implanters, HCI) 四种离子注入机。

MCI 的束流最大值为 2mA，最高能量为 200keV，其一次只对一片晶圆片进行离子注

入, MCI 主要用于 MOS 中控制阈值电压、阱以及隔离注入, 在双极型技术中用于电阻、基区和隔离注入, 最大实践掺杂约为 $10^{14} \sim 10^{15} \text{ cm}^{-2}$ 。

大电流注入机的束流最大值为 30mA, 最高能量为 $10 \sim 160 \text{ keV}$, 用于需要掺杂大于 $10^{14} \sim 10^{15} \text{ cm}^{-2}$ 的工艺。

预淀积注入机的最高能量约为 $10 \sim 30 \text{ keV}$, 是相对较便宜的机器, 可以用于在热处理之前作预淀积处理, 其离子束在经过分析之后不再经过进一步加速而直接打在靶材上。

HCI 的束流能量高达数兆电子伏特, 兆电子伏特注入的优点在于可以把部分损伤控制在离子区域。HCI 可一次处理成批硅芯片的机器, 其应用包括形成掩埋格来防止存储器中的“软错误”、在双极型晶体管中直接形成掩埋集电极以及 CMOS 器件中的反型阱与掩埋层。

7.3.7 注入测量

离子注入的特性指标包括注入掺杂、芯片上注入掺杂的均匀性、注入曲线、注入损伤以及有效的注入损伤退火方法等。对于不同的指标具有不同的测试方法。

注入后检测是由四探针测面电阻 (4PP)、光学测量法以及电容-电压法三种技术组成。4PP 是最常用的技术, 因为它的测量范围广, 掺杂在 10^{12} cm^{-2} 以上便可以直接测量得出, 而使用特殊双扩散技术可以把其测量范围延伸到 10^{10} cm^{-2} 范围。4PP 可用来测量注入过的硅芯片的方块电阻, 是一种简单的控制掺杂的测量方法, 但由于硅芯片在进行此测量之前必须进行清洗和退火, 它是一个相当慢的反馈环路。另外, 由于在 4PP 测量时使得硅芯片和金属接触, 导致了硅芯片的污染, 晶片在 4PP 测量之后必须被废弃。

掺杂在 10^{10} cm^{-2} 范围以下的可选择使用光学测量法, 其是基于测量暴露在离子束下的光刻胶变黑的情况。试验片是将光刻胶均匀地涂在透明的衬底上, 注入前光刻胶被测量扫描仪扫描, 并用计算机记录下它的背景光学吸收参数, 注入后衬底再次被扫描, 再作出轮廓图, 可以获得比四探针技术更高的分辨率。尽管光测量的方法比四探针法精度要低一些, 但在某些应用中还是很适用的, 如不需要注入后的工艺步骤。而电容-电压技术对低掺杂的注入应用中的监测是非常有用的, 如 MOS 器件的阈值电压的控制。

注入损伤以及不同退火之后存在的损伤引起的横向表面缺陷 (如氧化引起的积累失效和贯穿表面的位错) 可以用化学刻蚀、扫描电子显微镜 (SEM) 或光学显微检查来检测。由于在位错中心附近的形变区域会有更多的电子-空穴复合发生, SEM 也可以用于“电子流引起的电导”或用 EBIC 模式来确定位错的位置。

损伤在表面以下浅层产生的缺陷及多晶区可以用电子显微、X 射线技术、Rutherford 反射质谱、锥形槽轮廓曲线测定仪以及角度重叠边缘曲线测定仪 (ALEP) 来检测。

电子显微的分辨率可以对缺陷特征和多晶区进行直接观察, 透视电子显微可以提供表面以下的损伤类型与深度的数据, 而平面电子显微可以给出损伤的空间位置。X 射线技术可以用于观测晶面变形的图形, 如展示存在于整个芯片中的位错与缝隙。Rutherford 反射质谱可以给出某些杂质原子在硅晶格中的位置, 以及在退火之后的完整程度。锥形槽轮廓曲线测定仪和 ALEP 可以迅速准确给出多晶层和掩埋多晶层的深度。在 ALEP 技术中, 芯片被斜削, 并用可以迅速除去多晶硅而保留单晶层的化学腐蚀剂来进行刻蚀, 可使刻画出掩埋多晶层。

8

晶片键合技术

8.1 概述

晶片键合技术 (wafer bonding) 是把两片抛光晶片经表面清洁处理, 在室温下预键合后经高温热处理而成为一个整体的技术。早在 1792 年, Desagulier 就发现两个球形铅块在外界压力的作用下会紧紧地吸附在一起, 这是关于键合的最早报道。Lord Rayleigh 最早系统地研究了玻璃片之间的相互键合, 并在光学工业中得以应用。在 20 世纪 60~70 年代期间, 逐渐产生了应用于不同器件结构的高温晶片键合技术, 由于当时键合的机理都是依赖于一定的机械压力下通过高温扩散工艺对晶片进行融合, 不能成为大规模光电器件制作中的主流技术。晶片键合技术的真正发展始于 80 年代, 特别是在 1985 年底 IBM 公司的 Laskey 和东芝公司的 Shimbo 等提出了硅片直接键合技术 (silicon direct bonding technique, SDB) 后, 才使得晶片键合技术得到了广泛的应用。键合技术开辟了制作 SOI 材料及其他复合材料的新途径, 被广泛地应用于光电子器件、微电子电路、传感器、功率器件、微机械加工等领域。

8.2 晶片键合的基本原理及其要求

晶片键合的基本工艺流程主要包括晶片的表面处、室温下晶片的预键合以及晶片对的热处理三个步骤,图 8-1 为晶片键合原理。

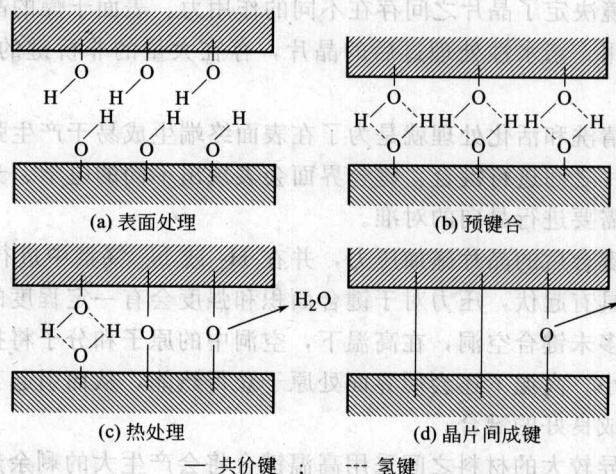


图 8-1 亲水性晶片键合原理

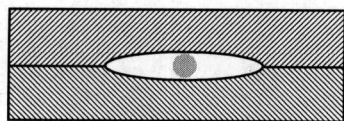


图 8-2 杂质颗粒造成
晶片不能完全键合

足够清洁、平整、光滑的晶片表面是成功实现键合的先决条件，晶片的表面处理过程主要包括晶片表面的抛光、清洗、氧化物和有机污染物的去除以及晶片表面活化等一系列步骤。附着在晶片表面 $1\mu\text{m}$ 大小的颗粒可造成键合后约 1cm 的扁平空洞（如图 8-2 所示），由于水分子链桥是 $1\mu\text{m}$ ，晶片的表面微观粗糙度则应小于 $0.5\mu\text{m}$ ，才可能实现

室温下的预键合。

对于不同材料的晶片表面会有不同的表面清洁方法，最常用的方法是在丙酮和甲醇/异丙醇溶液中进行超声清洗，去除晶片表面存在的灰尘、有机物以及一些金属杂质，再用去离子水冲洗干净，随后将晶片浸泡在稀释的 HF 酸溶液中去掉其表面的本征氧化层，最后将经去离子水冲洗干净的晶片用氮气吹干或利用旋转机将晶片甩干。

晶片表面的活化是为了降低键合对晶片表面平整度的要求，对晶片表面进行亲水性处理就是一种常见的表面活化方法。亲水处理后的晶片表面暴露出大量未饱和的悬挂键，对表面有自然氧化层的亲水性硅片而言，表面以 $-\text{OH}$ 基团为终端，通过吸附水分子之间的氢键可以形成室温下自发键合，使得表面较为粗糙的晶片也能键合。

晶片表面用 HF 酸浸泡后，如果不用去离子水清洗，大部分晶片表面具有疏水性，会以氢和少量氟为终端。此时的室温自发键合模型与用氢键和水分子键合的亲水表面键合模型相似，氢键依然存在（ F^- 和 H^+ 之间形成氢键），仍能形成室温自发键合。

目前采用等离子体活化晶片表面已经成为表面处理的主流技术，射频激励气体（氧气、氮气、氨气）放电产生的等离子体在真空环境下轰击晶片表面，不仅可以清洁晶片表面，而且还可以增加表面的活化能。等离子体通过机械撞击及溅射作用给晶片表面相对不稳定的非桥接氧原子赋能，使它们离开成键原子，形成悬挂键。经过等离子体处理后的晶片甚至不需要经过热处理和外加压力就可以达到很高的键合强度。

将经清洗和活化处理过的晶片，迅速对准晶向或有意偏离晶向进行预键合以形成柔性衬底。预键合一般在超净空间内进行。如果晶片的表面足够平整，相互接触的两片晶片由于它们之间存在相互作用力会发生强烈的黏合。促成晶片黏合的作用力主要包括范德华引力、静电库仑力和毛细吸附力三种类型。

不同的预键合环境决定了晶片之间存在不同的作用力。表面干燥的晶片进行预键合，主要是范德华力在起作用。亲水性处理过后的晶片，存在大量的非桥键的 $-\text{OH}$ ， $-\text{OH}$ 之间通过氢键相互吸合。

对晶片表面进行清洗和活化处理就是为了在表面终端生成易于产生强范德华力的原子和基团。不同晶向的晶片之间进行键合，键合界面会表现出不同的电学、光学特性，因此有时在预键合过程中，还需要进行晶向的对准。

最后还需要对预键合后的晶片施加压力，并在 H_2 或 N_2 气氛中进行热处理以增加键合强度。由于晶片表面具有起伏，压力对于键合面积和强度会有一定程度的影响，预键合后的晶片交界面还存在很多未键合空洞，在高温下，空洞中的原子和分子将扩散掉，并且空洞也将变形，变得越来越小。高温下还会使界面处原子获得热能，从而引起互扩散过程，使得界面晶体网格重组，形成良好的键合。

对热膨胀系数差异较大的材料之间采用高温键合将会产生大的剩余热应力，在冷却阶段将会使异质结继续产生剩余位错，对器件的性能产生影响。而且高温将使化合物半导体材料

变形、缺陷产生、掺杂区展宽,甚至材料分解。此时,低温键合技术就显得非常重要。

目前主要有两种方法成功实现了低温键合,一种是在超高真空的环境下对等离子体活化后的晶片进行键合,利用这种方法不仅实现了室温下的晶片键合,而且大大降低了键合时对外加压力的要求。另一种方法是在材料的表面引入活性层,使活性层之间能相互反应并能在室温下形成共价键结合,可通过活性层之间的强键合获得高的键合强度。但是超高真空技术需要昂贵的设备,而活性层物质有时会影响键合晶片的电学和光学性能。

8.3 键合方法

键合技术的选择需要考虑温度限制、密闭要求以及需要的键合后对准精度等因素。键合的选择包括标准工业工艺(如玻璃浆料键合、阳极键合和黏着键合)以及新发展的低温共晶键合、金属扩散(共熔晶)键合和特定应用中的硅熔融键合。

8.3.1 玻璃浆料键合

玻璃浆料键合广泛应用于加速度计的制造和微机电系统的生产。玻璃浆料是一种浆状物质,由铅硅酸玻璃颗粒、钡硅酸盐填充物、浆料以及溶剂组成。通常情况下,图形化后的浆料在每个芯片周围覆盖 $30\sim 200\mu\text{m}$ 宽的环形区域,厚度为 $10\sim 30\mu\text{m}$,多余的溶剂在图形化后通过烘烤浆料去除。在晶片对准后进行热压键合。玻璃浆料键合过程中,玻璃融化并与其中的填充物熔合,从而形成了具有极好密闭性的无空洞密封。

玻璃浆料键合的优势在于成熟的工艺流程和键合界面特性,融化的浆料和浆状的初始状态使工艺可以允许颗粒或者其他微小的表面缺陷。通过键合机上所加力的不同可以控制浆料线的压缩,通常是40%。浆料键合的缺点是洁净度较低、密封圈占用面积较大,其最主要的缺点在于不能实现高精度的对准,因为在键合过程中,玻璃浆料软化并开始黏性流动从而引起晶片发生滑动。

8.3.2 阳极键合

阳极键合又称场助键合或静电结合,是由Wallis和Pomerantz于1969年提出的,主要应用于硅和玻璃的键合。阳极键合(如图8-3所示)中抛光的硅片表面与抛光的玻璃表面相接触后放在一块加热板上,两端接有静电电压,负极接玻璃,正极接硅片,负极采用点电极以便透过玻璃表面观察键合过程。

由于温度的升高,硅的电阻率将因本征激发而降至 $0.1\Omega\cdot\text{cm}$ 左右,而玻璃中 Na^+ 的活性足以使玻璃具有像金属一样的导电性能,因此,开

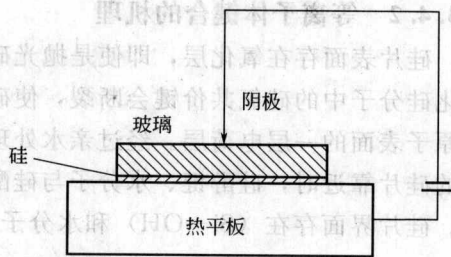


图 8-3 阳极键合原理示意

始时电压主要集中在硅/玻璃界面的几微米宽的小缝隙,这个区域的电场产生了强大的静电力作用在界面上,将两片紧紧地拉拢在一起,形成紧密接触。

同时, Na^+ 向阴极漂移,在阴极中和,紧邻硅片的玻璃表面形成耗尽层。开始阶段耗尽层厚度小于 $1\mu\text{m}$,可以充当一个充电电容器。充电的过程中,电场足以使 O^{2-} 向硅阳极漂移,产生化学键。耗尽层越来越宽,外电流变得越来越小,外加电压主要在耗尽层上。经过一段时间,电流几乎降低为零,键合已经完成,透过玻璃表面,能看到空气隙中常出现的牛

顿环逐渐消失，最后界面变成同形质的黑色。即键合中的直流电流产生静电力使界面紧密接触，高温下紧密接触的表面会发生化学反应，形成牢固的化学键，主要是 Si—O 键，它的形成使得硅/玻璃界面形成了良好的封接。

阳极键合与玻璃浆料键合两种方法，占生产中微机电系统键合应用的 80%。阳极键合的优势在于成熟的工艺和可接受的密封寿命，玻璃可以和多种基底实现热匹配，可用于对器件的真空封装或者压力封装，并可以接受 5nm 或更差的微粗糙度。其缺点是工艺过程中采用了电压而不能兼容 CMOS 电路，同时可移动的 Na⁺ 聚集在阳极上及其外表面时会污染对离子敏感的其他电路。

8.3.3 直接键合技术

直接键合（硅热键合）技术先将两块经过精密加工的晶片经过一系列表面处理后，紧紧地贴在一起，在室温下形成光胶，再对晶片进行热处理，在无需粘接剂和高压的情况下形成永久键合。光胶是指直接在室温下将两块经过精密加工的晶体相互接触，依靠分子间的作用力结合在一起，这种方法所得到的结构在一定的温度或外力下很容易脱开。熔融键合是指在较大压力的作用下将两块晶体键合成一块，可能会在晶体内部引入较大的应力。直接键合所得到的结构相对于光胶来说键合力要大得多，能够承受更高的温度和一定的外力。与熔融键合相比，对物质的物化性质没有什么改变。

直接键合具有不需要任何粘接剂、变形小、接合线不明显、操作简单以及适用范围广等优点，并且其可以键合不同成分、不同结构、不同晶格常数、不同结晶度的晶体。

8.3.4 等离子体键合

8.3.4.1 等离子体键合工艺

等离子体键合主要工艺流程如图 8-4 所示，与常规硅直接键合技术（SDB）相比，其退火温度低，并且增加了贴合前的等离子体活化处理。

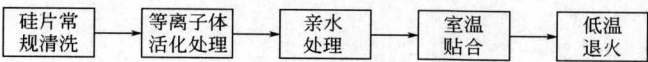
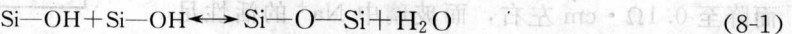


图 8-4 等离子体键合工艺流程

8.3.4.2 等离子体键合的机理

硅片表面存在氧化层，即使是抛光硅片也会存在几十纳米的本征氧化层，处于表面的二氧化硅分子中的硅氧共价键会断裂，使硅原子形成悬挂键，悬挂的硅原子显正电性，可看作硅原子表面的一层电荷层。经过亲水处理，硅原子吸附—OH 团形成硅醇键。两片形成硅醇键的硅片靠近时，硅醇键、水分子与硅醇键之间会形成氢键相互吸引。这就是键合的贴合时期。硅片界面存在（Si—OH）和水分子，在温度升高时，有如下反应：



硅醇键向硅氧键转化，此反应为可逆反应，高温退火可以增强键合强度，低温退火反应能较充分的向正方向进行。所以要求硅片在亲水处理前有尽量多的悬挂键，以便吸附大量的一OH 团，使硅片表面尽量多形成硅醇键，则硅片在贴合时结合紧密并有足够的反应物，且低温退火时间要长，以利于分子逃逸和扩散，使反应不断向正方向进行。

等离子体是电离的气体，由离子和中性粒子构成，正负离子相等，总体呈现电中性。等离子体打到固体表面会发生如下反应：



式中, S/A 为固体与等离子体接触表面。如果固体是硅片, 我们认为有下面的反应发生。



这就达到了大量的硅悬挂键的目的, 被称为硅片表面激活, 即是低温退火能增强键合界面强度的主要原因。

8.3.5 金属键合

金属键合是基于扩散和共晶的方法。扩散键合在 $390 \sim 450^\circ\text{C}$ 的温度下完成, 需要相对较大的压力来实现表面的紧密接触。液态的界面使共晶键合需要施加相对较小却要一致的壓力。在不同的冶金学系统中, 如铜/锡、金/锡或金/硅, 共晶合金形成于 $280 \sim 390^\circ\text{C}$ 之间。在金属键合中, 必须控制表面的粗糙度以及晶片的翘曲度。金属合金在键合过程中会熔解并实现界面的平坦化。

金属键合能实现只需要 $1 \sim 3\mu\text{m}$ 宽的区域的密闭封装, 增加了芯片的密度, 减少了生产成本。金属键合的层间套刻对准精度因应用不同而异, 微机电系统中常用的共晶键合方法, 在细密封圈情况下可以实现 $3\mu\text{m}$ 的最准精度。

8.3.6 黏着键合

黏着键合中可使用许多聚合物材料, 包括 BCB、SU8、WL5300 以及大部分常见的光刻胶材料。黏着键合采用聚合物实现中等结合强度的键合将晶片键合到支撑基底上 (如玻璃、蓝宝石), 以实现对器件晶片背面进行工艺加工。背面加工结束后, 通过紫外光、热分解或溶剂可以解除界面的结合。

黏着键合的主要工艺步骤包括: ①表面清洁和增黏剂的应用; ②旋涂聚合物; ③初始固化 (溶剂烘烤); ④连接晶圆片 (一般在真空环境中); ⑤最终聚合物固化 (压力或加热)。

黏着键合使用聚合物中间层, 因而存在以下几点优点: ①温度在 100°C 左右; ②对于颗粒、表面厚度偏差和表面粗糙度有好的容忍度; ③不是密封的, 没有高温收缩性; ④成本低、工艺简单。

8.3.7 外延牺牲层法

1987 年由 Yabbonovitch 等人提出外延牺牲层法 (exptaxy lift-off, ELO), 其基本原理 (如图 8-5 所示) 是器件层结构先生长在晶格匹配的衬底上, 中间存在牺牲层 (lift-off), 用选择性湿法刻蚀技术除掉牺牲层, 这样器件层就可以剥离、键合、转移到另一个衬底上。

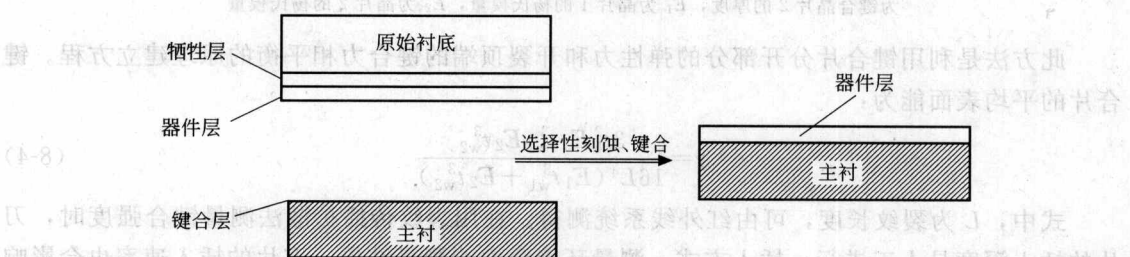


图 8-5 外延 lift-off 方法

由于器件层生长在晶格匹配的衬底上, 具有很高的单晶质量, 剥离层器件和主衬底器件在键合前可以分别加工。由于硅片有较好的机械强度、重量轻、热导性好, 是集成电路的主要材料, 因此一般用硅作为主衬底。ELO 方法可应用于微波器件、激光二极管、LED 阵

列、光调制器、光电子集成器件及多量子阱结构等的键合。

8.4 键合晶片的表征测试方法

8.4.1 键合前晶片表面的表征

晶片表面平整度和微观粗糙度的指数是决定晶片初始键合好坏和成功与否的关键因素。可采用触针式轮廓仪 (stylus profilometry) 测量待键合晶片的表面平整度和屈服强度, 用原子力显微镜 (AFM) 测量晶片表面的微观粗糙度。

8.4.2 键合强度测试法

在键合技术中, 键合强度是一个非常重要的参数, 只有键合强度好才能保证产品的成品率和质量。键合强度太小, 在加工过程中两键合片很有可能会开裂, 导致失效。

键合强度的测量方法包括破坏性的和非破坏性的两类。但是数据是在各自不同的工艺条件、试样尺寸和测试仪器下获得的, 缺乏通用性和权威性, 目前尚无一个统一的标准来进行表征。

8.4.2.1 破坏性测试方法

(1) 裂纹传播扩散法 裂纹传播扩散法是测量键合强度最传统的方法, 俗称刀片插入法。其先测量键合片的表面能, 进而表征键合对的键合强度。这种方法是 1988 年由 Maszara 首先提出的, 如图 8-6 所示。

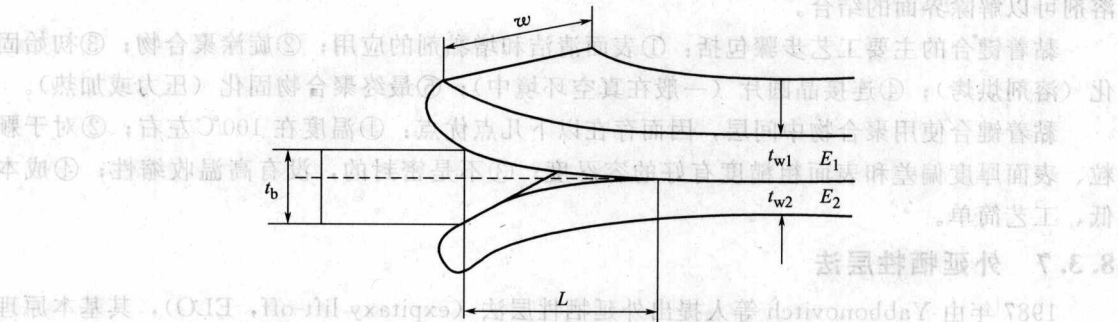


图 8-6 裂纹传播扩散法测键合强度

t_b 为刀片厚度, w 为键合片宽度, t_{w1} 为键合晶片 1 的厚度, t_{w2} 为键合晶片 2 的厚度, E_1 为晶片 1 的杨氏模量, E_2 为晶片 2 的杨氏模量

此方法是利用键合片分开部分的弹性力和开裂顶端的键合力相平衡的原理建立方程。键合片的平均表面能为:

$$\gamma = \frac{3t_b^2 E_1 t_{w1}^3 E_2 t_{w2}^3}{16L^4 (E_1 t_{w1}^3 + E_2 t_{w2}^3)} \tag{8-4}$$

式中, L 为裂纹长度, 可由红外线系统测得。在用裂纹传播扩散法测量键合强度时, 刀片的插入深度是人工进行, 插入方式、测量环境会影响测量结果, 刀片的插入速率也会影响测得的键合能的值。当键合片的强度很高时, 刀片无法插入, 此方法就不适用。

(2) 静态液体油压法 静态液体油压法是由 Shimbo 在 1986 年提出的, 如图 8-7 所示, 测试样品的其中一晶片中间带有孔, 静态油压由下施加于上面的晶片上, 测得键合界面开裂时的临界压强 P_f 。键合能 γ 与临界压强 P_f 的关系可表示为:

$$\gamma = \frac{0.088 P_f^2 a^4}{E t_w^3} \quad (8-5)$$

式中, a 为孔的半径; E 和 t_w 分别为上面晶片的杨氏模量和厚度。

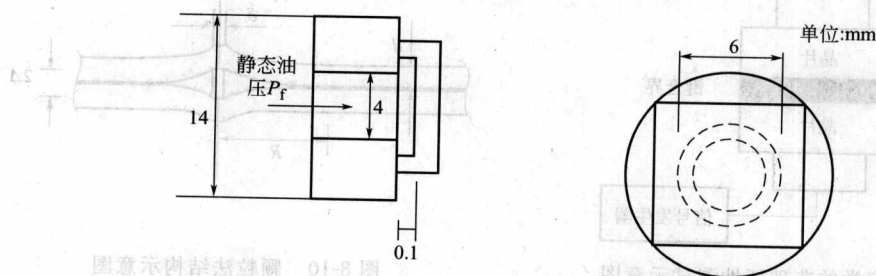


图 8-7 静态液体油压法

这种测量方法广泛应用于传感器设计方面,但由于这种复杂的界面施压结构,用它并不能得到键合片的具体细节特性。

(3) 四点弯曲分层法 四点弯曲分层技术是由 Charalambides 提出的。后经 Arturo A. Ayon 将此技术用于键合强度测试中,其结构示意图见图 8-8。

裂纹扩展单位面积释放的应变能表达式为:

$$G_{Ic} = \frac{21}{4} \frac{M^2}{b^2 h^3} \frac{1-\nu^2}{E} \quad (8-6)$$

式中, b 为键合片宽度; h 为键合片厚度; ν 为泊松比; E 为杨氏模量; 力矩 $M = PL/2$ 。由式 $W = 2\gamma = G_{Ic}$, 可以得到键合强度。

四点弯曲分层法不必再去测量裂纹长度,避免了裂纹传播法的不精确性,但其存在一个测量范围,当退火温度达到 $900 \sim 1000^\circ\text{C}$ 后,键合强度就可能超出这个范围,无法测出精确的键合强度。

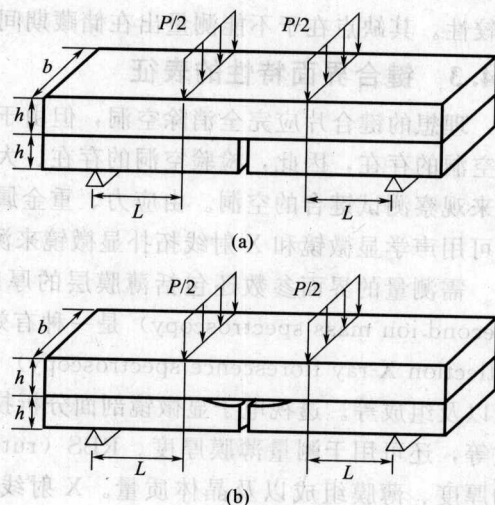


图 8-8 四点弯曲分层法

8.4.2.2 非破坏性测试方法

(1) 超声波法 超声波法中通过增加超声波探针脉冲的振幅,键合界面会产生一个非线性的反驱动力。如图 8-9 所示,正弦信号加在样品上,用宽波段超声换能器来接收键合界面的弹性响应调制信号,接受的信号经傅里叶变换,用傅里叶分项的最大值作为键合强度,而且在退火温度作用下,键合的一些变化可以被测量出来。

目前超声波法只能适用于弱键合强度的键合片上,实际应用中追求的是强的键合强度限制了此方法的推广。

(2) 颗粒法 2000 年 Pasquariello 提出一种新的非破坏性测量方法——颗粒法 (如图 8-10 所示),其在键合片界面处引入一个 SiO_2 小颗粒。根据在颗粒周围未键合部分表面能与弹性性能之和达到最小值时键合达到平衡来建立方程,表面能 γ 的表达式为:

$$\gamma = \frac{8Ed^3}{12(1-\nu^2)R^4} \Delta^2 \quad (8-7)$$

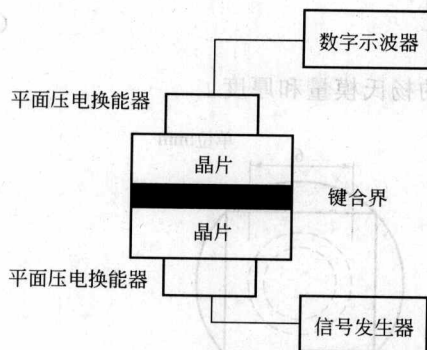


图 8-9 基于声学的非破坏性测试示意图

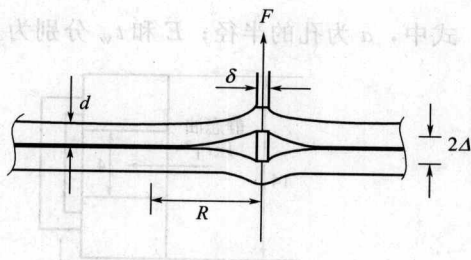


图 8-10 颗粒法结构示意图

式中， Δ 为 SiO_2 颗粒高度的一半； R 为平衡时未键合圆形的半径； d 为晶片厚度。

与刀片插入法相比较，颗粒法具有以下几点优点：①无接触式、无破坏性；②在测量前已引入刀片代替物，不必担心刀片插入和周围环境所带来的误差；③无人因素，增加了可比较性。其缺点在于不能测量出在储藏期间键合能的变化。

8.4.3 键合界面特性的表征

理想的键合片应完全消除空洞，但由于键合前表面通常存在颗粒污染，初始的键合对都有空洞的存在，因此，检验空洞的存在、大小以及分布非常重要，一般采用高精度红外测试仪来观察测试键合的空洞。由应力、重金属或热处理带来的杂质扩散等导致的缺陷和杂质通常可用声学显微镜和 X 射线拓扑显微镜来测量。

需测量的界面参数还包括薄膜层的厚度、键合层的单晶性和电学特性等。其中 SIMS (second ion mass spectroscopy) 是一种有效、破坏性的测量杂质质谱的方法。TXRF (total reflection X-ray fluorescence spectroscopy) 可用于测量界面的杂质、缺陷和薄膜的厚度、密度以及组成等。透视电子显微镜剖面分析技术 (XTEM) 可用于观测界面的形貌、缺陷、杂质等，还可用于测量薄膜厚度。RBS (rutherford back scattering) 技术可用于测量不同层的厚度、薄膜组成以及晶体质量。X 射线光电子能谱 (X-ray photoelectron spectroscopy, XPS)、俄歇电子能谱 (Auger electron spectroscopy, AES) 技术可获得表面层的成分信息以及杂质的化学键构成。扩展电阻分析 (SRP) 分析电导特性等。

8.5 键合的应用

8.5.1 用键合技术形成 SOI 材料

SOI 电路的批量生产及大规模商品化的主要障碍就是制备 SOI 材料导致的总成本过高。目前具有竞争力的 SOI 材料制备技术包括 SIMOX (separation by implanted oxygen)、BE-SOI (bond and etchback SOI) 和新近发展的智能剥离技术 (smart-cut) 技术。BESOI 技术具有工艺简单、硅膜质量好、 SiO_2 层性能良好以及厚度容易控制等优点。其缺点是每一个键合对都需要耗费两块硅片，较难获得均匀超薄的硅膜 (如图 8-11 所示)。

基于硅片键合和离子注入技术的智能剥离技术是一种新发展起来的技术 (如图 8-12 所示)，其原理是在一块硅片上注入氢离子，然后与另一块硅片进行低温键合，经过 500°C 左右的热处理后在氢离子注入射程处形成一连续的空腔层，进而剥落形成 SOI 结构。智能剥

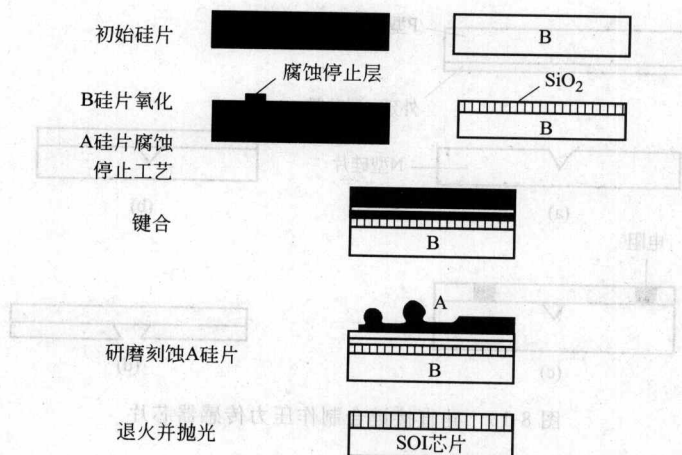


图 8-11 BESOI 技术示意图

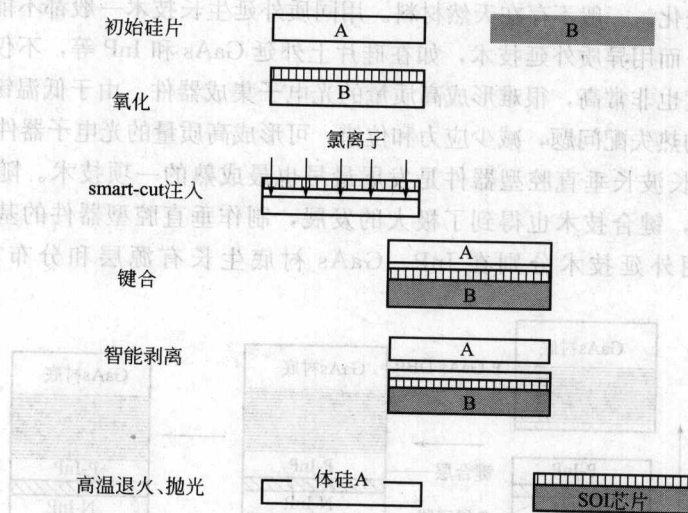


图 8-12 smart-cut 技术示意图

离技术兼具 SIMOX 和 BESOI 技术的优点，所得的 SOI 薄层厚度均匀，被剥离的另一块硅片可以循环利用。

8.5.2 用键合技术形成 MEMS 结构和三维器件

用于形成 MEMS 结构的键合方法主要有阳极键合技术和直接键合技术。阳极键合技术在 MEMS 中的可用于集成压力传感器、微传感器和微执行器等。用直接键合法能形成一些 MEMS 结构，如超微压力传感器、悬壁加速计等，也可以形成复杂的多层和三维器件，但直接键合法是在高温下进行，限制了它在 MEMS 中的应用。

图 8-13 是用直接键合的方法制作压力传感器芯片的过程。需键合的两片 (100) 型硅中，在 P 型硅衬底上外延一层 N 型硅膜，N 型硅膜用各向异性腐蚀法加工出锥形槽，再将两片硅直接键合在一起，之后腐蚀掉 P 型硅的 P 型衬底，并在其上直接制作 (离子注入) 电阻，最后用抛光方法，按设计尺寸减薄 N 型硅，形成压力传感器芯片。

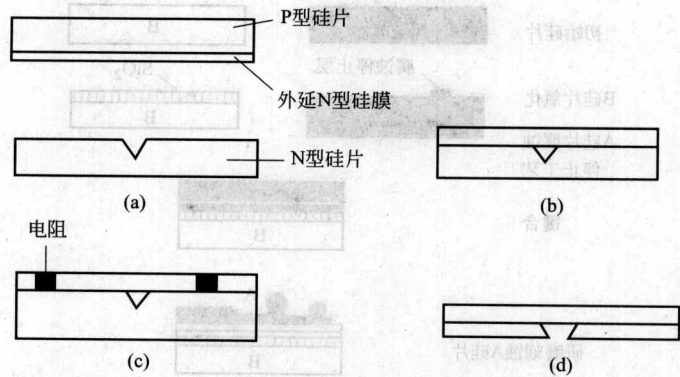


图 8-13 硅直接键合制作压力传感器芯片

8.5.3 用低温键合技术形成光电子器件

光电子器件对所需要的材料在性能上有一定的要求，通常都需要有大的带宽差和在材料的折射指数上要有很大的变化。一般不存在天然材料。用同质外延生长技术一般都不能形成所需要的带宽差和折射指数差，而用异质外延技术，如在硅片上外延 GaAs 和 InP 等，不仅成本较高，而且结合界面的位错密度也非常高，很难形成高质量的光电子集成器件。由于低温键合技术可以大大减少不同材料之间的热失配问题，减少应力和位错，可形成高质量的光电子器件。

用键合工艺实现长波长垂直腔型器件是发展最早也最成熟的一项技术。随着长波长垂直腔型器件的不断完善，键合技术也得到了极大的发展，制作垂直腔型器件的基本工艺流程如图 8-14 所示，先利用外延技术分别在 InP、GaAs 衬底生长有源层和分布布拉格反射镜

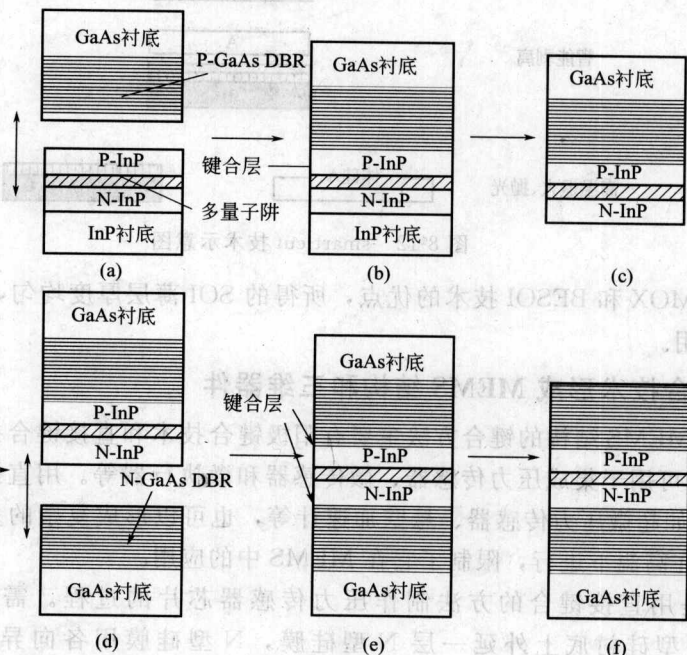


图 8-14 利用键合技术制作垂直腔型器件基本工艺流程

- (a) 分别生长 InP 基有源层和 GaAs 基 DBR 层；
- (b) 有源层和 P 型 DBR 层之间键合；
- (c) 去除 InP 衬底；
- (d), (e) 有源层和 N 型 DBR 之间键合；
- (f) 去除 GaAs 衬底

(DBR), 之后将 P 型 DBR 和有源层之间进行键合, 键合完成后将 InP 衬底去除, 接着将 N 型 DBR 和有源层之间进行键合, 最后将 P 型 DBR 的 GaAs 衬底去除形成顶镜。

GaN 是目前制备蓝光到紫外波段发光器件的首选材料, 适合制造高频、大功率器件。键合 GaAs/GaN, 可以集成 GaAs 和 GaN 基的光电器件、制造 GaAs/GaN 二极管以及制造 N-AlGaAs/P-GaAs/N-GaN 异质结双极型晶体管 (HBT)。

J. Jasinski 等人实现了 GaAs 与 GaN 的直接键合。利用 HRTEM 观察测试 GaAs/GaN 键合结果 (如图 8-15 所示), 晶片大面积成功键合, 大部分键合界面较好。

8.5.4 用键合方法形成特殊结构和器件

随着键合机理和键合工艺技术的逐渐成熟, 在多种不同材料的晶片之间实现互相键合, 从而形成一些特殊用途的材料和器件。如在硅片上形成硅化物层再进行键合就可以形成一种新的结构 (如图 8-16 所示), 由于硅化物的电导率很高, 因此可以代替双极型器件中的隐埋层, 从而减小 RC 常数。

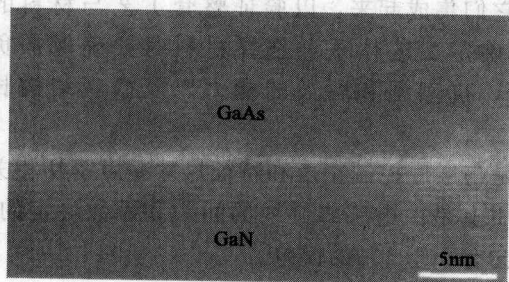


图 8-15 HRTEM 观察 GaAs/GaN 键合界面



图 8-16 形成 WSi 导电层

9

工艺集成

9.1 概述

从选择材料到把无源元件制作方法集成进一个工艺流程的过程与集成电路工艺开发的过程相类似。首先需要开发各个单项工艺，然后把它们集成起来，以验证整套工艺与材料的兼容性，并且建立工艺设计规则。必须注意在确定工艺体系和选择材料时要确保加负载时的稳定性、合适的电迁移和静电放电性能、抗潮湿和腐蚀的能力以及微观结构长期的稳定性。

在一个集成无源工艺中，电阻和电容的精度是与层厚控制精度和特征尺寸精度密切相关的，它们随着元件的绝对尺寸而变化。电感值实质上是由电感螺旋线的间距和匝数决定的。由于电感螺旋线的间距由光刻掩模决定，电感值会有小于1%的偏差。

9.2 晶圆片的选择

晶圆片选择和工艺设计是联合在一起的。通常，在选择N型或P型硅衬底后，再设计掺杂工序。如使用外延硅片可忽略硅片的体效应，这为工艺设计提供了较大的设计自由度。但这又会引入一些新的限制，增加额外的晶圆片成本。如采用SOI硅片，通常需通盘考虑整个工艺流程，以尽可能减少工艺步骤或增加器件性能。

对于MOS工艺和MEMS体微加工，通常采用(100)衬底。与(111)硅衬底相比，在(100)硅衬底上生长的氧化硅表面捕获电荷量和界面缺陷较少。对于MEMS，(100)硅的各向异性刻蚀是一种标准技术。对于双极型工艺，使用(111)硅衬底。对于兼有MOS器件和双极型器件在同一芯片的BiMOS工艺，由于MOS器件部分对氧化层性能要求比(111)衬底为双极型器件带来的特殊性能贡献更为重要，所以仍使用(100)硅片。如果对硅的电性能或机械特性没有特别需求，基于应用广泛性或低成本的考虑，均使用(100)硅衬底。

晶体取向并不需要与主轴完全对准。有意与主轴有所偏离的切割(偏切)对硅外延是比较有利的。(111)硅表面比较平坦，但偏切会产生一些小的平台，外延时可提供更多的形核点。较大的4°偏切角可明显改变硅的晶格常数，使得在硅片表面外延生长 Y_2O_3 或 $SrOTi$ 氧化层成为可能。然而，基于对湿法各向异性刻蚀的要求，硅片需尽可能沿主晶轴方向切割。但标准硅片的切割误差为 $\pm 1^\circ$ ，而MEMS硅片的切割误差要求为 $\pm 0.2^\circ$ ，晶体切片后的硅片对于不同的类型和晶面都有标准的标识，如图9-1所示。

出于机械强度的要求，晶圆直径越大，晶圆厚度就越厚。对于诸如氧化、扩散和外延的

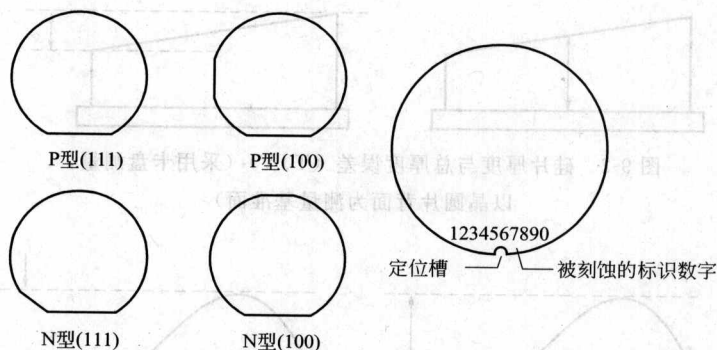


图 9-1 硅片标识定位边和定位槽

高温工序，尤其是高于 1100℃ 的工序，过大的热效应产生的应力可能会造成晶圆片的破裂。所以在这些工序中，晶圆片的机械强度显得尤为重要。在不均匀冷却过程中产生的滑移位错需首要考虑。另外，通常厚的晶圆片更易于机械传递。

当然，也有许多应用场合需要薄的晶圆片。对于太阳能电池，较少的硅可降低生产成本。以 54.7°湿法刻蚀体 MEMS 器件获得硅片穿孔时，薄的硅片可获得更小的孔表面积。对于功率晶体管，薄的硅片有利于降低电阻损失。当所有的器件加工完成后，硅片可减薄至最终厚度，这有助于提高硅芯片的弹性，有利于智能卡类芯片的封装。

9.2.1 硅片

9.2.1.1 硅片规格

(1) 电学规格 切克劳斯基 (Czicgralski, CZ) 法可拉制出掺杂密度或电阻率范围较大的单晶硅片。表 9-1 为典型的 CZ 电阻率。但 CZ 法很难获得高电阻率硅片（如 $k\Omega \cdot \text{cm}$ 量级），这必须采用区熔法（float zone, FZ）制备。极端的电阻率是可以得到的，但在单晶硅锭中只有一部分符合规格要求。

表 9-1 CZ 硅片电阻率范围

掺杂物	电阻率范围/ $\Omega \cdot \text{cm}$	掺杂物	电阻率范围/ $\Omega \cdot \text{cm}$
B	0.002~4000	Sb	0.008~0.1
P	0.001~1000	As	0.002~0.01

(2) 机械及表面规格 通常硅片直径及厚度均为标准尺寸（参见表 9-2），如：150mm 硅片厚度为 625~675 μm ，200mm 硅片厚度为 725 μm 。硅片厚度对于集成电路制造或许多薄膜器件均不是一个需要特别考虑的问题。对于体 MEMS 应用，硅通孔刻蚀是一种标准工艺，硅片厚度对通孔尺寸有决定性的影响。

表 9-2 硅片尺寸和参数

直径/mm	厚度/ μm	面积/ cm^2	质量/g	直径/mm	厚度/ μm	面积/ cm^2	质量/g
150	675±20	176.1	28	300	775±20	706.86	127.64
200	725±20	314.16	53.08	400	825±20	1256.64	241.56

硅片厚度通常仅参照硅片中心厚度，而其他点的厚度则用于说明硅片厚度偏差和几何变形度。总厚度误差（total thickness variation, TTV）是硅片上的最大厚度值和最小厚度值的差值，如图 9-2 所示。总和指示值（total indicator reading, TIR）主要反映的是正面参考



图 9-2 硅片厚度与总厚度误差 (TTV) (采用卡盘测量, 以晶圆片背面为测量基准面)

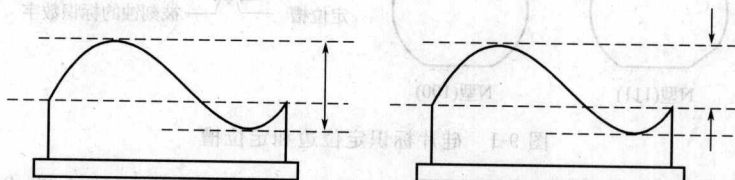


图 9-3 总和指示值 (TIR) 和聚焦平面偏差 (FPD)

实测值, 即指与参考面的最大正偏差值和负偏差值的总和。如图 9-3 所示, 如所选参考面与曝光机的聚焦片面相合, 则聚焦平面偏差 (focal plane deviation, FPD) 指参考面与聚焦平面的最大偏差 (正或负)。

硅片的变形与翘曲是指硅片出于未箝位处理过的自由变形状态。硅片可能呈凸起、凹下或波浪形状。通过箝位可消除硅片弓形, 即在一卡盘上加力使硅片平直。硅片翘曲度是指硅片表面与中间平面最大距离及最小距离的差异。与表面特征的平坦性相比, 翘曲是一种体特征。在高温工序或单晶硅切割和硅片表面打磨操作过程中, 硅片的翘曲和弓形的变形度可能会有所改变。硅片厚度偏差过大和翘曲变形, 在光刻曝光时会引起焦深 (depth of focus, DOF) 问题。

硅片表面形貌可分为几个明显的等级: 粗糙度在微米级尺度, 平坦度 (flatness) 在芯片级尺度, 弓形和翘曲度在硅片级尺度。光洁度和平坦度是熔融键合的基本参数。粗糙度为 0.1nm 的硅片适于熔融键合。相比较而言, 阳极键合对表面粗糙度要求略低, 即表面粗糙度为 0.5nm 的硅片即可用于阳极键合。

通常平坦度是基于芯片尺寸和光刻曝光区来测量的。它通过对焦深 (DOF) 的影响, 直接影响光刻线宽的变化。对于 1 倍全硅片图案曝光系统, 其光刻工艺对整个硅片的全局平坦度非常敏感。但对步进和重复曝光系统, 其光刻工艺则对曝光的局部区域平坦度敏感, 如 20mm×20mm 的曝光区域。

9.2.1.2 硅片的热处理

吸杂 (gettering) 用于捕获杂质, 包括在硅片内进行的本征吸杂和在晶圆片背面层的非本征吸杂。吸杂可以捕获已知的杂质或设计区域的杂质, 以使器件性能免受这些杂质的影响。在太阳能电池制备过程中, 可通过更廉价的加工工艺和更低的净化规格 (净化级别不必与 IC 制造工业所需净化级别相匹配) 来降低器件制造成本。吸杂工艺融入到太阳能电池制造的几个关键工序中, 可降低金属污染。在 IC 制造中, 通常需采用额外的专门吸杂工序和级别相当高的净化空间。

本征吸杂 (intrinsic gettering, IG) 及体微缺陷 (bulk microdefect, BMD) 与硅片在具体加工过程中所经历的热循环有相当大的关联。氧沉淀为其他杂质的析出提供了位置。杂质浓度梯度会使杂质向预定的析出位置扩散。所以, 硅片中的氧浓度是内吸杂 (本征吸杂)

的关键。在硅片加工开始时，本征吸杂（intrinsic gettering, IG）就大体确定下来了。氧浓度还有其他的一些影响：它可能会引起堆垛层错（stacking fault）和位错环（dislocation loop），这会导致在 KOH 溶液中（100）面与（111）面刻蚀选择性的变化。

硅片背部的非本征吸杂有多种方式：硅片背面损伤层（激光或硼砂损伤）、硅片背面薄膜沉积（多晶硅）和磷掺杂（扩散或离子注入）。这些方法均可增加吸杂位置的数据，或改变金属的扩散（如掺磷吸杂）。非本征吸杂工序可放置到硅片加工的氧化工序前。

通过在硅片表层产生所谓的净化区（denuded zone, DZ）（如图 9-4 所示）来耗尽硅片表层中的氧，以改善硅片表层的特征。净化区具有极低氧浓度和较少氧诱发缺陷，其形成有三大步骤。

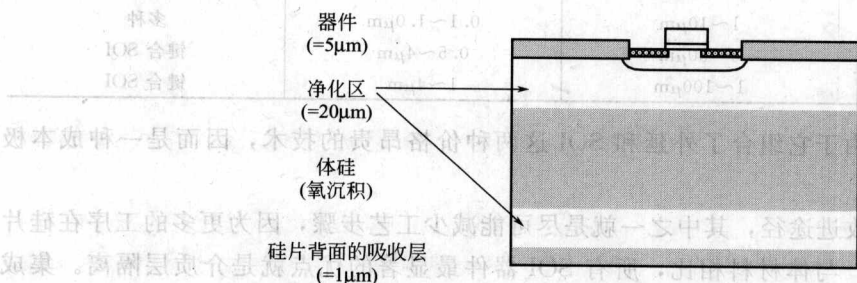


图 9-4 具有净化层的硅片剖面图（非精确尺寸定义）

①. 外扩散（1100~1200℃，1~4h）。氧气扩散出硅片表层，剩余氧浓度小于 5×10^{-6} 原子。

② 600℃ 下形核。SiO_x 在整片硅片体积范围内均匀形核。

③ SiO_x 沉淀长大，并吸杂（950~1200℃，4~16h）。

净化区深度主要取决于器件需求，其值范围为 10~40μm。

DZ 并不适合用于器件，这主要是因为 DZ 硅片在垂直方向性能的不均匀性。如果 IC 器件和 MEMS 器件加工在同一片硅片上，折中方案就是在硅片中形成一些小而分布均匀的氧沉淀，以同时满足本征吸杂和各向异性刻蚀的需求。

9.2.1.3 外延硅片

外延硅片可提供含碳和氧极少的、极纯的单晶硅层，因为 CZ 拉制的单晶片中总会含有一定量的碳和氧。外延层中没有晶体原生颗粒（crystal originated particle, COP），这意味着外延层具有更高的晶体完美度。但外延层并不是完全没有缺陷，外延层中的堆垛层错（stacking fault）就是影响器件良品率最大的缺陷因素。然而，CZ 硅片的掺杂浓度具有柱状的对称分布，这主要是由于单晶硅锭是旋转拉制而成的；而外延掺杂是均匀的，其典型掺杂浓度小于 4%，外延层厚度均匀度约 1%。在电阻率和薄膜厚度方面，外延薄膜沉积在工艺上是可重复实现的。

均匀 CVD 外延可实现的最小外延层厚度约为 0.5μm，而最大厚度则由外延生长成本控制，而非物理或化学因素限制。外延硅片几乎可应用于所有微加工领域（参见表 9-3），但其高成本又限制了应用，一般仅用于高性能、高投入的产品加工中。

9.2.1.4 SOI 硅片

现已有好几种技术可用于制备 SOI 硅片。每种均有特有的 SOI 器件厚度和典型的埋层氧化物（buried oxide, BOX）厚度（参见表 9-4）。几乎可在 SOI 器件层上面外延沉积任意

表 9-3 外延硅片的应用

技 术	基片	外延层	电阻率/ $\Omega \cdot \text{cm}$	厚度/ μm	目 的
CMOS	P ⁺	P	5~10	5~20	防止闩锁效应
功率 CMOS	N ⁺	N	5~10	10~20	开状态导电
模拟双极型晶体管	P ⁺	P	1~20	10~100	加快器件速率
MEMS	P	N	1~10	7~150	电化学,刻蚀终止
MEMS	P	P ⁺⁺ /P	0.005/1~10	3/3~30	刻蚀终止/器件层

表 9-4 SOI 硅片的应用

器 件 技 术	(Si)器件层	氧化硅埋层	SOI 技术
CMOS	10~200nm	200~400nm	智能切割, SIMOX
双极型	1~10 μm	0.1~1.0 μm	多种
MEMS	5~50 μm	0.5~4 μm	键合 SOI
功率 IC	1~100 μm	1~4 μm	键合 SOI

厚度的单晶硅层。但由于它组合了外延和 SOI 这两种价格昂贵的技术,因而是一种成本极高的方法。

SOI 技术有多种改进途径,其中之一就是尽可能减少工艺步骤,因为更多的工序在硅片加工开始时就完成了。与体材料相比,所有 SOI 器件最显著的优点就是介质层隔离。集成电路加工在 SOI 基片上,每个器件互相之间采用电介质绝缘(水平隔离),同时与底部硅基地也是电介质绝缘(垂直隔离)的。同样,加工在 SOI 硅片上的每个电阻彼此间也是完全电介质绝缘的。这就消除了通过体硅的漏电流。SOI MOS 晶体管和 SOI 电阻可工作在 300℃ 左右。相比较而言,体硅器件在高于 125℃ 工作时,就会因漏电流的陡增而完全失效。

SOI 硅片成本大约是体晶圆片的 10 倍。其成本上的不足不得通过其他因素来弥补,如芯片设计尺寸更小、性能更高、更易加工(工艺步骤更少),或应用于特殊领域,如应用于太空和军事领域的辐射硬化。SOI 硅片制备方法也是一大难题:不同的 SOI 制造商采用的方法也大相径庭,且难以相互替代,这与体硅的制备完全不同。

9.2.2 非硅基片

使用非硅基片的原因有很多。石英和熔融氧化硅属电介质,与硅工艺完全兼容,但与硅相比它们价格昂贵且材质太脆。而阻碍普通玻璃基片用于半导体制造的主要原因则是因为其中的金属钠污染。但是,这些可选择的基片均不是理想的基片:高电阻率的硅也具有一定的导电性,这样会导致一定的电容损失。

非硅基底会带来一系列问题。与硅不同,它们不是一种明确定义的材料,可以是方的、厚的,可采用玻璃加工而成。碱性玻璃(soda lime glass)的热膨胀系数(coefficient of thermal expansion, CTE)为 $10 \times 10^{-6} \text{ }^{\circ}\text{C}^{-1}$ (硅的热膨胀系数为 $2.6 \times 10^{-6} \text{ }^{\circ}\text{C}^{-1}$),如用作掩模版材料,用于对尺寸控制不太严格的 3 μm 以上的线宽场合。由于碱性玻璃与硅在热膨胀系数上的巨大差异,它不能用于与硅的阳极键合。

从定义上看,玻璃通常含有碱性金属钠。在某些应用场合,这些碱性离子是必需的,尽管它们对电子器件非常有害,它们仍可用于某些阳极键合的场合。派来克斯(Pyrex)玻璃成分为 $\text{SiO}_2 : \text{B}_2\text{O}_3 : \text{Al}_2\text{O}_3 : \text{Na}_2\text{O} \approx 80 : 10 : 5 : 5$ 。Pyrex 玻璃以圆片形式存在,由于它与硅的热膨胀系数相近,从而广泛用于与硅片的阳极键合工艺中。在光敏玻璃中,也含有锂和其他外来金属元素,后者是主要的污染来源。光敏玻璃的热膨胀系数约为硅的 4 倍,

所以不能用于阳极键合。熔融氧化硅中 SiO_2 的含量为 100%，非常适于硅工艺。同时，它具有高的机械强度，足以支持标准的高温工艺。它还可用于 300mm 的硅片加工中，它已被作为一些硅基光学器件的备选材料之一。然而，由于缺少可移动离子，它也不适于阳极氧化。

温度的限制是玻璃加工的一大障碍。这主要是由于两个因素引起的：一个是玻璃在 500℃ 以上刚性会消失（转变温度取决于具体玻璃成分）；另一方面，高温下钠扩散对电子器件是有害的。

与熔融氧化硅相似，石英是纯的二氧化硅，没有碱金属污染的危险。但是熔融氧化硅是非晶态的，而石英是晶体。晶体石英在氢氟酸中的刻蚀速率，受晶面的影响较大，这与硅在碱性溶液中的刻蚀类似。晶向对压电器件极为重要，必须沿正确的晶向对准。

平板显示（flat panel display, FPD）是做在玻璃上的、最重要且已实现量产的器件，基于不同应用目的设计的辐射计和光子探测器也是做在玻璃上的。它们分别采用 $\alpha\text{-Si}$ 、 SiC 和金刚石作为敏感材料。玻璃基片有几点优点：①加工尺寸可做的较大；②玻璃价格便宜；③玻璃的表面相当光滑，可采用与硅片相同的 RCA 清洗。

在以硅为主的实验室中，非硅基底存在一些问题。尽管熔融氧化硅片可作为与硅片表面光洁度及厚度相近的圆片，但会增加工艺的复杂度，尤其是对自动化程度较高的设备。对硅片的存在与运动的检测均是基于光学与电容传感器的，但它们很难检测透明介质基片。在晶圆背面沉积非晶硅或多晶硅，可以避免这一问题。但是，对于所有的工序和设备，均须考虑薄膜存在的影响。

许多非硅基底是方形或是圆形。通常，外来材料（如微波基底和填充聚合物的玻璃纤维印制电路板基底或氧化铝）均为方形，而塑料和钢则以卷带形式存在。

光刻胶的旋涂尤其适合于圆形基片。方形基片在 5000r/min 速率下旋涂，会在边角区域产生光刻胶的紊乱，难以获得均匀的光刻胶涂层。一种解决方案是使用一个圆形的、带方形凹槽的支撑盘，以放置方形基片。另一个解决方案就是协调旋转基底和转杯，以减小光刻胶的紊乱。

压电和铁电材料基片（如 LiNbO_3 ）不仅污染的危险，还会与工艺“反应”。等离子体带来的带电效应会导致基片体积变化，而这种变化又会产生一些不希望的弛豫。

9.3 设计规则

设计规则是指与线宽、线间距、图形交叠、层间对准等相关的结构设计规则。这些应参考版图规则，以及包括薄层电阻、电流密度限制、接触电阻等在内的电性能设计规则。对于电容设计，需考虑薄膜厚度设计规则，即当氧化硅用于电容电介质或氧化硅用于空气穴电容的牺牲层时，氧化硅厚度决定了该电容的密度。对于电路设计而言，器件（晶体管、电阻、电容）模型提供了额外的高水平工艺性能的信息。设计规则和器件模型必须满足工艺方面的要求，同时还满足相关公司的规格，如不同供应商的 0.13 μm 的 CMOS 工艺有自己特有的一套规则和模型。

9.3.1 版图规则

如图 9-5 所示，版图设计总的原则是既要充分利用硅片面积，又要在工艺条件限度内尽可能提高成品率。版图面积（包括压焊点在内）应尽可能小并接近方形，以减少每个电路实

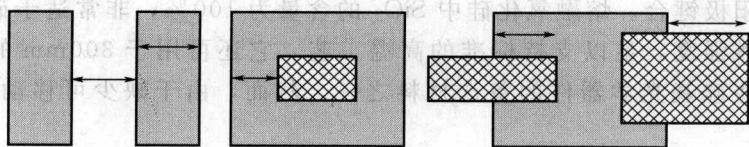


图 9-5 版图设计规则（线间距、线宽、闭环宽、切入宽、切出宽）

际占有面积。实践表明，当芯片面积降低 10%，则每个大圆片上的管芯成品率可以提高 15%~25%。工艺师已将加工工艺的物理能力和限制因素提取到设计规则中，其目标是使工艺更稳定。违背版图设计规则，有时会导致零成品率，或使成品率下降。设计规则通常分为强制规则和推荐规则两种，而后这意味着已有良好的实证基础。最基本的版图规则是最小尺寸和间距。

9.3.1.1 隔离区的数目应尽可能少

PN 结隔离的隔离框面积约为管芯面积的 1/3。隔离区数目少，有利于减小芯片面积。集电极电位相同的晶体管，可以放在同一隔离区。二极管按晶体管原则处理。全部电阻可以放在同一隔离区内，但隔离区不宜太大，否则会造成漏电大，耐压低。为了走线方便，电阻也可以分别放在几个隔离区内。各压焊块都放在隔离区内，以防止压焊时压穿 SiO_2 ，造成与衬底短路。管芯外围也要进行大面积隔离扩散，以减少输入端二极管的串联电阻。

其影响因素有光刻工艺能力、光刻后续工序对结构的宽化以及器件间的相互作用三种。光刻工艺能力包括光刻设备、掩模版品质、光刻胶厚度。如果掩模版上的线宽本来就不准确，则在硅片上就难以获得预期的设计宽度。光刻时，如图形尺寸低于最小线宽和线间距尺寸，则会使器件失效。

通常，最小线间距与最小线宽是有区别的。光刻的分辨率无法将线与线间距完全等地分离开来。典型例子是 $0.5\mu\text{m}$ 的最小线宽和 $0.7\mu\text{m}$ 的线间距。有时工艺采用半栅距来定义：即刚才的工艺可归为 $0.6\mu\text{m}$ 工艺。

最终图形结构宽度取决于相关工序特征。扩散是一个各向同性的工序，在形成 $3\mu\text{m}$ 的扩散深度的同时，会导致大约 $3\mu\text{m}$ 的水平方向扩散。类似地，各向同性刻蚀有类似的设计考虑： $10\mu\text{m}$ 宽的等效线间距、 $5\mu\text{m}$ 深的沟槽会导致相邻沟槽的串通。

器件间的相互作用主要是由许多因器件和工艺细节所致的外观因素引起的。晶体管相互间需电隔离，而这种隔离要占据一定空间。为避免磁场耦合，电感器件之间必须放得远一些。通常在两个线圈间限制放置一些结构，以免其被耦合入磁场内。

不同层次的掩模版，具有不同的线宽规则。含有关键结构的掩模版，允许线条较窄，但对于仅有非关键结构的掩模版：如 $50\mu\text{m} \times 50\mu\text{m}$ 或 $100\mu\text{m} \times 100\mu\text{m}$ 的引线键合接触孔尺寸，设计规则要求可宽松一些。例如，其最小光刻套准规则要求 $5\mu\text{m}$ 就可，但对关键图形层则需 $0.3\mu\text{m}$ 的最小光刻套准规则。

9.3.1.2 防止各种寄生效应

输入与输出端应尽可能远离，以防止互相影响。电阻等发热元件要设计在芯片中央，使芯片温度分布均匀。设计铝条时，希望铝条尽量短而宽。铝条本身也要引入串联电阻，因此也需计算铝条引入的串联电阻对线路的影响。铝条不能相交，在不可避免的交叉线时，可让一条或几条铝条通过多发射极管的发射极区间距或发射区与基区间距，也可从电阻上穿过，

但不应跨过三次氧化层。铝条压焊点电极要有合理分布,应符合引出脚排列。

在设计 IC 时应尽可能避免使用扩散条穿接方式,因为扩散条不仅带来附加电阻和寄生电容,还占据一定面积。在 LSI 中,当一层布线无法保证实现元件之间的必要连接时,普遍使用多层布线。

9.3.1.3 保证元件的对称性

参数要求相互一致的元件,应放在邻近的区域。几何结构尽可能对称,不能只考虑走线方便而破坏对称性。

为了减小版面同时又使走线方便、布局合理,各电阻的形状可以灵活多样,小电阻可用隐埋电阻。各管电极位置可以平放或立放。所设计的电路应留有适当的过载能力,并避免使用易损坏的元件。压焊块的数目以及排列顺序应该与外壳引出脚排列相符合,电极分布应均匀。

9.3.1.4 接地孔尽可能开大

凡需接地的发射极、电阻等不能只靠在隔离槽上开的接触孔接地,要尽可能让地线直接通过该处。接地线尽可能地沿隔离槽走线。接电源的引线应短而宽,接 V_{cc} 的电源孔应尽可能开大些。集电极等扩磷孔应比其他接触孔大。铝条适当盖住接触孔,在位置空的地方可多覆盖一些,走线太紧时,也可只覆盖一边。

9.3.1.5 确定光刻的基本尺寸

根据工艺水平和光刻精度定出图形及各个扩散间距的最小尺寸,其中最关键的是发射极接触孔的尺寸和套刻间距。集成电路是由一系列相互套合的图形所组成,其中最小的图形是发射极接触孔的宽度,所以往往选用设计规则中的最小图形尺寸作为发射接触孔。其他图形都是在此基础上考虑图形间的最小间距面进行逐步套合、放大。最小图形尺寸受到掩模对中容差,在扩散过程中的横向扩散、耗尽层扩展等多种因素的限制。

如果最小图形尺寸取得过小,则会使成品率下降。如取得过大,则会使芯片面积增大,使电路性能和成本都受到影响。所以选取最小图形尺寸应切实根据生产上具体光刻、制版设备的精度,操作人员的熟练程度以及具体工艺条件来确定。在一定的工艺水平下,版图上光刻基本尺寸放得越宽,则版图面积越大,瞬态特性因寄生电容大而受到影响。如尺寸扣得越紧,则为光刻套刻带来困难,光刻质量越难保证。这两种情况都会影响成品率。通常是在保证电路性能的前提下适当放宽尺寸。

9.3.2 RCL 器件设计规则

以电阻(resistor)、电容(capacitor)和电感(inductor)三大器件为例来说明设计规则。与数字电路相比,模拟电路需要更多的电子器件种类,需要更大的电阻。在数字 MOS 晶体管中,尽管 10% 的线宽变化不会引起开关动作的改变,但它会造成 10% 的电阻器阻值的变化。10% 的栅氧层厚度变化不会损坏 MOS 晶体管,尽管其阈值电压和漏电流与设计值有所差异,但对于模拟电容的电容值变化就会固定下来。在许多场合,通常不关心电阻或电容的绝对值,但会考虑两个电阻或电容的比值。通常在整个硅片范围内的薄膜沉积的工艺非均匀度须控制在 $\pm 5\%$ 内,但局部均匀度还需要控制得更严格。

电感是说明线宽和线间距规则的又一例证,参见图 9-6 和表 9-5。线宽决定了电感值,而线间距对电感是很重要的。过窄的线间距有利于节省空间,但这又受限于光刻分辨率。过窄的线条会导致阻值损失量的增加,并因此造成负面影响。

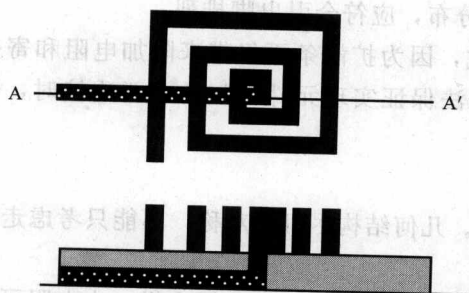


图 9-6 电感线圈（黑色）：俯视图
和沿 A—A' 线的剖面图
底层金属连线（点状）与线圈中心连接

电阻的阻值取决于线宽、线长、厚度和电阻值，通常后两者通过薄层电阻联系在一起 ($R_s = \rho/t$)。高电阻值需要使用薄、长和窄的线条或电阻率高的材料。电阻器线宽很少采用工艺允许的最小线宽，而通常采用稍宽的线条以提高对电阻值的调节能力。长而直的电阻器会使电阻图形复杂化，故通常采用蜿蜒形的电阻器。但是，蜿蜒结构需要一些特殊的规则，因为与直线部分相比，线角拐角对电阻值没有同等的贡献。由于工艺控制与可重复性方面的一些原因，减薄电阻器不太可行。需特别说明的是，薄膜厚度对薄膜电阻率是有影响的，即减薄电阻器会导致一些新的材料特性。

表 9-5 电感的设计规则

最小线宽	5 μm	不相干电感距离	50 μm
最小线间距	3 μm	推荐拐角角度	45°, 90°

电阻器的设计规则包括线宽和线间距规则、薄层电阻规则，以及对于蜿蜒图形边角需选用更适当的规则（参见表 9-6）。由于薄膜电阻器是采用刻蚀工艺形成的，则线间距规则是由工艺决定的，它可做得非常小。通常扩散型电阻器需要有水平扩散的限制。这不同于电感，由于电阻器在相隔距离范围内没有相互作用，故两个电阻器的放置距离可设置为最小线间距。

表 9-6 多晶硅薄膜电阻器的设计规则

电阻宽	3 μm	低电阻率多晶硅	500 Ω/\square
电阻条间距	3 μm	对于蜿蜒形电阻器的拐角角度	90°
高电阻率多晶硅	5000 Ω/\square		

单位面积的电容是电容的基本电性规则 ($C/A = \epsilon/d$)。电容规则是双层薄膜规则即需特别注意底部和顶层电极，因为电极尺寸决定了电容面积。图 9-7 为两个电容结构的例子。

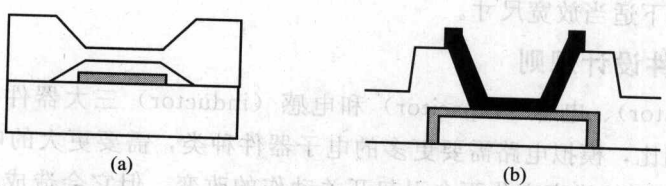


图 9-7 微机械空隙电容（底层电极尺寸决定了电容面积）(a) 与
金属-多氧化物-多晶硅电容（顶层电极尺寸决定了电容面积）(b)

9.3.3 层与层间的布局规则

底层电极与顶层电极的布局必须遵从设计规则。图 9-8 说明的是理想状态和未对准的电容剖面图。必须避免顶层电极的错位，因为其结果会导致电容面积的不确定性，而且侧墙薄膜质量与平面区域有所差异，侧墙的击穿电压与平面区域上也不同。设计规则必须减小电容顶层电极面积至一定范围，以确保得到的电容是平面电容。

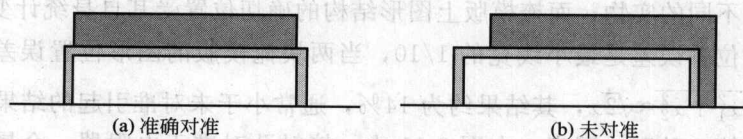


图 9-8 一种电容的剖面图：顶层与底部电极

通常，对于两个不同层边缘位置的确定，也有类似的基础规则。由于位错（光刻和刻蚀的不确定性）总会在边缘位置带来一些不确定因素，故实现两层结构彼此完全对准是十分困难的（如图 9-9 所示）。如果图形未对准，会造成严重的形貌演变。不相关结构的线间距规则对层间厚度也提出了要求，以避免产生层间裂口。

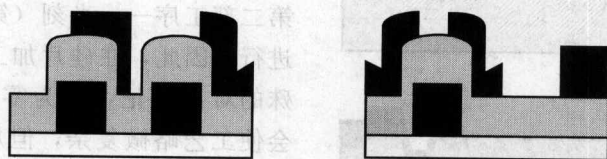


图 9-9 两层不同光刻图形上的重合结构

9.3.4 套准规则

两个不同层的结构需要重叠时，就应考虑套准规则（overlap rule）。套准规则需保证欲接触的不同层的重合，而不考虑工艺的变化。不同层的套准效果受光刻设备的对准能力、图形布置的精度以及对准的次序等三个因素影响。

通常，对于 1 倍光刻设备，其对准能力为其最小线宽的 $1/3$ ，而对步进光刻机则为 $1/5$ 。如果用一台最小光刻精度为 $3\mu\text{m}$ 的接触孔，则需设计对准容差为 $1\mu\text{m}$ 。如果底部电阻器与接触孔具有相同的宽度，错位会导致严重的裂口。当在 CVD 氧化硅中刻蚀形成接触孔，错位接触会暴露底部氧化硅，从而导致底部氧化硅的刻蚀（如图 9-10 所示）。在后续的金属溅射或 CVD 工艺中，这种裂口是难以填充愈合的。

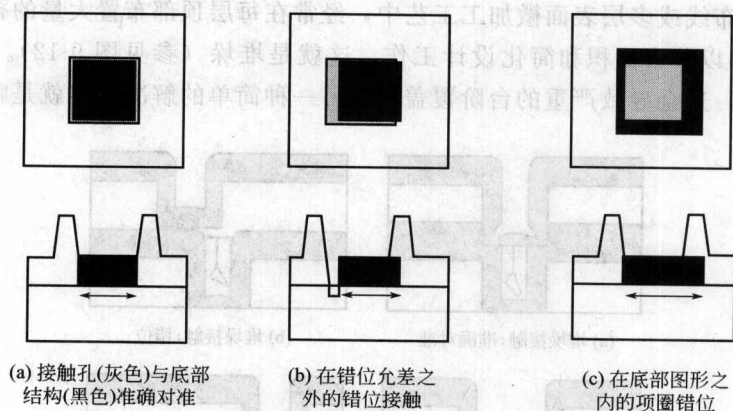


图 9-10 掩模图形的俯视图和通孔对准的剖面图

通常，电阻器的接触面需加工得大一些，以保证接触孔与电阻器能够很好地接触以适应任何图形错位。方法就是采用套准项圈、边界或狗骨（dog bone）图形。这会浪费一些面积，但为提高工艺灵活性是必需的。

第二个影响不同层间对准精度的因素就是掩模版上图形的布置。两个不同层的掩模版是

两张物理上完全不同的实物，而掩模版上图形结构的确切位置受其自身统计变化的影响。如果掩模版上图形位置误差是最小线宽的 $1/10$ ，当两块掩模版的图形位置误差相同，这种因素的影响值为 $\sqrt{x_1^2 + x_2^2} \approx \sqrt{2}x$ ，其结果约为 14%，通常小于未对准引起的结果。

对准顺序是第三种影响因素。在图 9-11 中，接触孔对准于电阻器，金属层也对准于电阻器，图形布置的总体思想是使金属与电阻器能接触。如果金属对准于接触孔，人们就不得不保证两次设备错位允差：一次是保证接触孔与电阻器对准接触，另一方是为保证接触孔与金属对准。假定允差为高斯分布，这会导致 $\delta\sqrt{n}$ 的对准允差，其中， n 为所需的对准次数。

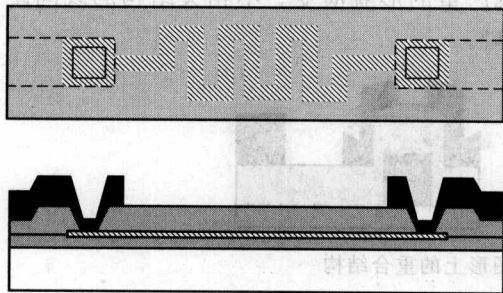


图 9-11 薄膜电阻器的俯视图和剖面图
接触孔和金属均与电阻器对准；电阻器
(点状区域) 接触区为项圈状图形；
以确保与接触孔的套准；金属
项圈保证了接触的套准

如果第一步是扩散或离子注入，在硅片上看不出有什么变化(或有少许变化)，则第二道工序——光刻(第一次对准)就不能进行。因此，在硅片加工之初，刻蚀形成特殊的对准标记，称为零层(zero level)。这会使工艺略微复杂，但从另一角度上看，这使得后续光刻对准更为稳定。后面平坦化工艺可能会抹去该对准标记，但在某些工序中，对准标记会被保护起来。

在电阻器工艺中，采用了各向同性湿法刻蚀工艺。电阻器是一种亮场结构，刻蚀底切会使其线条窄化。但接触孔是一种暗场结构，刻蚀底切会使尺寸宽化。两种工艺影响

叠加在一起后，就必须考虑套准规则。类似地，接触孔与金属刻蚀的尺寸变化趋势相反。通常，对于等离子体刻蚀工艺，在套准规则上的要求比湿法刻蚀控制得更严。由于等离子体刻蚀具有使线条变窄的能力，且它对套准有较严的需求，采用等离子体刻蚀可以提高器件分布密度。

在多层金属布线或多层表面微加工工艺中，经常在每层顶部布置大量的孔洞(如接触孔或释放刻蚀孔)，以节省面积和简化设计工作，这就是堆垛(参见图 9-12)。但是在后续的薄膜沉积工艺中，这会导致严重的台阶覆盖问题。一种简单的解决方案就是将上层接触面做

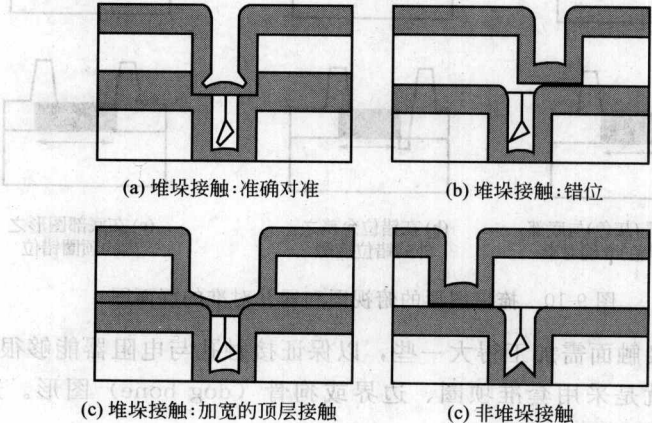


图 9-12 各种类型的堆垛接触状态

得大一些。这可减轻因错位和台阶覆盖引起的一些问题，因为较大的孔深宽比较小。多数情况下，设计规则又禁止使用堆垛接触孔。

当制造的电路器件较少时，错位效应可能会被工艺噪声和其他变数所掩盖。但对于含有百万个器件的芯片制造，从统计分布上看，总会产生一些错位结构，其中一些还是致命的（但一些就被隐藏起来了）。错位会引起无意的刻蚀和比预期更深或更宽的间隙，当这些间隙填充失效时，就会遗留下一些空洞，这会在器件工作时带来潜在的可靠性问题。

对于芯片设计，设计规则的自动检查是一个标准步骤。设计规则检查（design rule checking, DRC）包括单层图形检查（尺寸规则）和层与层之间的检查（套准规则和位置规则）。

9.3.5 电性设计规则

对于 $1\mu\text{m}$ 模拟 CMOS 工艺的电性设计规则参见表 9-7。电路设计师可利用这些值，估计线电阻和时钟延迟，并评估电流密度。

表 9-7 一个 $1\mu\text{m}$ 模拟-数字 CMOS 工艺的电性设计规则

图 形 层	$R_s/(\Omega/\square)$	接 触
多晶硅栅	100 ± 20	金属 1 与扩散层接触
多晶硅电阻器	200 ± 20	金属 1 与多晶硅接触
高电阻多晶硅电阻器	1000 ± 100	金属 2 与金属 1 接触
金属 1	0.1	
金属 2	0.03	

9.3.6 RCL 芯片

对于一个简单器件，有时工序的次序是很明显的。但对于更复杂的器件，其加工工序的次序会有很大的变化。以下是钼（Mo， $\rho\approx 10\mu\Omega\cdot\text{cm}$ ）用作低电阻率电阻器，SiCr 用作高电阻率电阻器（ $\rho\approx 2000\mu\Omega\cdot\text{cm}$ ），钼-氮化硅-铝用作电阻器，金线圈用作电感，LPCVD 氮化硅用作电容电介质，三层 CVD 氧化硅用于器件间的隔离层的 RCL 芯片工艺流程。

硅片选择

沉积钼

光刻掩模版 1：形成钼电阻和电容底层电极图形

刻蚀钼（去胶）

沉积氮化硅（LPCVD）

CVD 沉积氧化硅 1

沉积 SiCr 高电阻率电阻薄膜

光刻掩模版 2：形成 SiCr 电阻图形

刻蚀 SiCr（去胶）

CVD 沉积氧化硅 2

光刻掩模版 3：形成到钼层的接触孔图形

等离子刻蚀 CVD 氧化硅 2/CVD 氧化硅 2/氮化硅（去胶）

光刻掩模版 4：形成到 SiCr 电阻器和电容顶层电极的接触孔图形

湿法刻蚀 CVD 氧化硅 2/CVD 氧化硅 1（去胶）

沉积铝

光刻掩模版 5: 形成铝互连线图形

刻蚀铝 (去胶)

CVD 沉积氧化硅 3

光刻掩模版 6: 形成到铝层的接触孔

刻蚀 CVD 氧化硅 3

光刻掩模版 7: 形成电感线图形

电镀金 (去胶)

9.4 热工艺

9.4.1 薄膜修正

由于存在金属/硅界面和顶层表面易氧化问题, 会使金属薄膜的应用受到一定的限制。溅射、蒸发和电化学金属薄膜沉积基本上属于室温工艺, 即使是在 400°C 以下的热处理也会引起金属薄膜性能的显著变化。化学镀沉积铜具有 $4\mu\Omega\cdot\text{cm}$ 的电阻率, 但在 400°C 的 N_2/H_2 环境中退火后, 其电阻率会降至 $2\mu\Omega\cdot\text{cm}$, 这主要是由于铜晶粒长大和逸失所致。

CVD 薄膜 (尤其是 PECVD 薄膜) 和旋涂薄膜通常是多孔而不稳定的。PECVD 薄膜中可能含高达 30% (质量分数) 的氢, 这些氢会在后续工序中扩散。在 900°C 的惰性气体保护下退火, 可使 (PE) CVD 薄膜得以致密化, 性能趋于稳定。致密化后的薄膜厚度会有所降低, 但通常不会超过 10%。薄膜致密化会导致刻蚀和抛光速度降低。由于热氧化层厚度遵从扩散控制的抛物线形生长定律, 对 (PE) CVD 氧化层的高温退火存在一定的高温空间。随着薄膜沉积时间的延长, (PE) CVD 薄膜厚度呈线性增加。当氧化层用于 MEMS 掩模层和光学器件中的波导管时, 其厚度较厚。

薄膜沉积还需要化学计量设计。对于氧化硅薄膜, 氧气退火可能会导致更适合化学计量的二氧化硅薄膜。溅射和 MOCVD 沉积的 Ta_2O_5 的介电常数 (ϵ) 约为 25, 而退火再结晶 Ta_2O_5 的介电常数却升至 35 左右。

600°C 左右的退火会使非晶 LPCVD 硅再结晶成为多晶硅。这种多晶硅不同于在 600°C 直接沉积的多晶硅, 主要表现在晶粒尺寸和晶粒尺寸分布上的差异, 以及表面形貌和应力状态的不同。当向这些薄膜掺杂后, 会导致不同的电阻率。这是由于在多晶薄膜中, 掺杂剂扩散取决于晶粒尺寸和尺寸分布。在多晶硅中的扩散主要是沿晶界进行的, 只有少量扩散在晶粒内进行。因此, 掺杂剂在多晶硅中比在单晶硅中扩散要快得多。

9.4.2 表面修正

对于硅局部热氧化 (LOCOS) 而言, 氮化硅是一种标准掩模材料。即使氧气不能扩散穿透氮化硅层, 氮化硅表面仍会与氧气反应。这将改变表面层特性, 形成氮氧化层 (oxynitride), 其厚度限于几纳米。PECVD 可用于沉积抗蚀材料, 采用的是一种可同时沉积氧化硅和氮化硅的工艺。

当硅片装载进入氧化炉中后, 氮气用做隔离气体, 由于炉内温度相当高, 硅表面存在一定的氮化反应是完全可能的。通常氮化需在氨气环境中进行。氧化硅也可在 NH_3 中得到氮化。与纯的氧化硅相比, 氮氧化硅薄膜有较高的介电常数和更好的电特性。这类薄膜包括已知的氮化的氧化硅 (nitrided oxide, NO)、氧化的氮氧化硅 (oxidized nitrided oxide,

ONO) 和再氧化的氮化氧化硅 (reoxidized nitrided oxide, RONO) 薄膜。这些薄膜是深亚微米 CMOS 技术的标准栅极介电质材料 (栅氧厚度小于 10nm)。

最常遇到的无意表面变化是氧化。炉管气氛中残留的氧化或潮气会导致硅片表面的氧化。铜在潮湿气氛中退火会造成氧化。有时, 硅片表面氧化保护了表面。例如, 铝表面氧化后, 在耐腐蚀性方面比铝更好, 所以对铝表面进行适当的氧化。室温等离子体氧化 (如用氧气的 RIE 刻蚀工序) 即可实现这种功能。

9.5 金属化

芯片金属化是应用化学或物理方法在芯片上沉积导电金属薄膜的过程。这一过程与介质的沉积紧密相连, 金属线在 IC 电路中传导信号, 介质层则保证信号不受邻近金属线的影响。在某些情况下金属和介质薄膜处理工艺是由同一设备完成沉积的。

金属化对不同金属连接有专门的术语名称。互连 (interconnect) 是指由导电材料, 如铝、多晶硅或铜制成的连线将电信号传输到芯片的不同部分。互连也被用作芯片上器件和整个封装之间普通的金属连接。接触 (contact) 是指芯片内的器件与第一层金属层之间在硅表面的连接。通孔 (via) 是穿过各种介质层中的某一金属层到毗邻的另一金属层形成电通路的开口。“填充薄膜”是指用金属薄膜填充通孔, 以便在两金属层之间形成电连接。

层间介质 (interlayer dielectric, ILD) 是绝缘材料, 它分离了金属之间的电连接。ILD 一旦被沉积, 便被光刻成图形以便为各种金属层和硅之间形成通路。用金属填充通孔, 通常是用钨 (W) 形成通孔填充薄膜。在一个芯片上有许多通孔, 一个 300nm 见方单层芯片上的通孔数可达一千亿个。在一层 ILD 中制备通孔的工艺, 在芯片的每层中都被重复。在传统的金属化过程中, 铝合金覆盖层被沉积在介质层上, 然后被光刻成图形并形成金属连线。

金属化技术对于提高 IC 的性能很关键。对于传统 IC 技术而言, 由互连线引起的信号延迟使芯片性能降低不太突出。因为在传统器件中, 主要信号延迟是由器件引起的。然而, 对新一代 USL 产品制造业而言情况就不同了。金属和线越密, 互连线引起的信号延迟占去时钟周期的部分就越大, 对 IC 性能的影响也越大。

9.5.1 金属类型

9.5.1.1 金属材料基本要求

以提高性能为目的、用于芯片互连的金属与合金的类型正在迅速发展。对一种成功的金属材料的要求主要有以下几方面。

- (1) 电导率 为维持电性能的完整性, 必须具有高电导率, 能传导高电流密度。
- (2) 黏附性 能够黏附下层衬底, 容易与外电路实现电连接。与半导体和金属表面连接时接触电阻低。
- (3) 淀积 易于淀积并经过相对低温处理后具有均匀的结构和组分 (对于合金)。能够为金属化工艺沉淀具有高深宽比的间隙。
- (4) 刻印图形/平坦化 为刻蚀过程中不刻蚀下层介质的传统铝金属化工艺提供具有高分辨率的光刻图形。
- (5) 可靠性 为了在处理和应用过程中经受温度循环变化, 金属应相对柔软且较好的延展性。

(6) 抗腐蚀性 很好的抗腐蚀性，在层与层之间以及下层器件区具有最小的化学反应。

(7) 应力 很好的抗机械应力特性以便减少硅片的扭曲和材料失效，比如断裂、空洞的形成和应力诱导腐蚀。

9.5.1.2 重要的金属材料

常见于硅片制备和硅工艺的不同金属的熔点、电阻率列在表 9-8 中。

表 9-8 硅和硅片制造业中常用金属 (在 20℃)

材 料	熔点/℃	电阻率/ $\mu\Omega \cdot \text{cm}$	材 料	熔点/℃	电阻率/ $\mu\Omega \cdot \text{cm}$
硅(Si)	1412	约 109	钛(Ti)	1670	60
掺杂的多晶硅	1412	500~525	钽(Ta)	2996	13~16
铝(Al)	660	2.65	钼(Mo)	2620	5
铜(Cu)	1083	1.678	铂(Pt)	1772	10
钨(W)	3417	8			

在硅片制造业中各种金属和金属合金可组合成铝、铜铝合金、铜、阻挡层金属、硅化物以及金属填充塞等多种材料。

(1) 铝 与硅及二氧化硅相同，铝是用于硅片制造业中最主要的材料之一。在微电子器件制造中，最早使用的互连金属是铝。铝以薄膜的形式在硅片中连接不同器件。铝是淀积在硅片上最厚的薄膜之一，第一层金属厚约 500nm。在硅片上，上层非关键层（例如，具有焊接区的金属层）厚度能达到 2000nm。

铝在 20℃ 时具有 $2.65\mu\Omega \cdot \text{cm}$ 的低电阻率，但比铜、金、银的电阻率稍高。然而铜和银都比较容易腐蚀，这阻碍了它们被用于微电子和半导体制造。金和银比铝昂贵，而且在氧化膜上附着不好。金在硅片制造中有时被应用，但由于与硅的高接触电阻使得它需要有一层铝作为过渡层。另一方面，铝能够很容易和氧化硅反应形成氧化铝 (Al_2O_3)，这促进了氧化硅和铝之间的附着。铝能够轻易淀积在硅片上，可用湿法刻蚀而不影响下层薄膜。铝和它的主要过程是兼容的，并且成本相对低廉。基于这些原因，铝成为首选的金属化材料。然而，由于硅片上电路集成度的增加，金属和线层数的增加，线宽划分越来越细，金属化工艺已经从简单的单层发展到多层金属布线。由于铜具有更低的电阻率，有望取代铝成为主要的互连金属材料。

(2) 铝铜合金 虽然铝是 IC 的主要互连材料，但有电迁徙引起的可靠性问题。由于动量从传输电流的电子转移，引起铝原子在导体中移动，在大电流密度情形下，电子和铝原子碰撞，引起原子逐渐移动，导致原子在导体负极的损耗。在导体中，哪里发生原子损耗，哪里就会产生空洞 (void)，引起连线减薄，一个潜在的可能是引起断路。

在导体的其他区域，有金属原子堆积起来形成小丘。由于电迁徙，小丘在金属薄膜的表面鼓出，如果大量的小丘形成，毗邻的连线或者两层之间的连线有可能短接在一起。在超大规模集成电路技术、高级电路的设计中，芯片的温度会随着电流密度而增加。这两者都会使铝芯片金属化更易引起电迁徙。

由铝和铜形成的合金，当铜的含量在 0.5%~4% 之间时，其连线中的电迁移可以得到控制。通过减少铝中颗粒之间的界面扩散效果，使得形成的合金从根本上增加了传输电流的能力。当铜在铝中的含量超过 8% 时，实际电迁移将增加。由于铜的添加而减少了铝铜合金中电迁徙的确切原因，目前尚不十分清楚。在接触孔和通孔也有可能电迁徙的问题。接触孔的电迁徙失效机制问题可通过阻挡层金属化解决。电迁徙现象是集成电路中广泛研究的失

效机制之一。电迁徙在芯片使用一段时间后经常发生,这意味着客户使用期间发生灾难性的失效。

(3) 铜 IC 互连金属化引入铜有如下的优点。

① 减小电阻率。在 20°C 时,互连金属线的电阻率从铝的 $2.65\mu\Omega\cdot\text{cm}$ 减小到铜的 $1.678\mu\Omega\cdot\text{cm}$,减少 RC 的信号延迟,增加芯片速度。

② 减少功耗。减少了线的宽度,降低了功耗。

③ 更高的集成密度。更窄的线宽,允许更高密度的电路集成,这意味着需要更少的金属层。

④ 良好的抗电迁徙性能。铜不需要考虑电迁徙问题。

⑤ 更少的工艺步骤。

与传统的铝互连比较,用铜作为半导体互连主要涉及三个方面的问题。

① 铜很快扩散进氧化硅和硅,进而会扩散进硅的有源区(如:晶体管的源/漏/栅区)而损坏器件,因为这将引起结或者氧化硅漏电。

② 应用常规的等离子体刻蚀工艺,铜不容易形成图形。

③ 低温下($<200^{\circ}\text{C}$)空气中,铜很快被氧化,而且不会形成保护层阻止铜进一步氧化。

(4) 阻挡层金属 提高欧姆接触可靠性更有效的方法是用阻挡层金属化,这种方法可消除诸如浅层材料扩散或结尖刺的问题。阻挡金属层是沉积金属或金属塞,作用是阻止层上下材料互相混合。阻挡金属层的厚度在特征尺寸为 $0.25\mu\text{m}$ 那一代器件中的典型值约 100nm ,而在 $0.35\mu\text{m}$ 那一代器件中的厚度为 $400\sim 600\text{nm}$ 。

阻挡层金属在半导体制造业中被广泛应用。为了连接铝互连金属线和硅源漏之间的钨填充薄膜接触,阻挡层金属阻止了硅和钨相互进入接触点,也阻止了钨和硅的扩散。

可接受的阻挡层金属的基本特性如下所述。

① 有很好的阻挡扩散特性。结果是界面两边材料(如钨和硅)的扩散率在烧结温度时很低。

② 高电导率具有很低的欧姆接触电阻。

③ 在半导体和金属之间有很好的附着。

④ 抗电迁徙。

⑤ 在很薄并且高温下具有很好的稳定性。

⑤ 抗侵蚀和氧化。

通常用做阻挡层的金属是难熔金属。在硅片制造业中,用于多层金属化的普通难熔金属有钛(Ti)、钨(W)、钽(Ta)、钼(Mo)、钴(Co)和铂(Pt)。钛钨(TiW)和氮化钛(TiN)也是两种普通的阻挡层金属材料,它们禁止硅衬底和铝之间的扩散。

(5) 硅化物 难熔金属与硅在一起发生反应,熔合时形成硅化物。硅化物是一种具有热稳定性的金属化合物,并且在硅/难熔金属界面具有低的电阻率。在硅片制造业中,难熔金属硅化物是非常重要的,因为为了提高芯片的性能,需要减小许多源漏和栅区硅接触的电阻。在铝互连技术中,用于接触的普通难熔金属是钛和钴。

如果难熔金属和多晶硅反应,应付生成多晶硅化物。掺杂的多晶硅被用做栅电极,相对而言它有较高的电阻率($500\mu\Omega\cdot\text{cm}$),这导致了不应有的信号延迟。但多晶硅化物对减小连接多晶硅的串联电阻是有益的,同时它也保持了多晶硅与氧化硅好的界面

特性。

在硅化物形成过程中，通过减少残留在硅表面的氧化硅而减少硅化物的接触电阻。硅化物在金属和硅接触区域作为一个关键的附着层。许多硅化物在超过 1000℃ 后仍然是稳定的。表 9-9 列出了一些用于硅片制造的硅化物的特性。最低的熔化温度是合金熔化的最低温度。硅化物熔化是不希望发生的，因为液态合金能延伸进入硅衬底材料并引起结尖刺。

表 9-9 硅化物的一些特性

硅化物	最低熔化温度 /℃	形成的典型温度 /℃	电阻率 / $\mu\Omega \cdot \text{cm}$	硅化物	最低熔化温度 /℃	形成的典型温度 /℃	电阻率 / $\mu\Omega \cdot \text{cm}$
铂/硅(PtSi)	830	700~800	28~35	钽/硅(TaSi ₂)	1385	900~1100	35~55
钴/硅(CoSi ₂)	900	550~700	13~19	钼/硅(MoSi ₂)	1410	900~1100	40~70
钛/硅(TiSi ₂)	1330	600~800	13~17	钨/硅(WSi ₂)	1440	900~1100	31

通常把难熔金属淀积在硅片上，接着进行高温退火处理以形成硅化物材料。在有硅的区域，金属与硅反应形成硅化物。在硅片表面的其他区域，如表面是氧化硅，有很少或者没有硅化物形成。这个热退火步骤通常在一个多腔集成设备中使用快速热退火处理完成。

(6) 金属填充塞 对数以十亿计的通孔来说，多层金属化产生了用金属填充塞填充的可能性，以便在两层金属之间形成电通路。接触填充薄膜也被用于连接硅片中硅器件和第一层金属化。目前最常用于填充的金属是钨。当用化学气相沉积法淀积薄膜时，钨具有均匀填充高深宽比通孔的能力，如图 9-13。钨可抗电迁徙引起的失效，因此也被用作阻挡层以禁止硅和第一金属层之间的扩散及反应。钨是难熔材料，熔点是 3417℃，在 20℃ 时，体电阻率是 $52.8\mu\Omega \cdot \text{cm}$ ，热膨胀系数与硅相当，W 约为 $415 \times 10^{-6} \text{℃}^{-1}$ ，Si 约为 $310 \times 10^{-6} \text{℃}^{-1}$ 。以 LPCVD 方法淀积的钨内应力不太高且台阶覆盖能力极强。W 在抗电迁移、台阶覆盖性能方面均好于 Al，但电阻率高于 Al ($217\mu\Omega \cdot \text{cm}$)，淀积表面粗糙（粗糙部分厚度约为总厚度的 20%），难于刻蚀图形，对于光刻胶有侵蚀，而且与 SiO₂、SiN 的黏附性差。在 400℃ 以上，表面会发生氧化，在 600℃ 以上，接触孔处的 W 会与 Si 发生硅化反应。

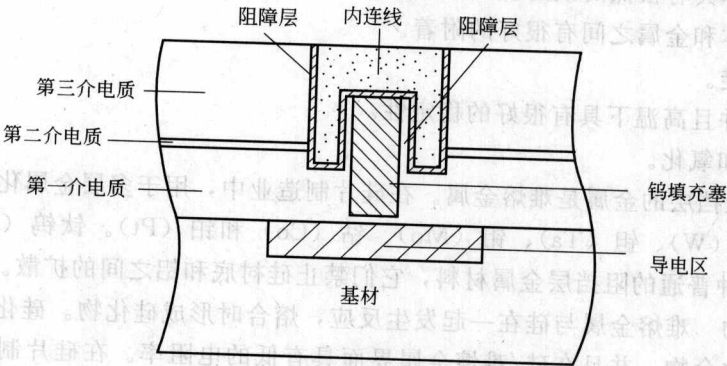


图 9-13 具有钨填充塞的稳定金属化结构

钨填充塞工艺通常采用覆盖式钨淀积 (blanket WCVD) 无选择性地在 SiO₂ 表面和接触孔或通孔开口处淀积钨，再进行钨反腐 (W etchback)。去除圆片表面的钨，仅留下接触孔或通孔中与 SiO₂ 表面等平面的钨，即钨填充塞。

为了增强 W 淀积层与底部金属层之间的黏附能力，抑制以 Al 为主的内连线的电迁移现

象,防止 W 与 Al 直接接触所发生的交互作用,通常在 WCVD 前先做一层 TiN 或 TiW 的黏着层 (glue layer),厚度约 50~100nm, W 厚度约 500~1000nm。由于 RIE 干法刻蚀对于 W 与 TiW 的选择性较差,因此普遍采用稳定性较好的反应溅射 TiN。

铝因其电阻率低 ($2.65\mu\Omega\cdot\text{cm}$) 而作为填充材料,但溅射的铝不能填充具有高深宽比的通孔。基于这个原因,铝被用作互连材料,钨被限于做填充材料。最近回流铝填充薄膜的方法已经引起人们的兴趣。将铝通过溅射淀积进入通孔,然后用快速热处理 (RTP) 的方法进行高温回流。

9.5.2 金属淀积系统

金属淀积系统主要包括蒸发、溅射、金属 CVD 和铜电镀。

9.5.2.1 蒸发

在半导体制造的早期,所有金属层都是通过蒸发法淀积的。为了获得更好的台阶覆盖、间隙填充和溅射速率,从 20 世纪 70 年代后期开始,在大多数硅片制造技术领域溅射已经取代蒸发。

蒸发是由将待蒸发的材料放进坩埚、在真空系统中加热并使之蒸发等过程组成。最典型的加热方法是利用电子束加热放置在坩埚中的金属。在蒸发器中通过保持高真空环境,蒸气分子的平均自由程增加,并且在真空腔内以直线形式运动,直到它撞到表面凝结形成薄膜。

蒸发的最大缺点是不能产生均匀的台阶覆盖。在超大规模集成电路技术时代,金属化需要能够填充具有高深宽比的孔并且产生等角的台阶覆盖。通过加热硅片以及在具有半球形笼子的腔体里旋转硅片,在台阶覆盖方面取得了一些进步。然而蒸发技术在性能上不能形成具有深宽比大于 1.0:1 的连续薄膜,并且边缘部分的深宽比处于 (0.5~1.0):1 之间。蒸发这一缺点导致了它在 IC 生产中被淘汰。

蒸发的另一个严重缺点是对淀积合金的限制。为了淀积由多材料组成的合金,蒸发器需要多个坩埚。因为不同材料的蒸气压不同,使得控制被淀积合金最后组分具有任意精度变得很困难。

由于溅射系统改进了台阶覆盖能力,在硅片制造业中迅速取代了蒸发器。蒸发器仍然应用于研究领域和一些化合物半导体技术,是由于将蒸发器差的台阶覆盖性在特殊化处理过程中作为优点使用。此外,为了在芯片表面淀积焊料凸点,蒸发优势仍然被应用于芯片封装过程。

9.5.2.2 溅射

溅射是物理气相沉积形式之一,于 1852 年由 William Robert Grove 发现,并由 Langmuir 在 20 世纪 20 年代开发成为薄膜沉积技术。溅射主要是一个物理过程,而非化学过程。在溅射过程中,高能粒子撞击具有高纯度的靶材平板,按物理过程撞击出原子。这些被撞击出的原子穿过真空,最后沉积在硅片上。

溅射的优点是:①具有沉积并保持复杂合金原组分的能力;②能够沉积难熔金属;③能够在直径为 200mm 或者更大的硅片上控制沉积均匀薄膜;④具有多腔集成设备,能够在沉积金属前清除硅片表面沾污和本身的氧化层。

通过溅射可以获得良好的台阶覆盖,用离子化金属等离子体的方法在近几年取得了发展。对于关键应用,如钨填充塞的台阶覆盖,沉积过程通常由 CVD 金属过程来完成。溅射不断地用于沉积关键的阻挡层和种子层,如用于铜金属化的钽和氮化钽 (当深宽比合理时)。

溅射有六个基本步骤：①在高真空腔等离子体中产生正氩离子，并向具有负电势的靶材料加速；②在加速过程中离子获得动量并轰击靶；③离子通过物理过程从靶上撞击出（溅射）原子，靶具有想要的材料组分；④被撞击出（溅射）的原子迁移到硅片表面；⑤被溅射的原子在硅片表面凝聚并形成薄膜，与靶材料比较，薄膜具有与它基本相同的材料组分；⑥额外材料由真空泵抽走。

9.5.2.3 金属 CVD

由于 CVD 具有极好的一致性、等角的台阶覆盖以及对高深宽比接触和通孔无间隙式的填充，在金属沉积方面的应用正在增加。当器件的特征尺寸到 $0.15\mu\text{m}$ 或更小时，这些因素在硅片制造业中至关重要。在 $0.15\mu\text{m}$ 的器件设计中，DRAM 存储器通孔的深宽比被设计成 7:1，逻辑电路被设计成 2.4:1。

(1) 钨 CVD 作为沉淀通孔填充薄膜以及在第一金属层与硅化物接触之间扮演接触填充物的过程，钨 CVD 被用于多层互连技术。基于其低电阻率，钨 CVD 也被用于局域互连。钨 CVD 作为填充材料很普通的，这是因为：①极好的台阶覆盖和间隙填充，特别是在高深宽比通孔的填充方面；②良好的抗电迁徙特性。

(2) 铜 CVD 为沉积铜电镀所必需的薄种子层，铜 CVD 是具有潜力的工艺。种子层或触及电镀层是一层厚度约 $500\sim 1000\text{nm}$ 的薄层并沉积在扩散阻挡层顶部（最可能的是以钌为基础的阻挡层金属）。对于成功的电镀而言，沿着侧壁和底部，种子层连续的、没有针孔和空洞是至关重要的。如果种子层不连续，就可能会在电镀的铜中产生空洞。

9.5.2.4 铜电镀

IC 制造业转到铜金属化对所有芯片制造商来说都是只是刚刚起步。首先，高性能微处理和快速静态存储器正在转向铜工艺。铜电镀就像电化学沉积（ECD）或电填充那样，是用于铜金属化的第一代沉积方法。当铜将作为互连金属化主流取代铝时，成本和性能是影响这个问题的重要因素。然而在其他电子制造领域，比如用于磁盘储存器的薄膜磁头、印刷电路板的铜金属线，铜电镀已经成为一个重要的金属化过程。

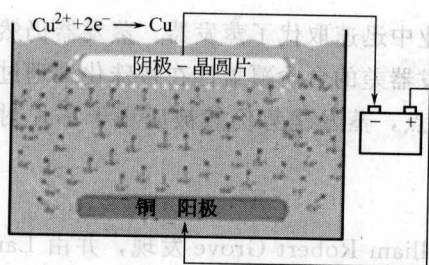


图 9-14 铜电镀工艺图

铜工艺与铝工艺完全不同。一般来说，铝工艺是把铝薄膜淀积在整个晶片的表面，连线图案在金属刻蚀后形成，最后填充隔绝用的介电材料。但对于铜工艺，形成图案采用镶嵌结构。通常来说，首先淀积介电材料，然后进行介电材料的干式刻蚀，接着在扩散层填充铜种子，最后采用铜电镀进行孔洞填充。

铜电镀工艺图如图 9-14 所示。电镀铜的基本原理是将具有导电表面的硅片沉浸在硫酸铜溶液中。硅片和种子层作为带负电的平板或阴极连接到外电源。固体铜块沉浸在溶液中并构成带正电荷的阳极。电镀过程中，金属铜离子在硅片表面阴极被还原成金属铜原子，同时在铜阳极发生氧化反应，以此平衡阴极电流。

根据法拉第定律，淀积厚度 $T = SMIt / (nFPA)$ 。式中， P 为铜的密度， $8.9\text{g}/\text{cm}^3$ ； A 为晶片面积； M 为铜的摩尔质量， $63.54\text{g}/\text{mol}$ ； n 为摩尔当量； F 为法拉第常数， $96500\text{C}/\text{mol}$ 。因此淀积率正比于直流电流和淀积时间。

通常，电解液包含硫酸铜、硫酸、氯化铜以及一些有机添加剂（包括加速剂、抑制剂和

平衡剂)。电镀的关键是空隙填充能力和缺陷控制能力。一般来说,在大尺寸孔洞中,可以使用传统的无有机添加剂的电镀。但是如果孔洞形状复杂,需要选择使用适当的有机添加剂的“底部初始填充”方法。

采用现代的电镀系统,在 45nm 节点以前都可以获得无气孔的真正的“底部初始填充”,铜电镀沉积过程如图 9-15 所示。典型的硫酸铜电镀溶液包含少量的用于有机添加剂吸收的氯离子。目前应用得较为广泛的三种有机添加剂分别是加速剂、抑制剂以及平衡剂。加速剂是含巯基/硫醇基的可溶于水的有机酸盐,它们比其他组分更容易扩散,更容易到达特征结构的底部,这样就促进了特征结构内部的淀积。抑制剂是氧化乙烯和聚氧化丙烯的共聚物,分子量 2000~8000,它作为缓冲物在铜表面形成厚的单层膜,通过阻碍铜离子扩散来抑制铜淀积。平衡剂是含氮的高分子量聚合物。平衡剂的堆积能力在不同电场强度下不同,当发生隆起或凹陷时,它将增强或抑制铜的淀积。

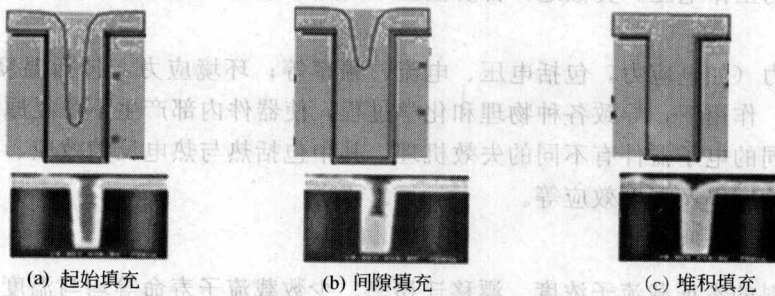


图 9-15 底部填充示意图

通常在后段布线工艺,仍然需要边缘腐蚀清洗和旋转清洗干燥工艺来清除边缘和侧壁过度电镀的铜以及硅片前后侧残留的硫酸铜。在此之后,淀积后的晶片需要进行退火,使晶粒更加稳定和均匀,这对于铜电镀和接下来的 CMP 工艺的整合是非常有帮助的。

与传统的 PVD SIP TaN/Ta 或 ALD 阻挡层相结合,已经开发了无核淀积,该方法使用钌合金或 ALD 钌,而且不需要阻挡层和种子层,钌的厚度只有 10nm,这将使得电镀方法拥有更优异的空隙填充能力。在电化学淀积方面,人们开始研究新的化学物质来实现尽可能低铜电阻的空隙填充。

9.6 可靠性测定

最后的钝化工艺提供了环境保护。钝化层提供机械保护(如防刮伤)、化学防护(如防潮)、吸杂和物理保护(如防钠扩散)。

标准钝化材料为 PSG 和 PECVD 氮化硅,既可以独立使用,也可以双层复合使用。CVD 氧化硅中掺磷有利于对钠离子的吸收,但太多的磷会造成氧化硅吸潮,所以对掺磷量有一个选择权衡。通常,磷含量约为 5% 的质量分数。氮化硅主要是提供机械强度和化学防护。但是,这种化学稳定性会影响键合接触垫开孔的等离子刻蚀能力。氧化硅钝化层则采用 HF 基溶液刻蚀。由于 HF 水溶液会腐蚀铝,这在工艺上有一定难度。具体可选择比例参见表 9-10。

表 9-10 室温下 HF 对不同材料的刻蚀速率

刻 蚀 剂	材 料					
	SiO ₂	TEOS	PSG	Si ₃ N ₄	Al	Mo
HF(49%)	1763	3969	4778	15	38	0.15
NH ₄ F : HF(7 : 1)(BHF)	133	107	1024	1	3	0.5
HF : H ₂ O(1 : 10)	48	157	922	1.5	320	0.15
NH ₄ F : HF : 甘油(4 : 1 : 2)	89	186	1375	0.8	1	0.3

可靠性既需考虑器件固有特性因素，也需考虑因工作条件所造成的影响因素。氧化硅厚度均匀会造成器件性能的永久非均匀性，如击穿电压的变化。在 MOS 晶体管工作期间，从沟道散射到栅氧层的高能电子会造成栅氧带电，从而进一步造成器件失效。这种器件性能衰退取决于期间的工作电压。类似地，台阶覆盖率固定下来了，其对可靠性的影响由电流密度决定。

在外界应力（如电应力，包括电压、电流、频率等；环境应力，包括温度、射线强度、湿度、冲击等）作用下，导致各种物理和化学过程，使器件内部产生不可复原的效应，称为器件失效。不同的电子器件有不同的失效机理，其中包括热与热电反馈效应、界面效应、静电效应、辐射效应以及湿度效应等。

9.6.1 热可靠性

半导体材料的本征载流子浓度、漂移迁移率、少数载流子寿命等均与温度有强烈的依赖关系，从而导致半导体器件的性能参数对温度有不同程度的敏感性。对于结型器件，其 PN 结反向电流、正向电流和电压、PN 结击穿电压、特征频率以及 MOS 场效应器件的跨导、最高工作频率等均是温度的函数。

由于半导体器件许多参数与温度有关，而芯片温度分布又是由电功率耗散产生的，所以器件的电性能和热性能是相互耦合的。对于结型功率器件，热电耦合甚至构成温度与电流（功率）间的正反馈，出现热不稳定，诱发二次击穿，以致器件瞬时烧毁。这已成为双极型功率器件的一种重要失效因素。

从另一角度而言，任何器件参数的退化过程都可以看作是一种物理的、化学的或物理化学的变化过程。该过程的反应速度可以由 Arrhenius 方程描述，器件参数退化速度随温度升高呈指数规律上升。半导体器件结温（沟温）升高 10~12℃，器件失效率提高 1 倍，平均无故障工作时间（mean time between failure, MTBF）缩短一半。

9.6.2 氧化硅缺陷和电性品质

尽管硅和热氧化生长的氧化硅界面可重新形成，但它与理想状态还是有很大差距的。界面捕获的电荷是由于断开的键（由结构缺陷、氧化诱发缺陷和污染造成）引起的。因为硅中的电势会使这些界面缺陷放电或充电。通过合成气体退火，可降低界面电荷捕获效应。在界面附近，总会存在一些固定正电荷，这与氧化过程中硅离子化效应有关。电离辐射产生的高能电子也可能在界面捕获正或负的电荷，这些电荷可来自污染中的可动电荷（主要是 Na⁺）。

对氧化硅而言，通常其电场以击穿电压来表征其失效模式。10MV/cm 被视为氧化硅的本征击穿电场强度。此即所谓的 C 失效模式（C-mode failure）。B 失效模式（B-mode failure）电场强度在 2~8MV/cm 之间，而 A 失效模式（A-mode failure）发生在 2MV/cm

以下。

A 模式失效是由大缺陷 (gross defect) 引起的, 即针孔和空洞。硅中的晶体自然颗粒 (crystal originated particle, COP) 会造成微观 (微米尺度) 凹坑的氧化, 从而引起栅氧完整性的损失。B 模式失效则较为精细, 如有缺陷引起的氧化硅薄化、捕获电荷或金属污染。C 模式失效时氧化硅的本征结构引起的, 但纳米级缺陷 (如增长表面和界面微观粗糙度) 对这种失效也有影响。A 模式失效被视为制造中的成品率损失, B 模式失效在加速测试或在电场中会带来可靠性问题。

金属的存在与上述许多缺陷均有一定关系。如果表面被污染了, 则会在表面形成硅酸盐 (MgSiO_4) 或 CuSi 和 NiSi 硅化物, 而不是形成氧化硅。这会造成对表面硅的消耗, 进而引起局部区域氧化硅的薄化。未反应的金属溶解入正在生长的氧化硅中, 会导致氧化硅本征击穿强度的降低。钠污染会增加热氧化生长速率。然而铁和铝对热氧化生长速率影响的增长或降低, 则取决于污染的程度和时间。金属也可催化反应 $\text{SiO}_2(\text{s}) + \text{Si}(\text{s}) \rightarrow 2\text{SiO}(\text{g})$ (发生在低氧分压时, 如在炉管中升温阶段), 从而造成氧化硅蒸发, 并形成针孔状缺陷。

氧化硅介电强度测量有许多不同的实验方法。瞬时击穿电压: 在 MOS 栅和基底间的电压是线性增加的 ($0.1\text{V} \cdot \text{s}$ 或 $1\text{V} \cdot \text{s}$) 直至氧化硅击穿。击穿电压 VBD 就定义为电压下降时 (击穿时) 的瞬间电压值。在恒定电流下与时间有关的击穿 (time-to-breakdown, TTBD; t_{BD}): 向绝缘介质输入预先设定的电流, 记录随时间变化的电压值。TTBD 是就当电压瞬时下降时的时间。与电荷有关的击穿 (Q_{BD}): 在恒定电流下, $Q_{\text{BD}} = J_{\text{injected}} \times t_{\text{BD}}$ 。品质好的氧化硅, 其 Q_{BD} 值为 $10\text{C}/\text{cm}^2$ 。但这还得取决于入射电流。

9.6.3 电迁移

有许多因素均会影响电迁移 (electromigration, EM)。宏观因素包括线条的几何尺寸、导线线条宽度、形状和面积; 微观因素包括晶粒尺寸、结构、合金固溶及在晶粒界面和不同材料界面的沉淀。如铜固溶于铝中 [如 2% (质量分数)] 会增加导线抗电迁移的能力, 这是由于铜原子会在晶界阻碍扩散。再则, 金属线晶粒尺寸和线宽之间是有大幅度的下降, 即产生所谓的一个晶粒横穿金属线的“竹节”状结构。在多晶硅材料中, 晶界扩散非常重要, 晶界数量的减少会影响电迁移。

因电迁移引起的平均失效时间 (mean time to failure, MTF) 为:

$$\text{MTF} = AJ^{-n} \exp(E_a/kT) \quad (9-1)$$

式中, A 为受金属线几何尺寸和金属微观结构影响的常数; J 为电流密度; E_a 是激活能; 指数因子 n 值为不定值, 但对于铝通常取 $n=1.7$ 。

对于铝薄膜, 其 E_a 为 $0.5 \sim 0.8\text{eV}$; 而对块状铝, E_a 为 $1.4 \sim 1.5\text{eV}$ 。一般的趋势是激活能越高, 抗电迁移的能力越强。金属熔点 T_m 对电迁移的影响大致为, 熔点越高, 抗电迁移能力越强。整体来看, 高金属熔点可等效于高的键合能。室温相当于铝的 $T_m/3$ 时, 铝原子存在一定的扩散概率。对于钨, 室温相当于其 $T_m/10$, 电迁移处于极小数量级。铜则介于二者之间。对于短金属线, 或电流密度较低时, 电迁移并不是太大的问题。

9.6.4 应力迁移

电迁移的研究, 通常在高温、大电流密度 (高于正常电流密度值) 条件下进行。但在高温下, 即使没有电流通过, 金属线中也易产生空洞, 即应力诱发空洞 (stress induced voiding) 或应力迁移。产生空洞的驱动力是应变场梯度即一些原子趋向于向空洞运动。

应力是由金属与覆盖的 (PE) CVD 介质层之间热膨胀程度的不匹配所致。应力 (延长或膨胀) 正比于 CTE 和温度变化。即对于铝, 在 300℃ PECVD 形成介质层时, 可导致 1% 线性膨胀或 3% 的体积改变。这种线性延长相当于 1GPa 以上的应力。PECVD 时铝线会膨胀延长, 由于沉积氧化硅/氮化硅层的刚性阻挡作用, 膨胀时铝线被牢牢固定住。这种高的拉伸应力可通过破裂来得到弛豫, 一旦裂纹形成, 就会扩大。

铝中的压应力可通过形成小丘而得到松弛。小丘是一种向上的凸起, 其尺寸可达微米级, 相当于介于两金属层的绝缘层厚度。如果刚性层阻碍垂直方向的应力松弛, 则小丘就会水平生长。在以上两个例子中, 由于微米是金属线间距的典型尺寸, 小丘就会造成两条金属线条的短路。低温工艺有助于小丘数的减少, 即应力、电迁移能力的降低。含铜的铝合金化也有助于阻碍小丘的形成, 这是由于铜阻碍了晶界扩散。

铝中的压应力可通过形成小丘而得到松弛。小丘是一种向上的凸起, 其尺寸可达微米级, 相当于介于两金属层的绝缘层厚度。如果刚性层阻碍垂直方向的应力松弛, 则小丘就会水平生长。在以上两个例子中, 由于微米是金属线间距的典型尺寸, 小丘就会造成两条金属线条的短路。低温工艺有助于小丘数的减少, 即应力、电迁移能力的降低。含铜的铝合金化也有助于阻碍小丘的形成, 这是由于铜阻碍了晶界扩散。

9.6.3 电迁移

电迁移是指金属原子在电场作用下发生定向移动的现象。在集成电路中, 电迁移主要发生在金属导线中。当电流通过金属导线时, 金属原子会受到电场力的作用而发生定向移动。电迁移会导致金属导线的局部变细或断裂, 从而影响电路的正常工作。电迁移的速率与电流密度、温度、金属材料的晶粒尺寸等因素有关。一般来说, 电流密度越大、温度越高、晶粒尺寸越小, 电迁移的速率越快。

电迁移是指金属原子在电场作用下发生定向移动的现象。在集成电路中, 电迁移主要发生在金属导线中。当电流通过金属导线时, 金属原子会受到电场力的作用而发生定向移动。电迁移会导致金属导线的局部变细或断裂, 从而影响电路的正常工作。电迁移的速率与电流密度、温度、金属材料的晶粒尺寸等因素有关。一般来说, 电流密度越大、温度越高、晶粒尺寸越小, 电迁移的速率越快。

9.6.4 应力

应力是指物体内部或表面单位面积上所受到的作用力。在集成电路中, 应力主要来源于热膨胀系数的不匹配。当不同材料层在制造过程中受到相同的温度变化时, 由于它们的热膨胀系数不同, 就会产生应力。这种应力可能会导致材料层的开裂、分层或变形, 从而影响器件的性能和可靠性。

离子注入工艺是 CMOS 器件制造中最重要的工艺之一。在 CMOS 器件制造中，离子注入主要用于形成 NMOS 和 PMOS 的沟道区。离子注入工艺是将掺杂剂离子（如磷、砷、硼等）加速到一定能量，注入到硅片表面，形成掺杂区。离子注入工艺的优点是掺杂效率高、掺杂浓度可控、掺杂深度可控等。离子注入工艺的步骤包括：离子源、离子加速、离子注入、退火等。

10

CMOS 晶体管

10.1 概述

CMOS 工艺因其广泛的加工余地，可制造的器件数目是最多的。许多微细加工工序最早来自 CMOS 器件加工，而后再推广至其他器件加工。可以说，近 30 年来，是 CMOS 工艺驱动了线宽的缩小。在 20 世纪 60 年代，离子注入还被视为一种高分辨率的核谱学技术，目前已被广泛应用于 CMOS 掺杂。

在 20 世纪 70 年代，CMOS 线宽尚处于 $5\mu\text{m}$ 尺度范围内。但正是在那个年代，栅极从铝栅转变到了多晶硅栅结构，这才形成了今天 CMOS 的基本结构。 $5\mu\text{m}$ 的 CMOS 工艺具有特征化 CMOS 最基本的工序，包括：氧化硅隔离、离子注入、等离子刻蚀、自对准栅工艺等（见表 10-1）。

表 10-1 铝栅 CMOS 和多晶硅栅 CMOS

项目	铝 栅	多晶硅栅	项目	铝 栅	多晶硅栅
线宽	大于 $5\mu\text{m}$	小于 $10\mu\text{m}$	栅极材料	铝	掺杂多晶硅
掺杂	热扩散	离子注入	栅工艺	非自对准工艺	自对准
隔离	PN 结	氧化硅(LOCOS)	栅刻蚀	湿法刻蚀/各向同性	等离子体刻蚀/各向异性

图 10-1 为 CMOS 加工的主要工艺模块。前道主要形成扩散和掺杂轮廓，为高温工艺。栅模块包括栅极氧化、多晶硅栅的沉积、光刻和刻蚀之后再行源/漏扩散。接触孔（contact）是前道与后道的分界线。在形成金属/硅界面之后，温度必须控制在 450°C 以下。金属布线的层数现已逐渐增加了： $5\mu\text{m}$ CMOS 仅有一层， $2\mu\text{m}$ CMOS 有两层， $0.8\mu\text{m}$ CMOS 有三层，而 $0.13\mu\text{m}$ 技术可达 7 层。

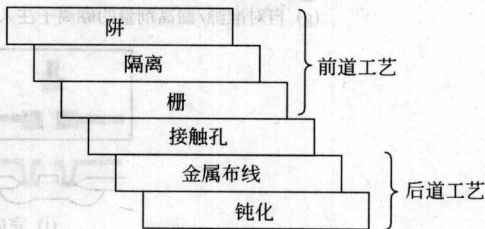


图 10-1 CMOS 工艺加工的主要工艺模块

10.2 多晶硅栅 CMOS 工艺

工艺集成从硅片选择开始。通常选用 $4\Omega\cdot\text{cm}$ 的 N 型硅（掺磷浓度约为 $1.5\times 10^{15}/\text{cm}^3$ ）。此即意味着 NMOS 晶体管做在 P 阱中，而 PMOS 直接做在基底上。如选用 P 型硅片，则相反。

图 10-2 给出了 CMOS 器件制备过程。硅片清洗之后，干氧生长 40nm 厚的接触氧化硅，

接着采用 LPCVD 沉积一层氮化硅用于制备 LOCOS 隔离结构。第一次光刻定义晶体管有源区，保留有源区上方的氮化硅，刻蚀掉隔离区上方的氮化硅。氮化硅刻蚀采用 CF_4 等离子刻蚀，终止于接触氧化层，保留下来的氧化层可保护硅表面不受损伤，使硅片易于清洗。也可以将隔离区的氮化硅/氧化硅层一并刻蚀掉，同时刻掉一部分硅基底，而后再氧化生长厚 LOCOS，这种隔离技术称为凹形 LOCOS 技术。在凹形 LOCOS 技术中，硅刻蚀深度约为最终 LOCOS 氧化层厚度的 50% 时，可使 LOCOS 形成后的硅平面相对平坦。

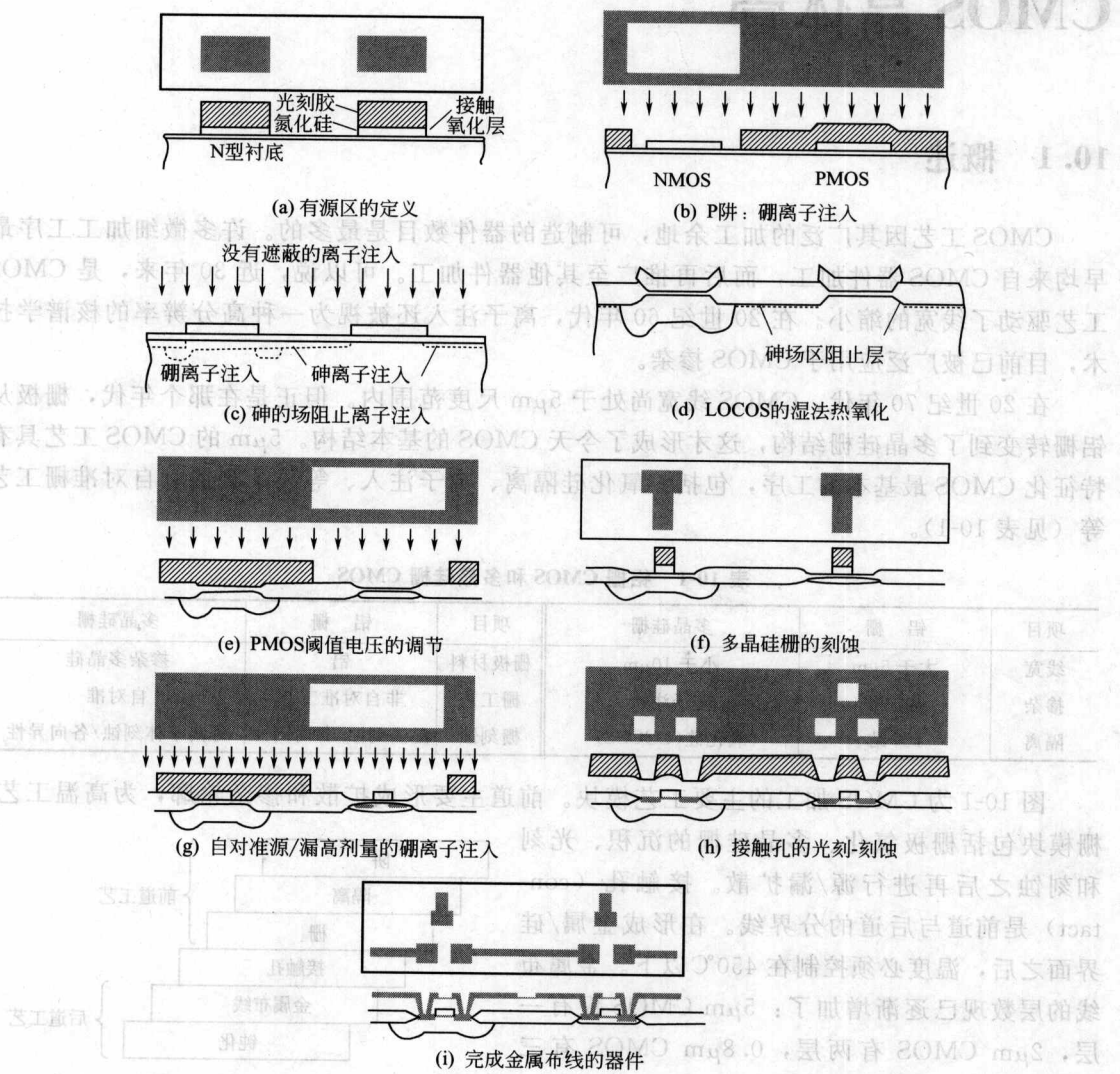


图 10-2 CMOS 器件制备过程

第二次光刻用于定义 P 阱图形 [如图 10-2(b)]，即注入剂量为 $2 \times 10^{13}/\text{cm}^2$ 、能量为 40keV 的硼。将硅片区域划分为三个区域，其中光刻胶保护区域不会有离子注入，因为硼不会穿透光刻胶进入硅基底中，但是硼会穿过薄的接触氧化层而进入硅基底形成掺杂，少量的硼也会穿透氮化硅/氧化硅层，进入硅基底剂量非常少，且深度很浅。

去胶后，离子注入剂量为 $10^{12}/\text{cm}^2$ 、能量为 50keV 的砷 [如图 10-2(c)]。因砷原子的质量较重，能量较低，会导致接触氧化层下的注入深度过浅，甚至无法穿透氮化硅/氧化硅

层, 砷会被限制在最终器件的后场氧下部区域, 这种场氧离子注入有助于相邻晶体管的隔离。阱离子注入结束后就是推进扩散, 先进行短时氧化工序 (950℃干氧氧化, 氧化时间 50min), 而后在 1150℃的氮气环境下扩散。采用四点探针法检测扩散层的薄层电阻。

砷、硼的离子注入会有叠加效果, 采用额外的光刻步骤可消除这种叠加效果。由于硼离子注入剂量是砷的 20 倍, P 阱区仍会保持其 P 型掺杂类型, 这里没有必要消除这种叠加效果。

完成阱推进后是 LOCOS 的氧化生成, 1050℃湿氧环境下氧化 360min, 生成约 1.2μm 厚的氧化层 [图 10-2(d)], P 阱扩散深度约为 4μm。氧化结束后, 需去除氮化硅/氧化硅层, 在 LOCOS 湿氧氧化过程中, 氮化硅表面会有所氧化, 需先用 HF 去除氮氧化物, 再用磷酸刻蚀去除氮化硅, 最后用 HF 清除接触氧化硅。在这些刻蚀步骤中, 没有形成刻蚀图形的要求, 湿法刻蚀的各向同性特性对刻蚀工序没有影响, 而且与等离子体刻蚀相比具有更好的刻蚀选择性。

氮化硅往往残存在有源区的四周, 在光学显微镜下看上去像一根白色带子, 这种残留被称为“白带”。为了保证在 LOCOS 工艺后没有氮化硅的残留, 需进行牺牲层氧化层的生长与去除, 即热氧化生长约 80nm 厚的氧化硅后用 HF 立即清除。

栅氧生长前, 需进行一次 RCA 清洗。采用氨水-双氧水去除颗粒, 采用 HF 去除初始氧化层, 采用盐酸-双氧水清除金属污染。清洗后, 1050℃干氧氧化 65min, 生长一厚约 80nm 的栅氧。

第三次光刻用于调整 PMOS 的阈值电压 [图 10-2(e)], 即离子注入剂量为 $1.2 \times 10^{12} / \text{cm}^2$, 能量为 50keV 的硼。采用离子注入来调整 PMOS 晶体管阈值电压是一个工序次序有所选择的例子, 有两种工序次序可选择 (见表 10-2)。对于次序 I, 在栅氧氧化过程中, 离子注入掺杂剂会进一步扩散, 掺杂深度会比次序 II 深。对于次序 II, 生长的栅氧会经历后续的离子注入和去胶, 二者均会带来对栅氧的潜在损伤, 去胶后的清洗会影响氧化硅/多晶硅界面品质。

表 10-2 PMOS 晶体管阈值电压调整工序

次序 I	次序 II	次序 I	次序 II
光刻	离子注入	光刻	离子注入
去胶	清洗	去胶	清洗
栅氧氧化	多晶硅沉积		退火
清洗	栅氧氧化		多晶硅沉积

厚约 500μm 的多晶硅沉积时并未掺杂, 在沉积后采用 POCl₃ 气相掺杂, 从而获得薄层电阻约为 30Ω/□的掺杂多晶硅。NMOS 和 PMOS 栅采用相同材料, 即掺杂 P (磷) 的多晶硅。

第四次光刻用于定义多晶硅图形, 在 CF₄/O₂ 等离子环境中进行多晶硅刻蚀 [图 10-2(f)]。多晶硅较厚, 对于选择比没有什么要求, 所以工艺优化主要表现在侧壁轮廓、刻蚀速率以及刻蚀均匀性等的优化上。完成去胶和清洗后, 需进行软氧化 (900℃, 干氧氧化 10min), 在多晶硅表面生长约 50nm 后的氧化硅, 其主要目的是去除刻蚀等离子体的损伤, 并在源/漏区域再生长一点氧化硅。

光刻主要是在 PMOS S/D 硼 (B) 离子注入时, 用于保护 NMOS 区域, PMOS 的 S/D 硼离子注入剂量为 $2 \times 10^{15} / \text{cm}^2$, 能量为 40keV [图 10-2(g)]。第五次光刻掩模版与第三次

光刻掩模版相同。第六次光刻掩模版是第五次光刻掩模版的负版，是一自动生成的掩模版，无需单独设计，一旦 PMOS 掩模版设计完成后，反转后即可自动生成。离子注入区域不是 PMOS 区域，而是在 NMOS 或隔离区离子注入磷。NMOS 的 S/D 磷离子注入剂量为 $3 \times 10^{15}/\text{cm}^2$ ，能量为 120keV。去胶并清洗后，在 900℃ 进行 20min 的短时扩散/氧化。

采用 CVD 沉积厚约 1μm 厚的氧化硅（磷硅玻璃，phosphorous-doped silica glass, PSG），PSG 是一种玻璃材料，在高于其玻璃态转变温度（约 1050℃）时会流动，这有助于硅片表面的光滑化。这是最后一次高温工序之后掺杂轮廓就会被冻结下来。PMOS 晶体管和 NMOS 晶体管的结深约为 1μm (L/5)，S/D 区域的薄层电阻则分别约 90Ω/□和 30Ω/□。P 阱深度约为 4μm，其薄层电阻为 4kΩ/□。PMOS 和 NMOS 的阈值电压分别为 1.3V 和 1.5V 左右。

第七次光刻用于在氧化硅中定义接触孔 [图 10-2(h)]。接触孔设计规则必须考虑在湿法刻蚀时 1μm 左右的底切效应，采用在 BHF 中的湿法刻蚀来开接触孔。去胶并清洗后，溅射沉积 1μm 左右厚的金属铝。

第八次光刻主要用于定义金属互连线的图形，在 H₃PO₄ 中湿法刻蚀铝，铝线约 2μm 宽，比原光刻图形要窄，形成直径 2μm 接触孔，比原光刻胶图形要宽，套准规则要求金属会完全覆盖接触孔 [图 10-2(i)]。去胶并清洗后，在 450℃ 的合成气体中退火，以改善硅-铝间的接触。

采用 PECVD 沉积氮氧化硅钝化层。第九次光刻用于形成键合接触垫图形，采用等离子刻蚀氧化硅形成接触垫孔。到经硅片级的加工工艺就全部完成了。之后需进行硅片级典型测试，没有功能的芯片（失效的芯片）会打下墨迹。

10.3 MOS 晶体管的按比例缩小

MOS 晶体管线宽尺寸缩小时，几乎对所有图形化工序均有所变化，等离子体刻蚀将替代湿法刻蚀，为获得更浅的结，氧化和扩散时间也随之缩短，一些工序（如 PSG 回流）被删除，以尽可能减小 S/D 扩散扩展效应。接下来，将从器件和制造的角度，讨论与 CMOS 按比例缩小效应相关的一些问题。

10.3.1 光刻的按比例缩小

随着工艺技术的进步，投影光学系统的分辨率显著提高，随着曝光波长的减小和数值孔径 (NA) 的增加，焦深 (depth of focus, DOF) 显著降低。表 10-3 为假定 $k_2=1$ ， k_1 逐渐改进时，CMOS 光刻技术的发展趋势。

表 10-3 CMOS 的光刻比例缩小

线宽/μm	曝光波长 λ/nm	NA	k_1	DOF/μm
1	436	0.38	0.8	±1.5
0.5	365	0.48	0.6	±0.8
0.25	248	0.60	0.6	±0.35
0.18	248	0.65	0.5	±0.30

获得更高的分辨率和更小线宽的一个途径就是减小曝光波长。人们一直在沿用这一策略，曝光波长从 436nm（汞灯中的 g 线）到 365nm（汞灯中的 i 线），再到 193nm（ArF 激

光), 如果其他参数不变, 仅波长的降低可提高两倍的分辨率和 4 倍的器件面积密度。

提高数值孔径 (numerical aperture, NA) 是另一种提高分辨率的有效途径。通过 NA 的增加来提高光刻分辨率会带来聚焦深度的损失, 使 DOF (焦深) 变得越来越小。

除了考虑光学 DOF 外, 同时也必须考虑光刻胶化学、光刻胶轮廓 (取决于后续工序) 等因素, 另外, 硅片表面或硅片卡盘表面的不平整, 均会影响步进曝光机的聚焦性能。刻蚀和薄层沉积均易产生高达 0.5 微米的表面起伏, 故对光刻而言, 表面的平坦化显得极其重要。后道工艺中的线宽比前道工艺要宽一些, 在某种程度上可缓解对 DOF 要求的压力。

最近, 常数 k_1 对提高光刻分辨率起着日益重要的作用。 k_1 的按比例缩小, 对图形化工艺的控制提出了更高的要求, 包括光刻掩模版尺寸、聚焦机制、光刻胶厚度、显影液浓度以及显影时间等。在实验室研究中, k_1 可小至 0.3, 但需额外工艺检测。在大批量生产中, 由于工艺稳定性的需要, k_1 必定会偏高一些。

10.3.2 晶体管的按比例缩小

针对 CMOS 晶体管的按比例缩小效应 (表 10-4), 通常会从光刻、线宽的按比例缩小角度来讨论, 实际上垂直按比例缩小也同等重要。由于源/漏的扩散尽可能避免栅下的侧向扩散, 故源/漏的扩散需做得浅一些。源/漏在栅两侧的扩散相接触, 会导致器件失效, 即使不接触, 也会因漏电流和寄生电容的增加而使器件性能发生衰减。在进行垂直扩散时, 侧向扩散控制得最小时可获得最小的结深 x_j 。

表 10-4 CMOS 按比例缩小效应 (缩小比例系数为 n , $n > 1$)

$\tau' = (1/\mu)[(L/n)^2(V/n)] = (1/\mu)(L^2/V) = \tau/n$	
$C' = C/n$	
$I' = I/n$	
$P'_{\text{switch}} = C'V'^2/2\tau' = P_{\text{switch}}/n^2$	
$E'_{\text{switch}} = (1/2)C'V'^2 = E_{\text{switch}}/n^3$	
$P'_{\text{dc}} = I'V' = P_{\text{dc}}/n^2$	

从源到漏的载流子传输时间代表了器件速率。

$$T = \frac{L}{v} = \frac{L}{\mu E} = \frac{L^2}{V_{\text{ds}}} \quad (10-1)$$

式中, L 是沟道长度; v 为载流子速率; μ 为电子在电场 $E = V_{\text{ds}}/L$ 中的迁移率。栅和基底组成一个电容, 栅氧相当于电容中厚度为 T 的介质层, 则栅电容可表示为:

$$C = \frac{\epsilon W}{T} \quad (10-2)$$

式中, W 为栅极宽度; ϵ 为栅氧的介电常数。传输的电荷量为:

$$Q = -C_g(V_{\text{gs}} - V_{\text{th}}) = -(\epsilon WL/T)(V_{\text{gs}} - V_{\text{th}}) \quad (10-3)$$

电流为:

$$I_{\text{ds}} = \frac{Q}{\tau} = \frac{\mu \epsilon W}{LT(V_{\text{gs}} - V_{\text{th}})V_{\text{ds}}} \quad (10-4)$$

式中, V_{gs} 为栅/漏电压; V_{th} 为阈值电压, 即栅开始控制带电载流子的电压; V_{ds} 为漏/源电压。

按比例缩小晶体管的尺寸 (水平尺寸 L 和 W 、垂直尺寸、氧化层厚度 T 以及结深 x_j),

如缩小比例系数为 n ($n > 1$)，则会引起下列新的尺寸：

$$L' = \frac{L}{n}, W' = \frac{W}{n}, T' = \frac{T}{n}$$

(10-5)

对于许多传统的 CMOS 技术，操作电压均维持在 5V（见表 10-5）。基于介质层击穿和热电子方面的考虑，电场不能无限制地增加，即需降低操作电压 V' ， $V' = V/n$ （参见表 10-6）。使用简化式 $V = V_{gs} - V_{th}$ ，我们可得到按比例缩小的器件的物理参数。

表 10-5 前道（器件）的按比例缩小效应（约 1980~1995 年）：施加电压恒定为 5V

技术节点	3μm	2μm	1.5μm	1μm	0.7μm	0.5μm
t_{ox}/nm	70	40	30	25	20	14
x_j	600	400	300	250	200	150
栅延迟/ps	800	350	250	200	160	90

表 10-6 2000 年前后 CMOS 前道（器件）的按比例缩小效应

技术节点	0.35μm	0.25μm	0.18μm	0.13μm
t_{ox}/nm	8	6	4.5	4
操作电压/V	3.3	2.5	1.8	1.5
V_{th}/V	0.65	0.6	0.5	0.45

晶体管面积缩小 $1/n^2$ ($A' = L'W/n^2 = A/n^2$)，晶体管速度增加 $1/n$ ，开关功率降低 $1/n^2$ 和开关功率降低 $1/n^3$ ，功率密度 (P/A) 保持不变。结深 x_j 也会随栅氧厚度一起按比例缩小，但它们却很难再保持同样的缩小比例。栅氧厚度和结深均与线宽 L 有关，前者大致为 $L/45$ ，后者约为 $L/5$ 。线宽的按比例缩小仅是增加器件布局密度的一个因素，工艺和器件改进也可大大地减小器件面积。

10.3.3 前道模拟

CMOS 工艺的前道工艺主要用于优化晶体管的参数。借助于工艺模拟的前道工艺开发流程如图 10-3 所示。工艺模拟用以获得扩散轮廓和薄膜厚度，并以此作为器件模拟的输入条件，进而获得晶体管的特征参数，如阈值电压和电流/电压特性。如果采用一维工艺模拟器，其结果可输入到另一个一维器件模拟器中。同样，二维工艺模拟器结果输入到二维器件模拟器中，三维工艺模拟器结果则输入到三维器件模拟器中。

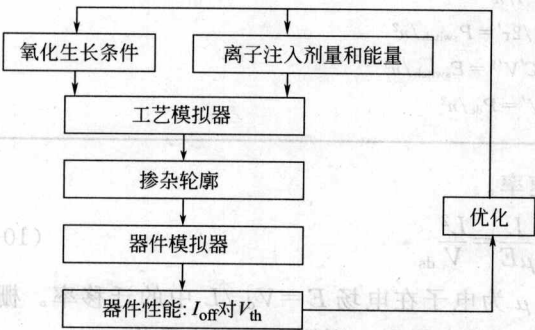


图 10-3 借助于工艺模拟的前道工艺开发流程

10.4 晶圆片的选择

栅模块是影响晶体管性能的关键模块。栅氧层厚度、沟道掺杂、栅长及源/漏掺杂轮廓决定了晶体管的关键性能参数，如阈值电压、开关速度、漏电流和噪声等。栅模块存在金属污染效应，如重金属、碱金属、传输金属及贵金属，不同类型的金属污染会对 MOS 器件造成不同的影响，见表 10-7 所示，因此需要对栅模进行清洗。

表 10-7 MOS 器件中的金属污染效应

金属粒子	MOS 器件中的污染效应	金属粒子	MOS 器件中的污染效应
重金属 (Cu, Fe, Ni)	结漏电流的增加 器件寿命的衰减 氧化硅介电强度的失效	碱金属 (Na, K, Ca, ...) 传输金属 (Al) 贵金属 (Au)	阈值电压的漂移 界面态增加 器件寿命的衰减

10.4.1 栅氧

硅片的清洗是制备栅极氧化层的主要难点之一。从线宽角度上看, $0.35\mu\text{m}$ 技术中可允许 100nm 的颗粒存在, 但对于小于 10nm 厚的栅氧是不允许的。薄膜厚度越小原子级污染对器件性能的影响越大, 通过清洗可去除硅片表面的金属和有机物污染。MOS 晶体管中电流受栅氧层下 10nm 左右厚硅层限制, 表面粗糙度会影响氧化层的电学品质和沟道迁移率。

栅图形与接触孔一样, 对光刻和刻蚀有严格要求。栅极线宽的按比例缩小, 会带来一些光刻和刻蚀的问题。栅极导电长度仅有几微米或数十微米, 低电阻率并不是其主要的指标要求, 相反, 与栅氧接触处的图形化工艺和热稳定性是需要首先考虑的因素。

受漏电流的限制, 二氧化硅作为栅氧的最小厚度约为 2nm 。对于超薄栅氧, 在热处理过程中, 硼会从 P^+ 多晶硅通过薄的栅氧层进入沟道区, 改变沟道掺杂, 从而改变阈值电压。

目前许多材料和方法被研究用于替代热氧化硅, 包括氮化氧化硅 (nitrided oxide, NO)、氮化氧化硅的氧化 (oxidation of nitrided oxide, ONO) 以及基于热氧化硅工艺的改进提高 (如沉积介质薄膜)。表 10-8 是主要可能的栅介质材料列表。

表 10-8 栅氧材料

SiO_2	热氧化硅, $\epsilon \approx 4$
NO, ONO	氮化氧化硅, 氧化的氮化氧化硅, $\epsilon \approx 6$
Al_2O_3 , HfO_2 , ZrO_2 , Ta_2O_5	非晶和多晶沉积的氧化物, $\epsilon \approx 10 \sim 30$
(Y_2O_3) , $(\text{La}_2\text{Hf}_2\text{O}_7)$	单晶沉积的氧化物, $\epsilon \approx 10 \sim 30$
$\text{Ba}_x\text{Sr}_{1-x}\text{TiO}_3$	超高介电常数材料, $\epsilon \approx 200$

二氧化硅在经历了后续的高温工艺后仍会保持非晶态。在后续高温工艺中, 单晶氧化物较稳定, 多数非晶氧化物会晶化, 晶粒也会长大, 因此前道高温工艺的温度需有所限制。

在高介电常数材料沉积过程中, 由于高介电常数材料是氧化物, 则在沉积过程中, 必然有以某种形式存在的氧, 界面二氧化硅的形成难以避免。所形成的介质层为 SiO_2 /高介电常数 (ϵ) 材料的两层结构, 必须分析为两个串联电容。

等效氧化层厚度 (equivalent oxide thickness, EOT) 常用于描述替代二氧化硅的高介电常数介质层厚度。EOT 可表示为:

$$\text{EOT} = (\epsilon_{\text{SiO}_2} / \epsilon_{\text{high}}) \times t_{\text{high}-\epsilon} + t_{\text{SiO}_2} \quad (10-6)$$

式中, t_{SiO_2} 为界面二氧化硅厚度。

假定不存在界面 SiO_2 , 6nm 厚的氧化锆 (ZrO_2 , $\epsilon \approx 23$) 薄膜的 $\text{EOT} \approx 1\text{nm}$ 。即使 1nm 厚的 SiO_2 层也会对 EOT 产生强烈的影响。超薄介质薄膜的介电常数与基体材料的介电常数不同, 且随厚度的变化而变化。

10.4.2 自对准栅

随着晶体管按比例缩小效应的继续, 需要更为复杂的掺杂图形, 以降低热载流子效应。

沟道区的强电场会加速电子，使其获得较高的能量，导致栅氧性能退化。为了降低强电场，人们引入了轻掺杂漏（lightly doped drain, LDD）结构（图 10-4）。在 LDD 中，源/漏子注入需两步完成。

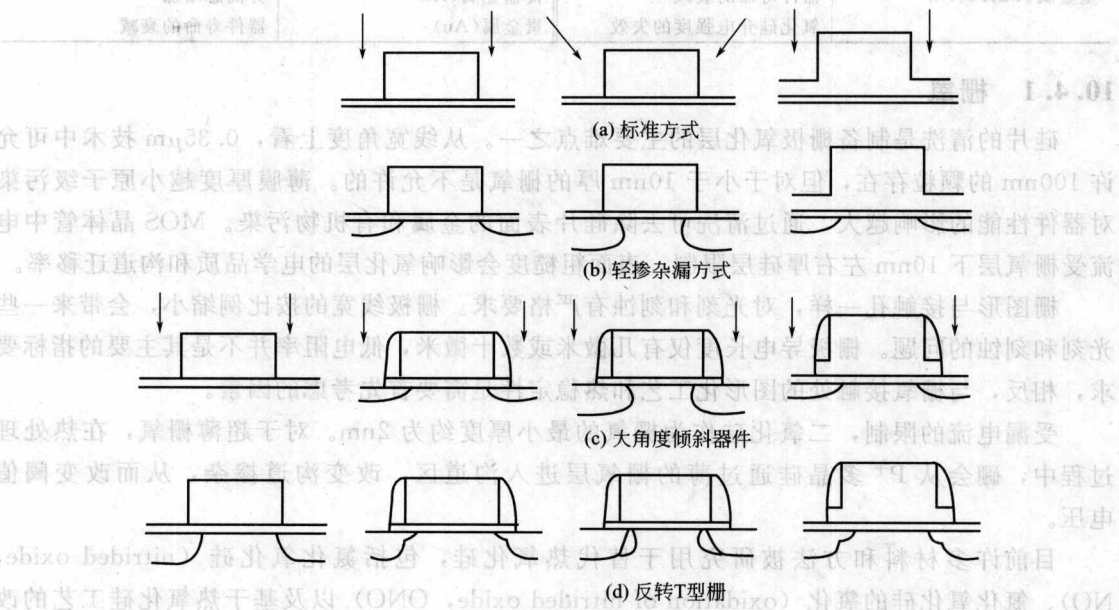


图 10-4 栅极离子注入的几种方式

多晶硅刻蚀后进行自对准、低能低剂量（约 $10^{13}/\text{cm}^2$ ）的离子注入，而后进行氧化硅的 CVD 和边墙（spacer）刻蚀。边墙在第二次高剂量边缘，具有最高电场强度可减小热电子对薄栅氧的损伤。

LDD 结构的工艺流程：①源/漏区的离子注入（ $10^{13}/\text{cm}^2$ ）；②CVD 沉积台阶覆盖率较好的氧化硅（厚度与结深相近）；③氧化硅的各向异性等离子体刻蚀；④去除刻蚀损伤并清洗；⑤漏/源的离子注入（ $10^{15}/\text{cm}^2$ ）。

在边墙氧化层中最丰富的材料是热氧化硅，且刻蚀两种氧化硅时不存在刻蚀选择性，刻蚀时很难发现边墙刻蚀的终点，刻蚀后不可避免地存在一些场氧的损失，也会刻蚀掉 S/D 区的一些硅。对于深亚微米 CMOS，结深和结的轮廓需小心控制。

10.4.3 替代栅

为了解决一些栅金属材料不支持前道高温工艺的问题，在高温工艺中将用氧化硅或氮化硅做的替代栅（假栅）放置在金属栅所在位置（如图 10-5 所示），完成 S/D 离子注入激活退火后，沉积第一层介质并平坦化，接下来刻蚀去除这种假栅，再生长或沉积栅介质，最后沉积金属栅。替代栅使铝栅重回栅结构成为可能。但是替代栅工艺需要许多额外工序，使工艺趋于复杂，刻蚀去除假栅结构后，在沟槽内生长或沉积栅氧也并不简单。

10.4.4 与硅的接触

随着接触孔尺寸的按比例缩小，带来了接触电阻的问题。如果接触孔底部接触点的尺寸为 $0.4\mu\text{m}$ ，则接触电阻应为 $10^{-7}\Omega \cdot \text{cm}^2 / (0.4\mu\text{m})^2 = 63\Omega$ ，底部尺寸为 $0.8\mu\text{m}$ 的接触孔，其接触电阻却为 16Ω 。如果整个源/漏区域（ $1\mu\text{m} \times 1\mu\text{m}$ ）均为硅化物接触，硅/硅化物间的

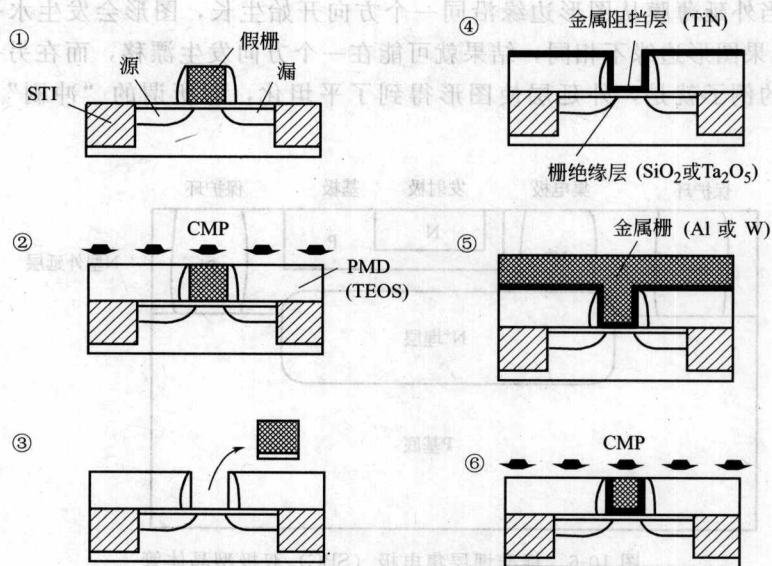


图 10-5 替代栅工艺

接触电阻为 $10^{-7} \Omega \cdot \text{cm}^2 / (1 \times 10^{-8} \text{cm}^2) = 10 \Omega$, 如果金属/硅化物间接触面为 $0.4 \mu\text{m} \times 0.4 \mu\text{m}$, 则接触电阻仅为 1.25Ω 。与 63Ω 的非硅化物接触相比, 硅化物接触的总接触电阻为 11.25Ω 。若 S/D 区域为硅化物接触, 仅需要少量的接触孔以节省面积, 可在晶体管之上布置信号总线, 即硅化物反应有助于增加器件布置密度。

对接触孔刻蚀选择比的需要与结深有关。如果氧化硅/硅间的刻蚀选择性不好, 在刻蚀氧化硅时可能会刻蚀到浅结区域。如果刻蚀选择性好, 刻蚀会自动停止在硅界面, 保证较小的硅损失。氧化硅/硅化物间的刻蚀选择性比氧化硅/硅间的刻蚀选择性要好得多, 从工艺集成的观点来看, 采用硅化物接触更有利一些。

10.5 双极工艺技术

无论是晶体管还是集成电路, 最初均采用双极工艺技术获得。早在 20 世纪 20 年代就提出了 MOS 晶体管的概念, 远早于双极型晶体管 (1947 年) 的出现, 但它却直到 1960 年才得以真正实现。双极型晶体管是垂直性器件, 即电流是垂直传输到硅片表面的, MOS 晶体管是水平器件, 其电流是水平通过硅片表面的。目前双极型晶体管应用于许多特殊领域, 如高速、低噪声或高传输电流等。

对于同时加工有双极型晶体管和 MOS 晶体管的 BiCMOS 电路, 由于在 (100) 晶面上生长的薄栅氧具有更好的品质, 故采用 (100) 硅片。这必须在硅片表面进行原子布置、形成 Si-O 键和空间上的约束。标准埋层集电极 (standard buried collector, SBC) 双极型晶体管结构如图 10-6 所示, 它说明了在双极型工艺中, 外延和扩散工艺的重要性。

埋层的形成, 可采用离子注入工艺或可采用热扩散工艺。氧化硅可用做热扩散的掩模, 同时也可用于离子注入工艺中。退火时生长一层薄氧化层, 以阻止掺杂剂的外溢, 在外延前必须除去这层氧化硅。结果在硅片表面形成一个台阶, 在外延生长时会导致图形的漂移和变形。如果氧化硅层清除不完全, 或离子注入后退火后未完全恢复注入损伤, 这会导致一些新

的生长缺陷。当外延薄膜从图形边缘沿同一个方向开始生长，图形会发生水平漂移（如图 10-7 所示）。如果图形边缘不相同，结果就可能在某一个方向发生漂移，而在另一垂直方向发生变形。极端的例子就是，外延层使图形得到了平坦化，即所谓的“冲刷”效应（wash-out）。

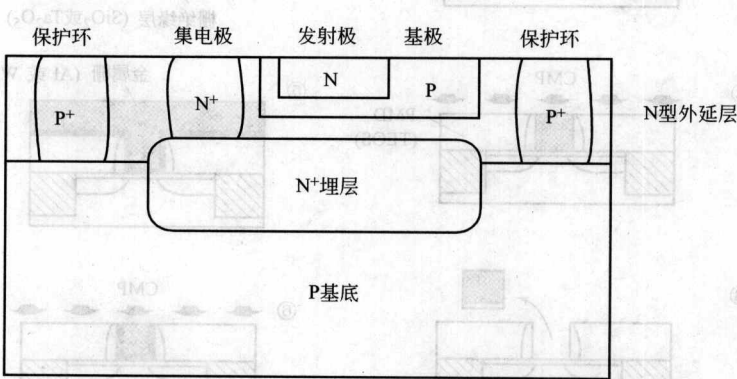


图 10-6 标准埋层集电极（SBC）双极型晶体管

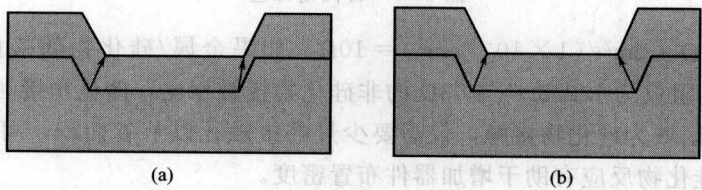


图 10-7 图形漂移（a）和图形变形（b）

对于埋层，必须考虑到它可能充当自掺杂的掺杂源。对于一个隔离的重掺杂区域，可沿着外延气流下游方向，对数毫米远区域进行掺杂。当埋层间挨得较近，且均匀分布时，可降低自动掺杂的非均匀性，但必须考虑到对外延层掺杂浓度的改变。埋层需重掺杂以减小集电极电阻，但这又会带来晶格常数的轻微改变，进而带来失配位错。不同的外延生长条件（如温度、气体、气压、反应器设计等）下图形漂移、变形和自动掺杂的影响程度也有所不同。

10.5.1 SBC 双极型晶体管的加工工艺

选用轻掺杂的 P 型硅片，掩模版 1 定义了埋层集电极的面积。埋层（亚集电极）可用离子注入或炉管热扩散进行高浓度掺杂 [如图 10-8(a) 所示]。若选用离子注入，注入后需进行退火，以去除注入损伤以获得优质的硅表面，为外延做好准备。由于锑（Sb）的蒸气压较低，在后续外延生长时蒸发损失量很少，常用于埋层掺杂。

埋层集电极制备好后，需对硅片进行严格的清洗，以便于后续的外延生长。之后在硅片表面（在亚集电极上）外延沉积一层 N 型轻掺杂的外延层，磷化氢气体可作为外延层 N 型掺杂的气源。

掩模版 2 定义了以反偏 PN 结来隔离相邻集电极的保护环，保护环可通过硼离子注入或热扩散来形成。

掩模版 3 定义了 N⁺ 接触扩散，即所谓的插销（plug）或冲槽（sinker）。采用磷离子注入，注入深度仅 200nm 左右，但外延层厚度却可高达 10μm。之后通过超高温热扩散（1200℃）推进 P 型和 N 型掺杂剂到设计深度。在工艺过程中，由于热扩散需要的热负荷最

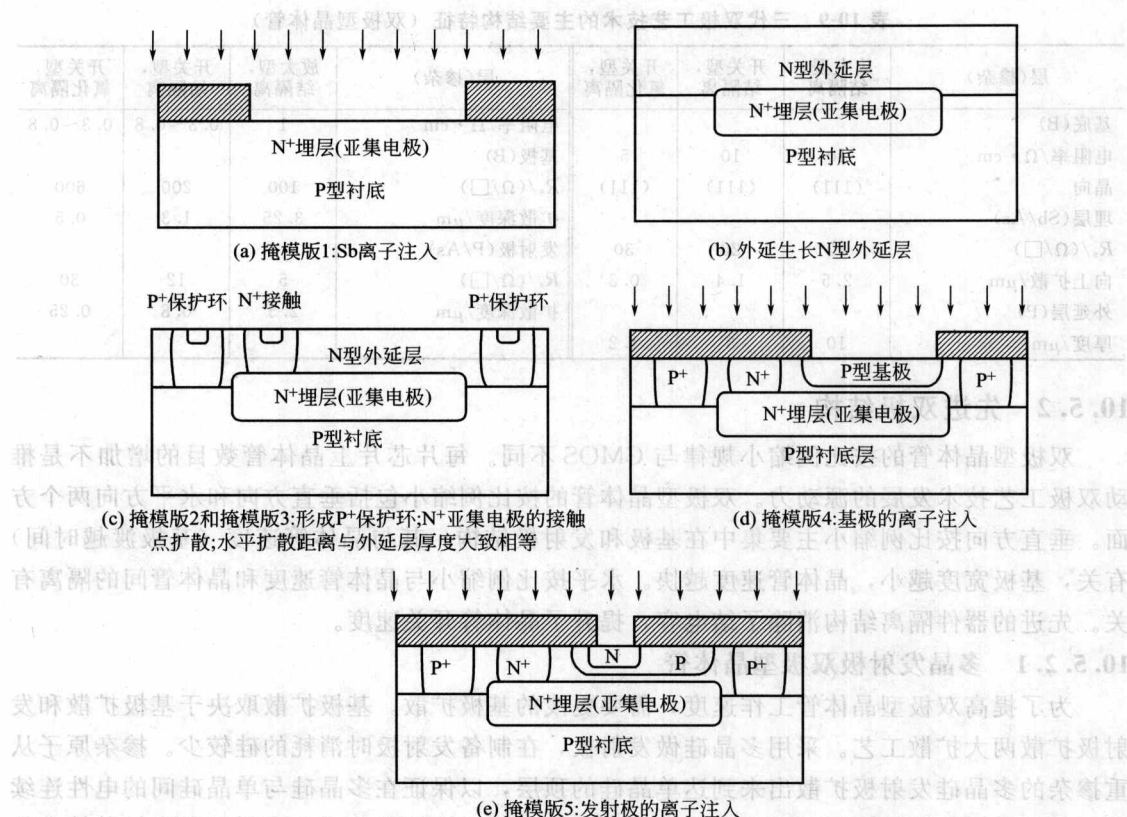


图 10-8 双极加工工序

大,需尽早完成。在SBC中扩散是各向同性的,P⁺保护环的横向扩散距离应与外延层厚度相等,器件隔离会占去大量的硅面积。埋层集电极会向上扩散进入外延层,扩散距离为1~2 μm ,其取决于扩散时的确切工艺条件。

掩模版4定义了基极。离子注入能更好地控制掺杂浓度,故采用离子注入来引入掺杂原子。基极的宽度受热扩散控制,而不受瞬间增强扩散控制,离子注入后应采用快速去除损伤的退火工艺。快速退火工序可确保获得浅的、重掺杂的区域,以获得与P型基极良好的电性接触。

掩模版5定义了发射极,发射极的离子注入和退火影响器件速度。基极渡越时间(transit time,传输时间)取决于基极宽度,而基极宽度又是由基底和发射极的扩散决定的。退火后,需清除掉用做扩散掩模的氧化硅,而后再热氧化生长一层新的氧化层。

掩模版6定义了接触点的扩散。氧化硅刻蚀可采用BHF或等离子体。去胶并清洗后,溅射沉积铝以获得电性互连。

光刻掩模版7定义了铝布线图形。铝刻蚀和去胶后,采用PECVD沉积氧化硅或氮化硅钝化层。最后一次光刻(光刻掩模版8)则在钝化层上定义引线键合接触垫窗口图形。之后可对硅片进行测试。

双极工艺的大发展趋势包括:①线宽越来越窄;②垂直尺寸越来越小(扩散深度更浅、外延层厚度更薄);③热预算越来越小;④器件隔离的面积越来越小。表10-9列出了三代双极工艺技术的主要结构特征。

表 10-9 三代双极工艺技术的主要结构特征（双极型晶体管）

层(掺杂)	放大型, 结隔离	开关型, 结隔离	开关型, 氧化隔离	层(掺杂)	放大型, 结隔离	开关型, 结隔离	开关型, 氧化隔离
基底(B)				电阻率/ $\Omega \cdot \text{cm}$	1	0.3~0.8	0.3~0.8
电阻率/ $\Omega \cdot \text{cm}$	10	10	5	基极(B)			
晶向	(111)	(111)	(111)	$R_s/(\Omega/\square)$	100	200	600
埋层(Sb/As)				扩散深度/ μm	3.25	1.3	0.5
$R_s/(\Omega/\square)$	20	20	30	发射极(P/As)			
向上扩散/ μm	2.5	1.4	0.3	$R_s/(\Omega/\square)$	5	12	30
外延层(P)				扩散深度/ μm	2.5	0.8	0.25
厚度/ μm	10	3	1.2				

10.5.2 先进双极结构

双极型晶体管的按比例缩小规律与 CMOS 不同。每片芯片上晶体管数目的增加不是推动双极工艺技术发展的源动力。双极型晶体管的按比例缩小包括垂直方向和水平方向两个方面。垂直方向按比例缩小主要集中在基极和发射极结构，其与晶体管速度（基极渡越时间）有关，基极宽度越小，晶体管速度越快。水平按比例缩小与晶体管速度和晶体管间的隔离有关。先进的器件隔离结构消除了结电容，提升了晶体管开关速度。

10.5.2.1 多晶发射极双极型晶体管

为了提高双极型晶体管工作速度，需要更浅的基极扩散。基极扩散取决于基极扩散和发射极扩散两大扩散工艺。采用多晶硅做发射极，在制备发射极时消耗的硅较少。掺杂原子从重掺杂的多晶硅发射极扩散出来到达单晶硅的顶层，以保证在多晶硅与单晶硅间的电性连续性。多晶硅的发射极需要采用离子注入，可避免离子注入缺陷的引入和瞬间增强扩散效应的发生。避免了离子注入后的退火，减少了高温工序，也就避免了不希望的基极扩散。同时，多晶发射极也避免了铝尖刺（aluminum spiking）效应，即发射极很薄时铝可能会刺入发射极中而损坏器件。

10.5.2.2 自对准多晶发射极双极型晶体管

双极型晶体管的制备可采用与 CMOS 工艺相同的自对准原理。图 10-9 所示是一种自对准多晶硅发射极工艺方法。采用三次离子注入会彼此自对准。首先生长 600nm 厚的凹

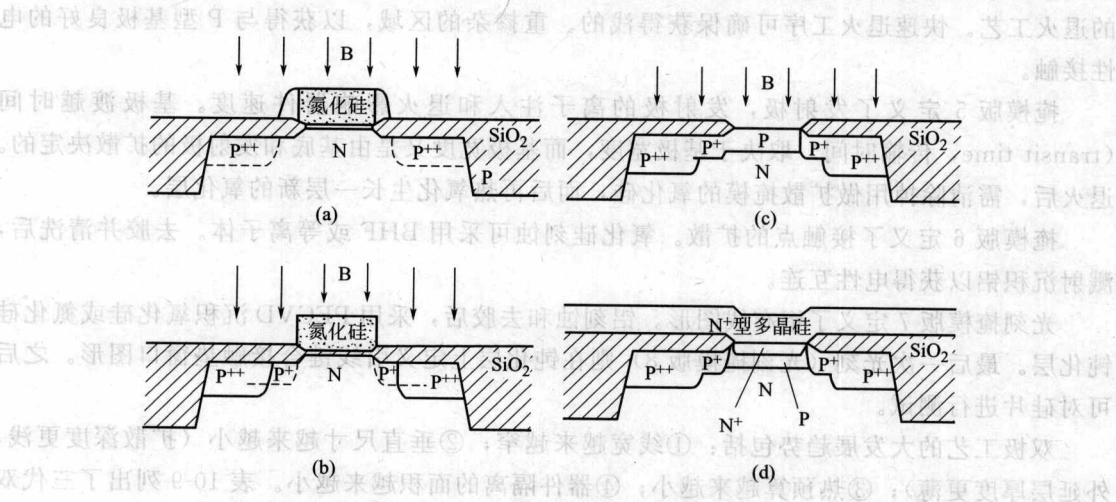


图 10-9 自对准单个多晶硅双极型晶体管

形 LOCOS 隔离氧化层, 之后热氧化生长一层薄的氧化硅接触垫 (10nm), 接下来采用 LPCVD 沉积 75nm 厚的氮化硅, 刻蚀去除氮化硅后继续生长第二层 LOCOS 氧化层, 厚度为 200nm。场氧化后 LOCOS 上的氮化硅不用去除。相反, 通过保形 LPCVD 多晶硅沉积, 加上氯等离子体中的各向异性刻蚀, 则在氮化硅上形成多晶硅侧墙。采用硼离子注入形成外部重掺杂的基极 (P^{++}), 其中离子注入能量很高, 足以穿透 200nm 厚的 LOCOS 氧化硅。采用对氧化硅/氮化硅有高的刻蚀选择比的刻蚀方法去除多晶硅边墙。

再一次注入硼离子, 则在外部与内部基极间形成连接 (P^+)。 P^+ 区与 P^{++} 区间可实现自对准, 如同在 LDDMOS 晶体管中的源/漏和源/漏扩展。在对氧化硅具有低选择性的 CF_4 等离子体中刻蚀去除氮化硅, 氮化硅下的氧化硅可保护单晶硅, 使其免于氟刻蚀。氧化硅在对硅有低选择性的 HF 中进行刻蚀去除。在 LOCOS 结构中, 氧化硅也起着应力弛豫层的作用。

第三次注入硼离子以形成浅的有源基极。由于它在最后进行, 它的热负荷应最小, 以保证最小的扩散。采用 LPCVD 沉积多晶硅, 形成发射极, 磷掺杂采用离子注入。需要后续退火将多晶硅发射极中的 N 型杂质推进扩散至单晶硅中。进入单晶硅中的发射极深度仅为数十纳米。

10.5.2.3 自对准双多晶硅双极型晶体管

磷扩散多晶硅可用于发射极的扩散源, 硼掺杂多晶硅可用于 P 型基极的掺杂源。

自对准双多晶硅双极型晶体管如图 10-10 所示。自对准双多晶硅双极型晶体管工艺流程如下:

- ① 基极互连多晶硅的沉积 (未掺杂);
- ② 基极互连多晶硅掺硼;
- ③ CVD 沉积氧化硅 1#;
- ④ 光刻;
- ⑤ CVD 氧化硅/基极互连多晶硅叠层的刻蚀;
- ⑥ 基极互连扩散 (P^+);
- ⑦ 硼的离子注入 (预沉积);
- ⑧ 内部基极扩散;
- ⑨ CVD 沉积氧化硅 2#;
- ⑩ 氧化硅边墙的刻蚀;
- ⑪ 发射极多晶硅的沉积, 原位磷掺杂;

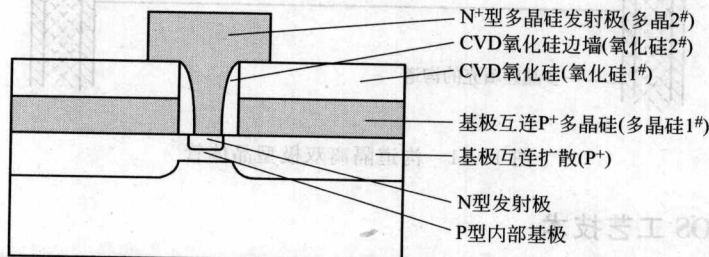


图 10-10 自对准双多晶硅双极型晶体管

⑫ 发射极外扩散。基极互连掺杂水平与内部基极掺杂无关。基极互连必须与内在基极有电性接触,其扩散深度必须接近于边墙宽度。CVD 沉积氧化硅在互连多晶硅上,主要是利用它在基极互连多晶硅与随后形成的发射极多晶硅间实现电性绝缘。由于需要刻蚀双层结构,将增加刻蚀工艺的复杂性,基极多晶硅的刻蚀也会带来下层多晶硅的损失,但还没有形成内部基极,并不会影响其深度。

在自对准模式下，CVD 氧化硅的沉积决定了互连基极和未光刻的内在基极间的距离，发射极也会自动地与基极对准。不用考虑互连基极的特性，可对内部基极的掺杂剂量、能量和退火等工艺参数进行优化。发射极多晶硅可采用原位掺杂，以降低热预算。LPCVD 多晶硅的沉积温度约 600°C ，热扩散多晶硅掺杂或离子注入后退火的温度却需要 950°C 左右。

10.5.2.4 沟道隔离双极型晶体管

在标准埋层集电极双极型晶体管中,需要通过保护环扩散来保证晶体管间的相互隔离,保护环的扩散深度必须与外延层厚度相等,其占用了大量的面积。当外延层厚度与热氧化层厚度相近时,可采用 LOCOS 隔离。氧化硅隔离不仅增加了面积利用率,同时也由于侧面电容的减小而提升了晶体管的工作速率。

与 LOCOS 隔离相比, 沟道隔离可实现更高的面积利用率, 通常用于高性能双极型晶体管的制备。在双极工艺中, 典型的沟道深度为 $5\mu\text{m}$, 在 CMOS 隔离中却采用较浅的沟道 (约 $0.3\mu\text{m}$)。隔离的面积利用率与外延层厚度无关, 仅受光刻和沟道刻蚀工艺的限制。沟道填充包括热氧化生长/沉积薄的氧化硅衬垫和填充材料两个步骤。图 10-11 为沟道隔离双极型晶体管, 它利用了沟道填充、互连基极掺杂、发射极和埋层接触插销四层多晶硅, 这些多晶硅层中的某些层还可用于制备模拟电路中的电阻器。

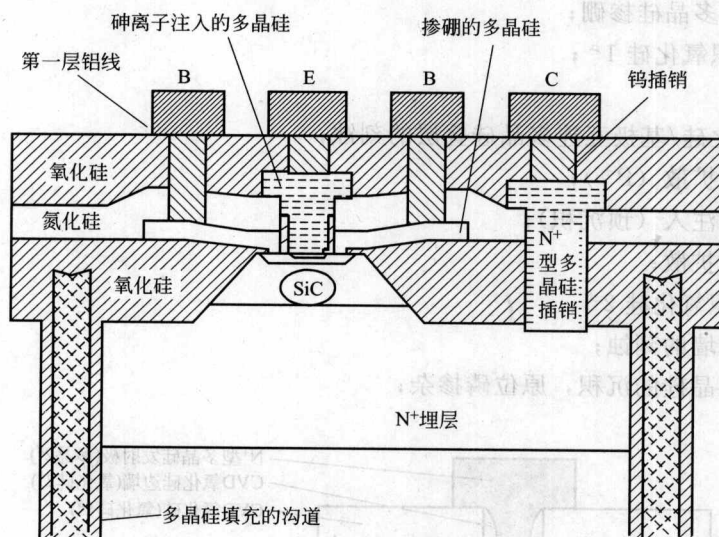


图 10-11 沟道隔离双极型晶体管

10.5.3 BiCMOS 工艺技术

BiCMOS 工艺技术既具有双极型电路高速、低噪声、高电流携带能力等优点,同时具有 CMOS 电路高集成密度和低功耗的优点。

BiCMOS 从两个方向发展完善：①利用所有的双极工艺，同时加入一些 CMOS 工艺；②以 CMOS 为起点，适当加入一些工艺模块，引入一些双极型晶体管。后一种方法更为流行，但又常常损失了双极型电路的最大优势。将所有双极和 CMOS 工艺技术组合在一起，生产成本会大大增加。

在 BiCMOS 工艺中， N^+ 掺杂工序既用于形成 NMOS 的源/漏区，又用于形成双极型晶体管的发射极和集电极的电接触； P^+ 掺杂工序既用于形成 PMOS 的源/漏区，又用于形成双极型晶体管的基极。只有 P 型基极的扩散工序，需在标准 CMOS 工序外来完成。埋层和外延层的取消，会导致集电极电阻的增加以及双极型晶体管工作频率的降低，但加工工艺却得到了简化。

制造成本与光刻的次数有直接关系。 $1\mu\text{m}$ CMOS 工艺需要 13 张光刻掩模版，而 $1\mu\text{m}$ 的 BiCMOS 工艺中最简单的方式是仅增加一张基极离子注入的掩模版。如果需要获得双极电路性能，则需要埋层和外延层，集电极与 N 阱分开制备。如果需要制备模拟器件（如电阻器），掩模版的数量还要增加，对 CMOS 和双极型电路均是如此。所以，模拟和高性能 BiCMOS 芯片比具有相同线宽的纯 CMOS 或双极电路要贵 20%~30% 左右。

10.6 多层金属布线

多层金属布线可实现将信号线布置于晶体管之上，可减少布线所占的面积。亚微米技术 ($0.8/0.5/0.35/0.25\mu\text{m}$) 的多层布线结构是基于铝金属的，其具有两种工艺技术：①采用 CVD 钨填充接触孔与通孔；②采用 CMP 实现氧化硅的表面平坦化。基于对金属布线时间延迟的考虑引入了一些新材料，铜互连是在 20 世纪 90 年代末引入的，最近还引入了低介电常数材料 (low- k)。

10.6.1 双层金属布线

双层金属布线是单层金属布线方法的一种延伸，需要额外的介电质和金属薄膜。第一层金属布线完成后，第二层金属布线工艺见表 10-10 所列。

表 10-10 双层金属布线的工艺流程

金属间介质层(intermetal dielectric)	PECVD 氧化硅	金属刻蚀	Cl_2 基等离子体刻蚀
平坦化	SOG 回蚀	钝化	PECVD 沉积氮化硅
通孔	氧化硅的等离子刻蚀	键合接触衬垫窗口的打开	CF_4 等等离子体刻蚀
第二层金属沉积	TIW/Al 的溅射沉积		

在双层金属工艺中，需要考虑许多实际因素。额外的 (PE) CVD 工序会增加热负荷，从而引入应力和等离子体损伤。硅/金属界面的稳定性需要反复检查，阻挡层需要反复评估。附加层引入的应力可能会引起小丘 (hillock) 的生长和裂纹的传播，需要严格检查。小丘的尺寸可通过光学显微镜来监测，通过短的、连续性的测试结构得到的电学数据，可为金属布线问题提供更多的定量信息。

第二层金属在通孔中的台阶覆盖是非常重要的。通孔尺寸比接触孔尺寸要大，其深度也要小一些，若金属间介质厚度大于多晶硅与第一层金属间介质层厚度，深度比就不是这样了。通孔的刻蚀与接触孔的刻蚀相似，但其刻蚀需停止在第一层金属之上，且与氧化硅/硅的刻蚀选择性相比，这样刻蚀对氧化硅/铝应具有更好的刻蚀选择性。由于硅片上面有金属，在通孔刻蚀后，需限制使用清洗溶液。

完成每层布线后,硅片的表面形貌起伏逐渐增大,介质层的(PE)CVD沉积的填隙能力及通孔的金属溅射台阶覆盖率受到限制,则双层金属布线工艺不能简单地沿用至三层布线。平坦化有助于解决这些问题,它可使表面趋于平滑,有助于消除光学曝光的焦深问题,但这又带来了通孔刻蚀和金属溅射等新问题,因为平坦化会造成通孔在深度上的差异。

10.6.2 多层金属布线

多层金属布线起始于三层布线,它首次出现于引入亚微米 CMOS 工艺的 20 世纪 80 年代末。在 $0.25\mu\text{m}$ 的 ASIC 和逻辑芯片中使用了 6 层的金属,在存储芯片中也使用了 3 层金属。

采用 CVD 沉积钨以填充接触孔和通孔时,需要一个完全平坦化的结构,多余的钨需要通过回蚀或 CMP 来进行移除(参见图 10-12)。由于表面平坦化,表面形貌没有什么变化,金属层的层数可通过重复的工艺简单地增加。

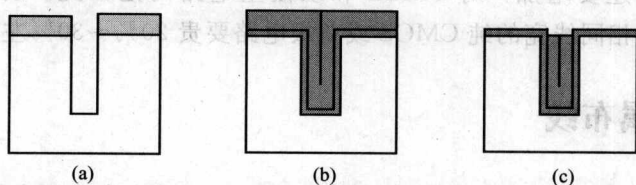


图 10-12 沟道/插销填充

(a) 沟道刻蚀; (b) 薄的接触垫和厚的保形(CVD)钨薄膜沉积; (c) 刻蚀使表面平坦化,

并去除表面的钨和接触垫,仅留插销中的钨

后道工艺的集成与前道工艺不同,主要是在热预算的定义上有所差异。前道工艺热预算主要考虑温度与扩散的关系,而后道工艺热预算则主要考虑温度与应力的关系。每层形成时包含一次 CVD 钨的沉积和一次 PECVD 介质的沉积,则对于 n 层金属布线,会有 $2n$ 个 $300\sim 400^\circ\text{C}$ 的工序,其间还包括一些室温工序,如刻蚀、旋涂、CMP 等。这需对应力、应变、黏附能力、小丘、空洞和裂纹产生的一些机理,有一个充分的理解。

为了获得平坦化的金属布线,多层布线工艺中采用了 CVD 钨插销沉积工艺。如图 10-13 所示,获得相同的最终结构的方法有很多,从工艺简化的角度上考虑,选择 CVD 钨插销沉积和接触孔的铝溅射填充较占优势,它们在原理和实践应用上的难度较大。毯式钨沉积(blanket tungsten)/回蚀布线是应用最广泛的方法。

10.6.3 大马士革金属布线(镶嵌金属布线)

大马士革(Damascene)金属布线(如图 10-14 所示)受氧化硅中沟道刻蚀、沟道金属填充以及多余金属的化学金属抛光去除等工艺的影响,其可以获得同传统金属沉积、金属刻蚀、氧化硅平坦化等工艺相同的结构。在大马士革工艺中,使用了氧化硅刻蚀工艺和铜 CMP 工艺。由于在实际生产中,难以实现铜的干法刻蚀,在大马士革工艺中,必须改进铜的金属布线工艺。

CMP 可获得全局平坦化的平面,但如果最初的表面形貌难以平坦化,则 CMP 的结果就不太理想。如果沉积工艺中有空洞,它们会在 CMP 中以破口的形式曝露出来,在加工过程中这些空洞中会导致一些残留积聚,从而带来可靠性的问题。即使 CMP 可实现表面平坦化,但第 6 层永远不可能做到像第 1 层一样光滑。

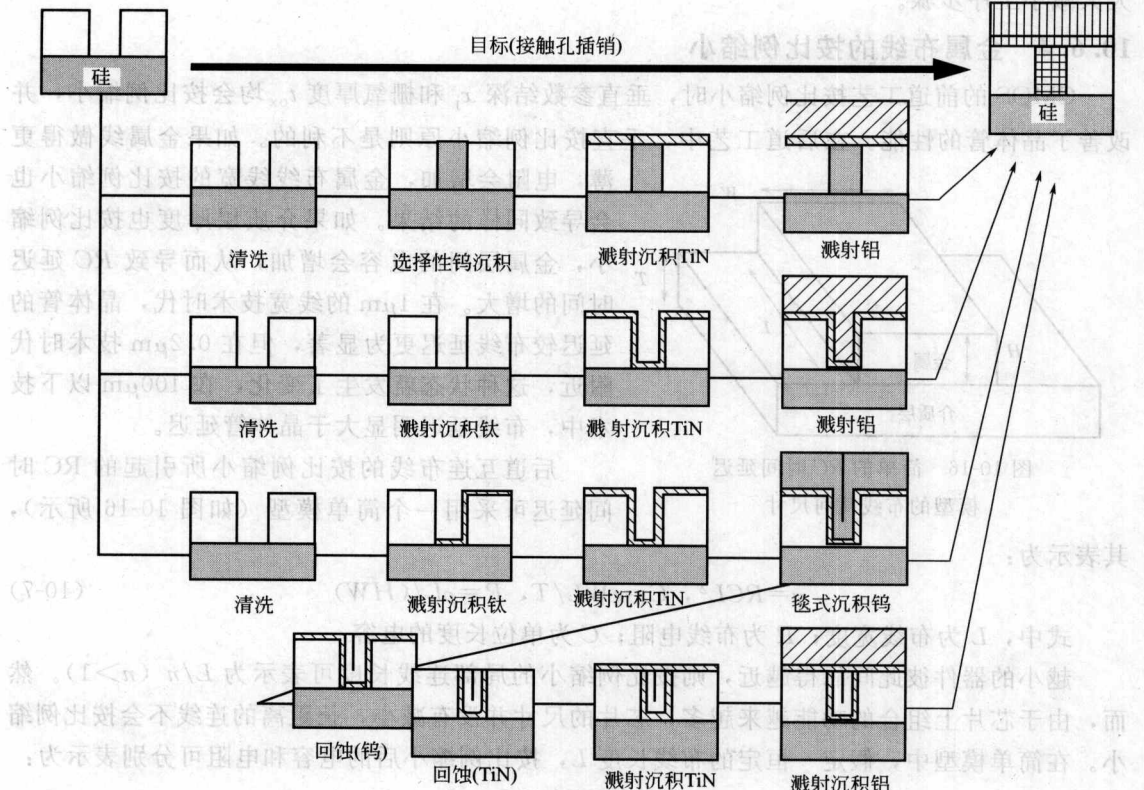


图 10-13 获得 Ti/TiN/W/Al 接触孔插销填充的三种不同方法

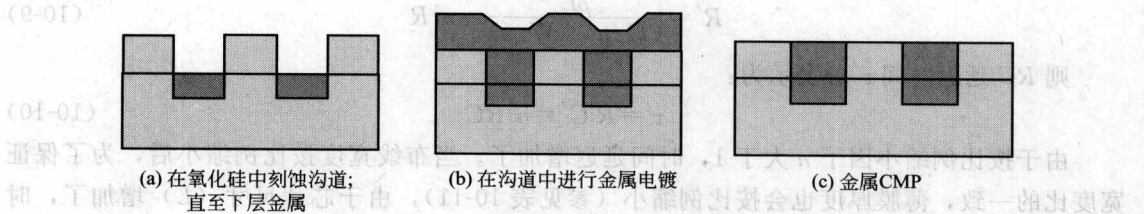


图 10-14 大马士革工艺

大马士革金属布线的一大优点就是能提供独特的多层金属布线，双大马士革工艺（如图 10-15 所示）则将通孔填充和连线金属沉积组合到一个集成工序中了。如何合理地将通孔与连线沟道的光刻及刻蚀有效地组合起来，获得最大收益是比较难的，双大马士革金属布线可

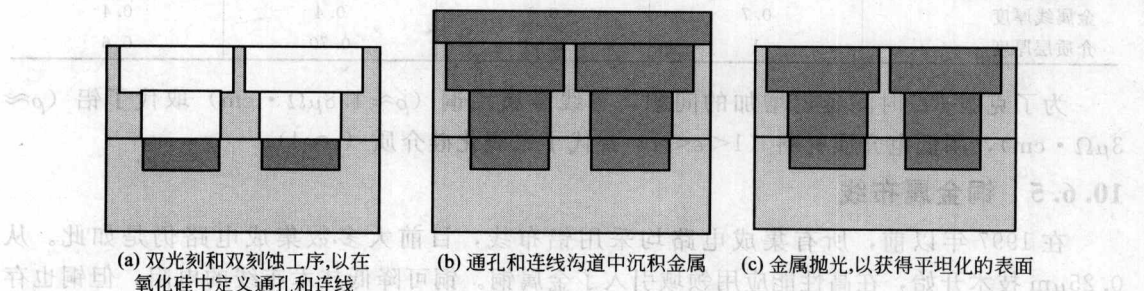


图 10-15 双大马士革金属布线

大大减小工序步骤。

10.6.4 金属布线的按比例缩小

CMOS 的前道工艺按比例缩小时，垂直参数结深 x_j 和栅氧厚度 t_{ox} 均会按比例缩小，并改善了晶体管的性能。在后道工艺中，垂直按比例缩小原则是不利的。如果金属线做得更薄，电阻会增加，金属布线线宽的按比例缩小也会导致同样的结果。如果介质层厚度也按比例缩小，金属层间的电容会增加，从而导致 RC 延迟时间的增大。在 $1\mu\text{m}$ 的线宽技术时代，晶体管的延迟较布线延迟更为显著，但在 $0.2\mu\text{m}$ 技术时代附近，这种状态就发生了变化，在 $100\mu\text{m}$ 以下技术中，布线延迟明显大于晶体管延迟。

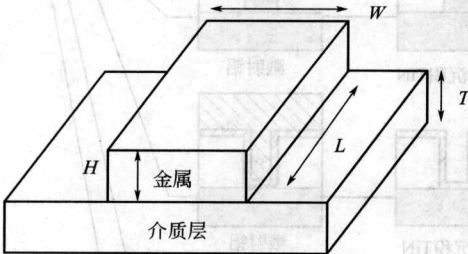


图 10-16 简单的 RC 时间延迟模型的布线几何尺寸

其表示为：

$$\tau = RCL^2, C = \epsilon WL/T, R = \rho L/(HW) \tag{10-7}$$

式中， L 为布线宽度； R 为布线电阻； C 为单位长度的电容。

越小的器件彼此间靠得越近，则按比例缩小的局部连线长度可表示为 L/n ($n > 1$)。然而，由于芯片上组合的功能越来越多，芯片的尺寸并没有减小，长距离的连线不会按比例缩小。在简单模型中，假定一恒定的布线长度 L ，按比例缩小后的电容和电阻可分别表示为：

$$C' = \frac{\epsilon (W/n) L}{(T/n)} = C \tag{10-8}$$

$$R' = \frac{\rho L}{(H/n) (W/n)} = n^2 R \tag{10-9}$$

则 RC 延迟时间 τ' 可表示为：

$$\tau' = R'C' = n^2 RC \tag{10-10}$$

由于按比例缩小因子 n 大于 1，时间延迟增加了。当布线宽度按比例缩小后，为了保证宽度比的一致，薄膜厚度也会按比例缩小（参见表 10-11），由于芯片尺寸 (L) 增加了，时间延迟也一定会增加，每进步一代技术，RC 时间延迟就会增加 26%。

表 10-11 后道工艺按比例缩小趋势 单位： μm

CMOS 技术节点	0.35	0.25	0.18	0.13
最小金属线宽	0.4	0.3	0.22	0.15
最小金属线间距	0.6	0.45	0.33	0.25
金属线厚度	0.7	0.6	0.4	0.4
介质层厚度	1	0.84	0.70	0.6

为了克服 RC 时间延迟增加的问题，布线金属用铜 ($\rho \approx 1.8\mu\Omega \cdot \text{cm}$) 取代了铝 ($\rho \approx 3\mu\Omega \cdot \text{cm}$)，用低电介质材料 ($1 < \epsilon < 4$) 替代了二氧化硅介质 ($\epsilon \approx 4$)。

10.6.5 铜金属布线

在 1997 年以前，所有集成电路均采用铝布线，目前大多数集成电路仍是如此。从 $0.25\mu\text{m}$ 技术开始，在高性能应用领域引入了金属铜。铜可降低技术布线的电阻，但铜也存在许多缺点和限制，如与介质层的黏附、在介质层的扩散（与介质层的反应）、与钨接触孔

插销的兼容、种子层的沉积、铜的沉积、对芯片的污染、对设备的污染等。铝沉积采用溅射，钨采用 CVD 沉积，而铜薄膜沉积的方法包括化学镀、电化学镀、CVD 和溅射等。溅射法的台阶覆盖性能很差，不可能填入孔洞中，但它仍可用于铜电镀前的铜种子薄层的沉积。CVD 和电镀法均可应用于深亚微米器件制备中高深宽比孔洞的填充。铜必须采用化学机械抛光。

在铝/钨金属布线中，金属间是需要阻挡层的，同样，在铜金属布线中，铜在硅和氧化硅中均能快速扩散，需要新的阻挡层材料，钼及其化合物和合金是首选的材料，当然，开发一种与铜能稳定接触的新型介质材料是可行的，但目前铜四周均需包覆起来。氮化硅与铜是稳定接触的，但氮化硅具有非常高的介电常数 ($\epsilon \approx 7$)，不利于 RC 延迟的减小。常采用兼有低电介质材料与氮化硅阻挡层的双层介质层。在对低电介质材料进行超高速抛光时，氮化硅和碳化硅 (PECVD SiC) 可充当 CMP 的抛光终止层，对低电介质材料起保护作用。

金属阻挡层很薄，由于导电金属线按比例缩小了，金属阻挡层也应按比例缩小，即随着技术的进步金属阻挡层越来越薄，如 $0.18\mu\text{m}$ 技术的金属阻挡层厚约 $10\sim 20\text{nm}$ 。对于微米级的接触，不需要考虑阻挡层和插销的电阻率的问题，对于 $0.18\mu\text{m}$ 技术，如果阻挡层电阻率和插销的电阻率过高，使铜不能充分发挥低电阻率的优势，这时阻挡层和插销的电阻率就成了关键因素。

10.6.6 低电介质材料

可通过改进氧化硅或换用其他材料方法来降低介电常数。 SiO_2 基玻璃 ($\epsilon \approx 4$) 的介电常数很难降至 $\epsilon \approx 2.7$ 以下。采用 CVD 的方法沉积掺氟的 SiO_2 可使氧化硅的介电常数降至 3.6 左右，采用 CH_3 向氧化硅中掺碳可获得所谓的 $\text{SiOC}:\text{H}$ ，可使氧化硅介电常数 ϵ 降至 2.7 左右。 $\text{SiOC}:\text{H}$ 的典型成分为：20%~25% Si, 30%~40% O, 15% C, 20%~40% H。这些薄膜均是致密无机材料，目前的 CVD 设备、工艺和量测技术完全兼容。

硅氧烷 (siloxane) 和硅三氧化二烷常用于旋涂平坦化，其中甲基硅三氧化二烷 (methyl silsesquioxane, MSQ) 的 ϵ 可低至 2.6。在旋涂薄膜平坦化工艺中，常采用回蚀法将旋涂薄膜去除，它也可变成器件的永久部分，这会给硅氧烷带来一些新的问题。例如，在后续的溅射工序中，旋涂介质 (SOD) 中的溢气效应可能造成金属中毒，从而带来电接触方面的问题。

金属布线间的介质层向聚合物的转换是非连续的。含氟聚合物、芳烃、亚芳香基醚、聚对二甲苯和聚四氟乙烯 (PTFE) 可提供的介电常数 ϵ 低至 2 左右。孔洞可采用可控蒸发、纳米相分离或干燥的方法来获得。气凝胶、干凝胶及含有 90% 气体的干燥硅石均有望进一步降低 ϵ 。

为了适应 CMP 工艺，低电介质薄膜还必须具有足够的机械强度。空气 (或真空) ($\epsilon \approx 1$) 也可作为电介质。但是，用空气作为金属布线间的介质层存在机械强度不够、导热能力差以及长期工作时稳定性差等缺点。

新型电介质材料需要测量的特征参数如表 10-12 所示。对于 PECVD 沉积氮化硼就需测量 15 个特征参数。新的低电介质材料在被生产接受前需要测量至少 15 个特征参数。

软而多孔的材料 (弹性模量为 $1\sim 10\text{GPa}$) 的机械强度不够，难以化学机械抛光。且由于剪切力的作用而易于剥离，尤其在采用多层介质时。目前研究采用聚合物研磨粒子来取代二氧化硅和氧化铝研磨粒子，以实现对接较软材料的抛光。

表 10-12 新型电介质材料需测量的特征参数

参 数	说 明
CMP 的抛光速率	弹性模量,1~10GPa,高的抛光速率
T_g/T_d	玻璃态转变温度和分解温度(约 450℃)
等离子体刻蚀的能力	有机材料在氧等离子体中刻蚀
清洗能力	光刻胶的去除和溶解
收缩率	热处理时,由于溶剂的蒸发所致的体积变化
黏附性能	刻槽带测试
溢气	即使是愈合的薄膜,在溅射时也可能释放气体进入真空中
多孔度	严格控制 ϵ 值的重现性
孔洞尺寸	尺寸过大的孔隙更像针孔
质保周期	与光刻胶类似,储存期间的分解
黏度	薄膜的厚度取决于黏度(和旋涂速率)
杂质	必须测量(碱)金属含量
CTE(热膨胀系数)	聚合物材料的热膨胀系数范围较广
损耗因数	必须考虑高频状态下的电学特性损失

低电介质材料的表面清洗是一个重要问题,包括化学机械抛光后的清洗、刻蚀后的清洗以及去胶后的清洗。由于湿法化学清洗易渗入孔隙而引起孔隙的膨胀,所以很少采用化学清洗。对于低电介质材料的孔隙尺寸和多孔率的测量结果需要有良好的再现性。可引用气相法、光学法、X 射线法、正电子法以及中子法进行测定。

双大马士革铜/低电介质材料的组合中硬掩模层(阻挡层)可保护(有机)低介电常数材料,并可用作刻蚀终止层和抛光终止层,隔离结构既可以是阻挡层/低电介质/阻挡层结构,也可以阻挡层/低电介质材料/阻挡层/低电介质/阻挡层结构(如图 10-17 所示)。

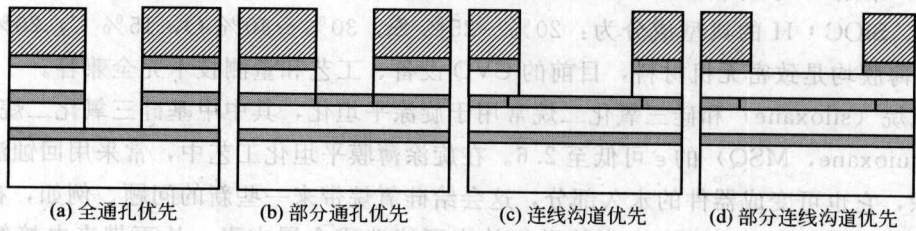


图 10-17 四种可能的双大马士革工艺

全通孔优先(full via first)工艺[如图 10-17(a) 所示]中刻蚀形成深的高深宽比的通孔后再旋涂光刻胶比较困难。另外,其底部硬掩模层需经受通孔刻蚀和沟道刻蚀两次刻蚀,它均暴露在刻蚀环境中。可在刻蚀沟道时用未显影的光刻胶保护通孔底部。

部分通孔优先(partial via first)工艺[如图 10-17(b) 所示]中先刻蚀通孔,直至刻到中部的刻蚀终止层。与全通孔优先工艺相比,部分通孔优先的布线沟道刻蚀比较容易,但是错位可能在这种结构中造成严重错误,如果布线沟道错位较严重,通孔中就会有部分区域覆盖有光刻胶,则在通孔中的金属接触区域就会变小,且变得不确定。

连线沟道优先[如图 10-17(c) 所示]工艺中不需要顶层硬掩模层。刻蚀连线沟道时,必须刻至中部的硬掩模层,而后在凹槽内完成光刻,其中光刻焦深会成为主要问题。

部分连线沟道优先[如图 10-17(d) 所示]工艺中,在顶部需要一层硬掩模层。首先,刻蚀掉顶层硬掩模层并去胶,在平坦化的表面光刻形成通孔,之后在光刻胶的保护下刻蚀去掉顶部低电介质材料,再去胶,随后,仅在硬掩模层的保护下完成布线沟道和通孔底部的一

11

MEMS 工艺集成

11.1 概述

微机电系统器件 (micro-electro-mechanical systems, MEMS) 是一种与结构、材料和功能有关的新器件, 各向异性湿法刻蚀广泛应用于加工 MEMS 器件, 尽管 MEMS 与 CMOS 共用一些关键加工工序, 但 CMOS 器件很少用到各向异性湿法刻蚀工艺。

MEMS 具有高的深宽比和更为复杂的三维形状, 主要采用 DRIE、各向异性湿法刻蚀和晶圆片键合等工艺获得, 这对后续的光刻、掺杂、薄膜工艺提出了更高的要求, 同时需要新型的测量设备与技术。在 MEMS 器件间中存在穿透整个晶圆片的通孔, 这就限制了一些工序, 例如在孔上旋涂光刻胶, 这就需要新的图形方案。对于穿透晶圆片的结构, 需要对晶圆片进行双面加工, 即使不存在穿透孔, 也常需要在晶圆片的两面制作对准结构, 双面对准也是结构型晶圆片键合所必需的。

MEMS 器件并非“固态器件”, 而是包括有含空气间隙或真空腔的自立、可动、旋转、振动或者滑动器件, 这为后续的加工工艺和封装增加了额外的拓扑要求 (几何要求)。干燥时的毛细作用、切割过程产生的硅尖和振动、塑封时的应力和温度均易造成精密结构的损坏。通常腔室处理不会存在太大问题, 但是, 如果加工过程中温度过高或压力改变, 也易造成腔室的损坏, 尤其是当腔盖为非常薄的振动薄膜时, 工艺难度更大。

MEMS 技术中采用了一些新型材料, 如镍用作结构材料, 铜用作厚电镀金属, 铂用作微流体中化学惰性的电极, 钯用作催化剂, 金用作低电阻率的金属布线, SnO_2 用作气敏薄膜, ZnO 用作压电材料, PZT 用作铁电材料, VO_2 用作具有高温系数电阻率材料等。

11.2 双面加工工艺

通过刻蚀和薄膜沉积工艺可在晶圆片表面获得复杂的三维形貌, 利用晶圆片双面加工工艺也可以获得大尺寸的三维结构, 但同时也会带来一些相关问题, 必须调整工艺以保证晶圆片双面上的结构始终处于可控状态。双面工艺与工艺设备存在很大关系, 但长期以来所涉及的工艺设备仅保证晶圆片正面的加工, 而忽视了背面的加工, 即双面工艺所配的工艺设备需要特殊设计。

用于晶圆片背面的工艺包括图形化、覆盖式工艺 (掺杂、生长及沉积) 等。

由于多数工艺优化是针对晶圆片正面设计的, 通常晶圆片背面的薄膜或掺杂结构的品质较差。若使用单面抛光晶圆片, 晶圆片背面粗糙的表面会抑制正常的薄膜生长。有时, 由于晶圆片正面工艺的外溢而在背面形成薄膜, 如正面涂胶时, 由于边缘图角的不规整, 有一些

光刻胶会涂覆到背面,晶圆片卡盘上或传输系统上的一些物质也会黏附在晶圆片背面。

覆盖式工艺是指在晶圆片两侧同步或顺序生长、沉积薄膜的工艺。双面热扩散也是类似的方法,在需要保护的一侧需生长一层氧化膜以阻止扩散。离子注入掺杂则只能固定于一侧。覆盖式工艺的应用包括功率器件背部金属布线或降低晶圆片背面接触电阻的掺杂、刻蚀掩模的形式以及吸杂处理等。

加工工艺属于单侧工艺还是双侧工艺取决于设备设计。见表 11-1 所列,所有束流式工艺均为单侧工艺,如光刻、离子注入、蒸发和溅射等。多数热工艺为双面工艺,如氧化、扩散、退火等。湿法化学刻蚀与清洗工艺也是双面工艺。PECVD 和等离子体刻蚀工艺既可以是单面工艺,也可以是双面工艺。如果晶圆片垂直装载入晶圆片舟内,则沉积/刻蚀会发生在晶圆片两侧,如果晶圆片平坦或卡盘式装载于一个电极上,则只有顶面被处理,但由于边缘“溢出”,晶圆片背面也被处理。在 CVD 工艺中,通过将晶圆片背对背地放置于反应腔,可以保护晶圆片背面,从而减少了反应气体的用量,尽量避免了不必要的沉积。

表 11-1 双面工艺或单面工艺

双 面 工 艺	单 面 工 艺	双 面 工 艺	单 面 工 艺
炉管,氧化	溅射	在化学槽内湿法刻蚀和清洗	CMP
炉管,CVD	蒸发/MBE	喷射工艺	等离子体刻蚀
炉管,PECVD	离子注入	在桶式等离子体中去胶	旋涂工艺
炉管,扩散	PECVD	湿法去胶	光刻
炉管,退火	外延		

多数设备可以将晶圆片向下插入反应腔内,但必须考虑到因机械传输、卡盘或夹具的机械力导致正面图形损伤的可能性。允许的温度和光刻胶应尽快固定下来以保护晶圆片正面。有时,对于沉积在两面的薄膜,先图形化背面,同时保护正面。

11.2.1 双面抛光晶圆片

单面抛光(single-side polished, SSP)晶圆片的背面峰/谷间的粗糙度达毫米级,而双面抛光(double-side polished, DSP)晶圆片两侧均为镜面抛光,表面粗糙度(RMS)为纳米级。双面抛光晶圆片并不完全对称,后抛光一侧的表面光洁度比先抛的一侧要好。这对键合有一定的影响,因为它受键合表面粗糙度和平坦度的影响很大。

晶圆片的厚度通常指晶圆片中心点的厚度。由于一些加工工艺是批处理模式,而有些工艺是单片工艺,通常难有一个准确的晶圆片厚度规格,晶圆片厚度的变化是不可避免的。晶圆片厚度的选择需综合考虑所用材料和机械强度的需要,由于温度对许多力学性能(如屈服强度)有明显的影响,在高温工序下的机械强度尤其重要。对于具有穿孔结构的 MEMS 器件,需精确控制晶圆片厚度。如在受晶面影响的湿法刻蚀工艺中,54.7°的倾斜侧墙所浪费的面积与晶圆片厚度成正比,而在等离子体刻蚀中,厚的晶圆片所需刻蚀时间会更长。

标准的晶圆片厚度为 380~770 μm ,也可获得 4~1500 μm 厚的晶圆片。随着厚度的增加,晶圆片的机械稳定性也有所增加,而晶圆片厚度随晶圆片尺寸的增加也有所增加(参见表 11-2),极薄的晶圆片仅限于小尺寸晶圆片,传输问题限制了它们的使用。

IC 晶圆片总厚度变化(total thickness variation, TTV)中一般 1~5 μm 的变化量是可以接受的,但对于具有穿孔结构的 MEMS 晶圆片,TTV 是一重要因素,如加工 10 μm 厚的悬臂梁或振动膜,1 μm 厚的 TTV 就会导致 10% 的厚度变化。对于 MEMS 晶圆片,较典型的 TTV 值为 1 μm ,而 0.5 μm 的 TTV 则用于一些较为特殊的应用场合。

表 11-2 标准晶圆片尺寸和厚度

晶圆片直径	厚度/ μm	备 注
3in(76.2mm)	380	
100mm	425~525	380 μm 厚的晶圆片用于 MEMS; 也有更薄的晶圆片存在
150mm	625~675	380 μm 厚的晶圆片用于 MEMS; 最薄 250 μm
200mm	725	最薄 500 μm
300mm	770	

双面抛光硅片首先应用于硅的体微加工。双面光刻、穿孔刻蚀和阳极键合不能应用于单面抛光硅片。先进的 IC 制造工艺中也应用双面抛光硅片, 主要基于以下两个原因: ① 双面抛光硅片的 TTV 很小, 这可适当缓解光刻时的聚焦压力; ② 由于硅片背面的抛光减小了表面积, 从而减小了硅片背面的污染, 可改善工艺洁净度。

11.2.2 双面生长、掺杂和薄膜沉积

热氧化工艺可同时氧化硅片的两面, 晶背的氧化硅可用作保护层, 如用于后续的扩散遮蔽层。LPCVD 氮化硅掩模也可用于保护硅片的任一面。

气相扩散可对晶圆片的两面同时进行掺杂, 同样, 氧化硅和氮化硅薄膜可用于阻挡不必要的扩散。而离子注入掺杂和薄膜源掺杂 (如 PSG 和 BSG) 均为单面工艺。

外延是晶圆片背面对硅片正面产生影响的特例。如果轻掺杂的外延层生长在重掺杂的基底硅片上, 从硅基底蒸发的掺杂原子会与反应气源混合在一起, 从而影响外延层的掺杂。所以, 需在硅片背面采用 CVD 沉积氧化硅, 以阻止掺杂原子从硅片背面的外溢。

由于晶圆片背面扩散的扩散深度约为晶圆片厚度的 1%, 晶圆片背面扩散对表面器件没有影响, 而对于体积器件, 如功率晶体管或太阳能电池, 因晶圆片背面是器件的有源部分, 晶圆片背面的扩散是保护器件能正常工作的基本工艺。

在晶圆片的背面也可以堆垛相当厚的薄膜叠层, 这种薄膜叠层中的应力可能会造成飞片和开裂, 从而产生颗粒污染。另一方面是这种薄膜应力还可能造成晶圆片的弯曲。因此, 只要器件不需要, 晶圆片背面的薄膜就应该去除掉。

11.2.3 双面光刻

双面光刻包含三种工艺难度: ① 无需下面对准; ② 非关键层的对准; ③ 关键层的对准。无需正面对准使晶圆片背部阵列结构规则化, 如太阳能电池晶圆片背面的场扩散。在非关键层的对准中, 器件主要功能仅由晶圆片一面的结构所决定, 而粗糙的辅助结构则在另一面加工, 如光学通路和流体通道的开窗。由于关键层的对准对图形的位置影响较大, 关键层的对准是影响器件性能的主要因素, 如将对称谐振质子或压阻器与一压力传感器振动膜的最大弯曲点的对准。

双面光刻每次只在一面进行曝光。光刻胶旋涂于正面, 在正面进行对准、曝光、显影、清洗、干燥, 之后, 根据器件结构可对正面进行刻蚀或在晶圆片的背面进行光刻。

晶圆片背面光刻涉及到晶圆片背面光刻胶的使用, 同时晶圆片正面必须得到很好的保护。将晶圆片的正面朝下放置到涂胶卡盘上, 用真空吸附。尽管正面常用光刻胶保护, 在真空吸附后, 它不能再用于图形化。

双面光刻的对准机制取决于图形工艺 (如图 11-1 所示)。保存掩模版上的对准标记图形, 之后在掩模板与对准显微镜间插入晶圆片, 则晶圆片上的对准标记就与存储在掩模版上的对准标记对准了。

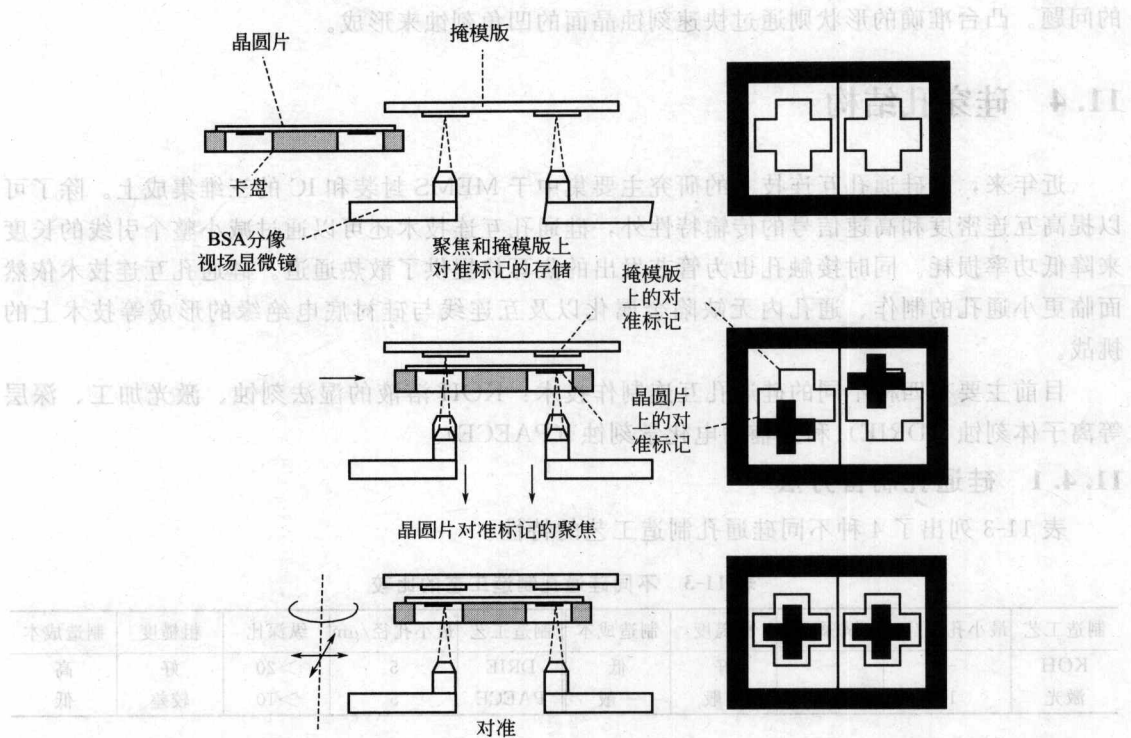


图 11-1 双面校准

11.2.4 键合对准

阳极键合对准与标准光刻工艺类似，具有金属图形的掩模版可与底部的晶圆片对准。将具有两种结构的晶圆片键合在一起，需要一种类似于双面光刻系统的设备。存储在第一片晶圆片上的对准标记与第二片晶圆片上的标记对准，而后将两片晶圆片接触。晶圆片移至键合设备过程中需保持两片晶圆片间的对准，通常采用一种特殊的夹具以固定安装对准晶圆片 and 被键合晶圆片，对准后晶圆片不必做任何处理。键合是一种可重复的工艺，键合晶圆片堆层可高达 6 层，两层晶圆片间对准精度为约 $1\mu\text{m}$ 。

11.3 隔膜结构

压力传感器的间隙非常小，为微米量级，在亚微米光刻工艺中，尽管这会导致严重的焦深问题，但对 MEMS 而言，这还不足以认为是一种表面起伏。深刻蚀在键合前完成，键合后键合堆层的机械强度才需足够大以应对进一步的处理。

对于热平衡堆，先刻蚀边框至一定深度，以满足热质子的设计厚度，再采用一大方块图形来定义绝热氮化硅隔膜尺寸。在 Weir 型过滤器中，较浅的刻蚀深度决定了过滤尺寸，而深的 V 形沟槽刻蚀则定义了流体沟道。在微米量级进行浅刻蚀是比较容易的。与玻璃的阳极键合结构的稳定性，对浅通道是否保持开通态有着重要影响。辅助柱起着支撑玻璃顶面的作用。

压力传感器也可采用类似于热堆结构的方法；在结构的中央预留一大的凸台以增加一个堆。由于附加了一个堆，振动模的运动更趋于平稳，且少有弯曲振动，有助于改善寄生电容

的问题。凸台准确的形状则通过快速刻蚀晶面的凹角刻蚀来形成。

11.4 硅穿孔结构

近年来，对硅通孔互连技术的研究主要集中于 MEMS 封装和 IC 的三维集成上。除了可以提高互连密度和高速信号的传输特性外，硅通孔互连技术还可以通过减小整个引线的长度来降低功率损耗。同时接触孔也为管芯发出的焦耳热提供了散热通道。硅通孔互连技术依然面临更小通孔的制作、通孔内无缺陷金属化以及互连线与硅衬底电绝缘的形成等技术上的挑战。

目前主要有四种不同的硅通孔互连制作技术：KOH 溶液的湿法刻蚀、激光加工、深层等离子体刻蚀（DRIE）和光辅助电化学刻蚀（PAECE）。

11.4.1 硅通孔制备方法

表 11-3 列出了 4 种不同硅通孔制造工艺的特性。

表 11-3 不同硅通孔制造工艺的比较

制造工艺	最小孔径/ μm	纵深比	粗糙度	制造成本	制造工艺	最小孔径/ μm	纵深比	粗糙度	制造成本
KOH	—	—	好	低	DRIE	5	>20	好	高
激光	10	>20	一般	一般	PAECE	5	>10	较差	低

虽然 PAECE 可以制造的最小孔径很小，但其内壁比较粗糙，给电绝缘层的制作带来很多不便。激光加工主要是依靠熔融硅而产生的通孔，所以通孔内壁的粗糙度和热损伤也较高；DRIE 工艺制作的通孔内壁平滑，对硅片的机械及物理损伤最小，是制作硅通孔的最佳选择之一，但其制作成本较高。

11.4.1.1 KOH 溶液的湿法刻蚀

KOH 溶液的湿法刻蚀是一种低刻蚀温度、低制造成本且适合于批量生产的硅通孔制作工艺。对于 K^+ 与标准 CMOS 工艺不兼容的问题，可以通过采用 PECVD 淀积 Si_3N_4 、溅射 TiW/Au 并电镀 Au 作为刻蚀工艺的保护层来保护 CMOS 电路，从而实现该工艺与标准 CMOS 工艺兼容。KOH 溶液对硅单晶的各向异性腐蚀特性，（111）晶面与（100）晶面间的夹角为 54.74° ，硅通孔表面上窗口的宽度 $W_a = W_b + 2L\cot 54.74^\circ$ ，式中， W_b 为底平面的宽度； L 为腐蚀深度。图 11-2 为 KOH 各向异性腐蚀结构示意图。其制作的硅通孔为非垂直的且宽度较大，只能满足低到中等引出端数封装的要求。

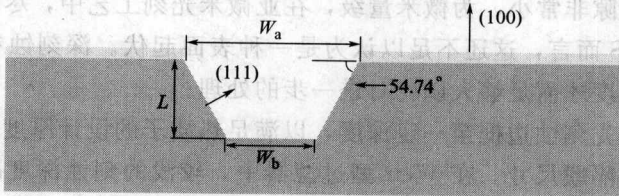


图 11-2 KOH 各向异性腐蚀结构示意图

图 11-3 显示了基于 KOH 刻蚀工艺的硅片上垂直互连工艺流程。硅片用常规方法清洗，生长 200nm 的氧化层，在其上 LPCVD 淀积 150~200nm 的 Si_3N_4 作为 KOH 刻蚀的掩模。双面光刻技术分两次对硅片的正反两面进行光刻，先在硅片的正面涂覆正胶曝光显影，用反

应离子刻蚀工艺去除正面裸露的 Si_3N_4 层, 用丙酮去除其余的光刻胶, 再次清洗硅片后反面涂覆正胶并利用双面光刻机将正面已光刻的图形与掩模版上的对准标记对准曝光、显影刻蚀 Si_3N_4 层。使用缓冲氢氟酸 (BOE) 腐蚀去除两面的 SiO_2 层, 完成双面刻蚀窗口的制作, 体硅的双面刻蚀选用 33% 的 KOH 溶液, 在 80℃ 的超声水浴中刻蚀完成。清洗硅片后 PECVD 淀积 200nm 的 SiO_2 层作为通孔电互连的绝缘层, 再依次溅射 200nm Ti 和 200nm Cu 分别作为 Cu 互连线的黏附层/扩散阻挡层和电镀种子层。使用酸性电镀铜溶液电镀 10 μm 的 Cu 层作为最终的硅通孔互连导电层。

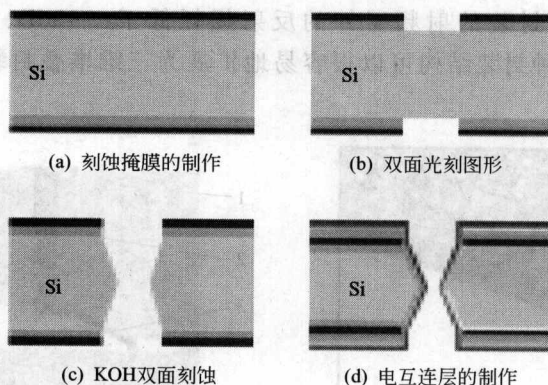


图 11-3 基于 KOH 刻蚀工艺的硅片上垂直互连工艺流程

由 Technical University of Denmark 开发的, 用 KOH 湿法刻蚀制作硅通孔的工艺就使用 Si_3N_4 和 TiW/Au 的复合层作为湿法刻蚀的保护层, KOH 溶液的浓度为 25%, 刻蚀温度为 80℃, 刻蚀速率为 1.25 $\mu\text{m}/\text{min}$, 通孔内的互连层依次为 SiO_2 、TiW/Au、Cu 和 Ni, 其中 Ni 作为互连线的保护层和焊区基层金属 (under bump metal, UBM) 使用。其开发的硅通孔互连的体电阻为 40m Ω 、对硅衬底的寄生电容为 2.5pF, 被设计应用于高端便携式产品的三维封装中, 该产品要求每个芯片上有 7 个硅通孔互连即可满足要求。对于低、中引出端数的封装, 此项工艺能够达到成本、性能的最优化。

11.4.1.2 激光加工

激光加工制作硅通孔的技术, 由于其局部对准的能力而无需掩模就能精确定位硅通孔的位置, 其成本较深层等离子体刻蚀工艺 (DRIE) 要低, 且硅通孔可达较高的纵深比。但由于激光加工主要是依靠熔融硅而产生的通孔, 所以通孔内壁的粗糙度和热损伤较高。

图 11-4 是台面 MOS 功率器件倒装芯片封装的示意图, 用激光加工的方法在圆片的划片槽内制作硅通孔, 通孔内的互连金属层依次为 Si_3N_4 、Ti 和 Cu, 同时在互连线的外层应有 Ni/Au 或 Sn 作为防止氧化的保护层, 最后将从背面导出的漏电极与正面的栅极和源极进行再布线, 以完成倒装芯片。采用倒装芯片技术实现的芯片尺寸封装的功率 MOS 器件的体积仅是采用传统小外形封装的 30%, 且器件的电性能大为提高, 反应速度加快。

11.4.1.3 深层等离子体刻蚀工艺

深层等离子体刻蚀工艺 (DRIE) 能制作出孔径小、纵深比高的垂直硅通孔, 且与 IC

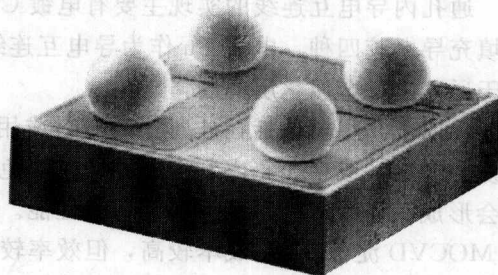


图 11-4 台面 MOS 功率器件圆片级 CSP 封装示意

工艺兼容。与其他制造工艺相比, DRIE 制作的通孔内壁平滑, 对硅片的机械及物理损伤最小, 但其制作成本较高。

图 11-5 是由香港科技大学开发的三维叠层封装示意图, 该设计通过在中间的硅片上用 DRIE 工艺制作硅通孔, 并电镀 Cu 作为垂直互连线, 来完成 5 层硅片的堆叠。

图 11-6 是由三星公司开发的 RF-MEMS 开关的圆片级气密性封装, 封装用的硅帽采用高电阻率的硅片以减小其射频损耗, 硅通孔使用 DRIE 工艺制作, 垂直互连通过电镀 Cu 完成。由于这种方式避免了引线键合工艺, 从而减小了互连的寄生参数, 使信号在高频领域取得了更好的性能。其被封装的射频器件的反射损耗低于 -19dB 、插入损耗在 $-0.54\sim-0.67\text{dB}$ 之间。并且这种封装结构可以很容易地扩展为三维堆叠封装结构, 进而可以实现系统级封装。

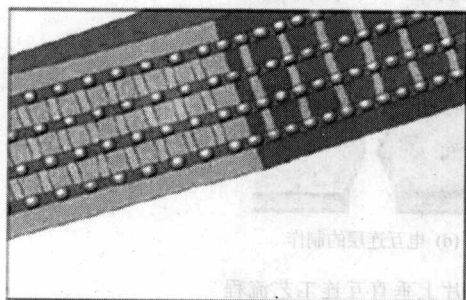


图 11-5 三维堆叠封装示意

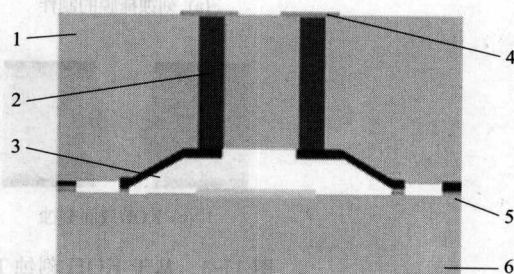


图 11-6 三星公司 RF-MEMS 开关封装结构示意图

1—封帽; 2—通孔; 3—种子层; 4—顶部焊盘; 5—焊料层; 6—器件衬底

由 Stanford University 开发的超声传感器阵列, 是在 $400\mu\text{m}$ 厚的硅片上实现高密度、低寄生电容的电互连阵列, 从而实现传感器或执行器阵列从硅片的正面到背面的电互连。通过 DRIE 工艺实现了直径 $20\mu\text{m}$ 、纵深比为 20:1 的垂直硅通孔。通孔内的互连线采用重掺杂的多晶硅。这种三维结构可以通过倒装芯片的技术将硅片的背面键合到 PCB 板上或信号处理芯片上。直流测试表明硅通孔的导通电阻大约为 40Ω , 在 40V 的偏置电压和 7.5MHz 的共振频率下, 测试的硅通孔互连的寄生电容约为 2.76pF 。

11.4.2 硅通孔互连中的关键技术

硅通孔的制作、通孔内导电互连线的实现及导电互连线与硅衬底电绝缘的形成是硅通孔互连工艺中的三项关键制造技术。

11.4.2.1 通孔内导电互连线的实现

通孔内导电互连线的实现主要有电镀 Cu、CVD 淀积 Cu、LPCVD 淀积重掺杂多晶硅以及填充导电胶四种。电镀 Cu 作为导电互连线其成本低, 且适宜批量生产, 但其工艺的难点在于通孔内壁金属化层的制作。

目前工艺主要包括在硅通孔内溅射或用 MOCVD 淀积种子层, 或在硅片的一面溅射或蒸发种子层, 或在通孔内制作好种子层可免除电镀后除去无用的种子层, 但电镀时如控制不佳会形成互连线内的空洞而影响其电性能。在孔外制作种子层, 种子层的去除比较困难。由于 MOCVD 淀积 Cu 的成本较高, 但效率较高, 只应用于小硅通孔内的金属化。LPCVD 淀积重掺杂多晶硅制作工艺较简单且很方便, 但由于其导电性能有限, 且寄生参数如电容较大, 因此其应用的范围有限。填充导电胶主要应解决的问题是防止填充时产生气泡且工艺难

度较高, 同样其导电性能与金属相比也较低。

11.4.2.2 互连线与硅衬底电绝缘的形成

由于硅的导电性, 必须在硅衬底与导电互连线之间形成电绝缘层和金属互连线对衬底的扩散阻挡层。由于 SiO_2 在硅通孔内制作方便且与 IC 工艺直接兼容, 一般使用 SiO_2 作为硅通孔内的电绝缘层。对于金属互连线来说只有电绝缘层是不够的, 因为金属 (如 Cu) 会透过 SiO_2 向硅中扩散而最终会影响硅通孔的导电性和衬底硅的电路性能, 因此除电绝缘层以外, 扩散阻挡层也是必需的。对于 Cu 而言, Ti、TiN、Ta 和 TaN 是最常见的阻挡层材料, 它们不仅起到阻挡层的作用, 还充当 Cu 和 SiO_2 之间的黏附层, 因为 Cu 和 SiO_2 之间的黏附性很差, 直接接触制作的 Cu 互连极易脱落。而对于多晶硅导电层和导电胶则基本不存在扩散的问题, 所以只要电绝缘层就能满足硅通孔互连的要求。

11.5 图形化技术

11.5.1 光刻胶技术

在湿法刻蚀形成的具有 54.7° 斜角的深结构上, 喷射涂胶是可行的, 但后续曝光时存在焦深问题。在印制电路板工业中, 电化学涂胶是一标准工艺, 垂直孔和空腔的侧壁均能覆盖上负性电沉积光刻胶。尽管电沉积光刻胶的分辨率不是特别好, 但它可用于制备一些大结构。

11.5.2 剥离掩模层/窝形掩模层

在相当不平的表面上涂覆光刻胶, 可采用双掩模层的方法来实现 (剥离掩模层/窝形掩模层, 如图 11-7 所示)。在第一次深刻蚀前, 在平坦的晶圆片上采用两种不同的掩模材料, 第一层掩模层在第一次刻蚀后移除, 而在第二层掩模层保护下继续刻蚀。

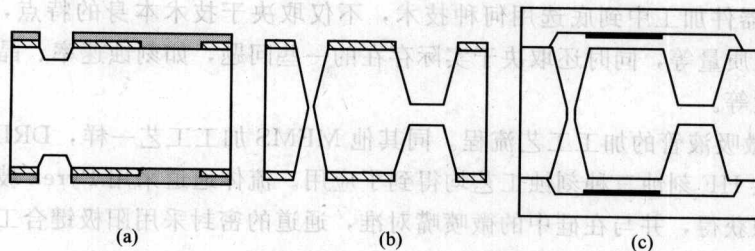


图 11-7 剥离掩模层/窝形掩模层

(a) 氮化硅沉积并图形化, 氧化硅 (灰色) 沉积及其图形化, 在氧化硅的保护下的第一次硅刻蚀;

(b) 在 HF 中刻蚀去除氧化硅, 在氮化硅的保护下第二次硅刻蚀;

(c) 用三层硅键合的电容式加速度计

11.5.3 屏罩式掩模

屏罩式掩模 (图 11-8) 可在相当不平的、甚至有穿孔的晶圆片表面实现金属布线。但是, 由于沉积物质束流方向的偏离, 在相当不平表面上的图形尺寸控制的难度较大。如果遮罩式掩模直接做成晶圆片表面图形, 与晶圆片表面形成的三维形貌匹配, 则可明显改善表面图形尺寸的控制, 可获得较高的图形精度。

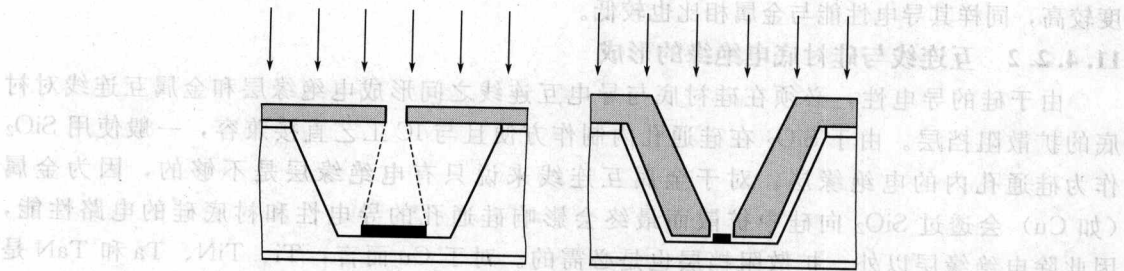


图 11-8 传统屏罩式掩模和微加工制备的三维硅屏罩式掩模的比较

11.6 等离子体刻蚀与各向异性湿法刻蚀

等离子体刻蚀 (RIE/DRIE) 的主要特征如下：①可实现任意形状的加工 (RIE 缺点、ARDE 和微观负载效应的限制)；②可加工间距较紧的结构；③可加工具有高深宽比 (aspect ratio, AR) 的结构 [典型 AR=(10 : 1)~(20 : 1)]；④如果需要隔膜结构，需采用 SOI 硅片；⑤可采用光刻胶作为掩模层；⑥单面工艺，无需晶圆片背面保护；⑦在单片处理工艺中，穿孔刻蚀时间为 1~3h；⑧在 25 片晶圆片批处理工艺中，穿孔刻蚀时间为 1~3 天。

各向异性湿法刻蚀的主要特征如下：①通过刻蚀速率对晶面依赖的效应，可非常准确地控制刻蚀尺寸；②通过刻蚀速率对晶面依赖的效应，限制了多刻蚀结构的形状；③可形成倾斜角为 45°，54.7°，70.5°和 90°的侧墙；④光滑而准确的表面；⑤在单片工艺中，晶圆片穿孔刻蚀时间约 4~8h；⑥在 25 片批处理工艺中，晶圆片穿孔刻蚀时间约 4~8h；⑦属双面刻蚀，晶圆片背面需要有保护层；⑧属双面刻蚀，采用单步刻蚀工艺，可实现双面对称结构；⑨对刻蚀掩模材料有限制，标准掩模材料为厚的氧化硅和 LPCVD 氮化硅膜；⑩有多种刻蚀自动终止机制：重掺杂硼 (P⁺⁺)、PN 结和 SOI BOX。

在 MEMS 器件加工中到底选用何种技术，不仅取决于技术本身的特点，如刻蚀形状、侧壁角度或表面质量等，同时还取决于实际存在的一些问题，如刻蚀速率、晶圆片背面保护以及设备稳定性等。

图 11-9 为微吸液管的加工工艺流程。同其他 MEMS 加工工艺一样，DRIE 刻蚀、KOH 刻蚀和各向同性 HF 刻蚀三种刻蚀工艺均得到了应用。流体通道采用 Pyrex 玻璃片在 HF 中的各向同性刻蚀获得，并与在硅中的微喷嘴对准，通道的密封采用阳极键合工艺。

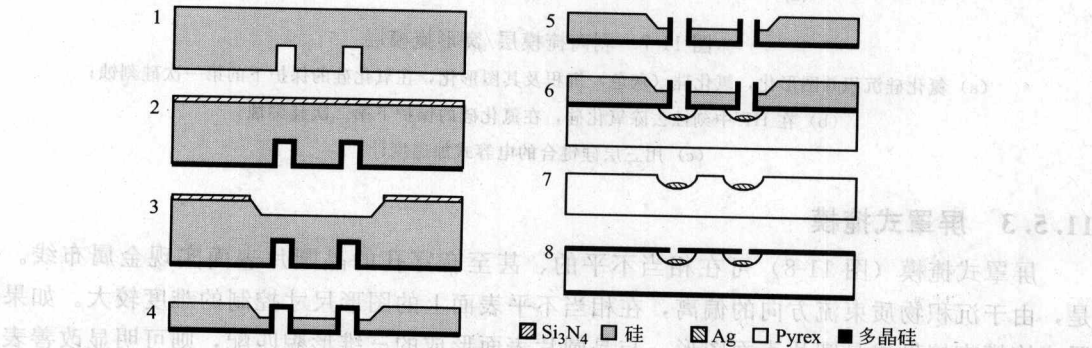


图 11-9 微吸液管的加工工艺 (序号表示工序)

微吸液管的加工工艺流程如下：喷嘴的 DRIE（直径 $2\mu\text{m}$ ，深度 $30\mu\text{m}$ ）；LPCVD 氧化硅；KOH 刻蚀（氧化硅保护）；晶圆片的减薄（没有保护层的 KOH 刻蚀）；氧化硅的 RIE 刻蚀；在多晶硅的保护下，用 HF 刻蚀 Pyrex 玻璃；剥离银结构，形成金属布线；阳极键合。

11.7 压阻式压力传感器

微机电系统技术起源于微型传感器的发展，最初用于生产固态半导体硅压阻式压力传感器，MEMS 技术迅速崛起，大大促进了微型传感器的技术进步，并使各种类型的传感器微型化，微型传感器已经成为 MEMS 的重要组成部分。

目前得到较广泛应用的是微机械力敏传感器，主要包括压力传感器、加速度传感器、角速度传感器等，其中应用最广的是半导体硅压阻式压力传感器。这种传感器利用压阻效应原理，采用三维集成电路工艺，在单晶硅片上的特定晶向，制成应变电阻构成的惠斯顿检测电桥，并同时利用硅的弹性力学特性，在同一硅片上进行微机械加工，集应力敏感与力电转换检测于一体的力学固态传感器，具有输出信号大、信噪比高、电路处理方便、频响跟随特性好等优点。

早期的硅压力传感器一般采用圆形平膜，在低量程传感器芯片制作中，需要减小硅膜厚度。当硅膜厚度减到一定的程度，其性能恶化，非线性增加，且硅电阻结深难以控制，导致一致性和成品率下降，成本上升。

超微压压力传感器硅弹性体结构设计经历了由岛膜结构、梁膜结构以及双岛梁膜结构的发展阶段。近年来 MEMS 技术的发展，使压力传感器量程低微化成为可能，主要体现在以下几个方面。

① 通过功能日益增强的 MEMS CAD 技术将有可能获得更合理的力学结构及敏感元件分布与构图，从而获得更微小、更线性和高灵敏度的敏感元件设计结构。

② 微加工工艺的进步，可实现更理想的结构，使传感器有更佳的综合性能，获得高成品率和低成本的敏感芯片阵列。

③ 封装工艺的发展，保证了芯片从无应力制造到无应力封装，提高了传感器的稳定性、重复性和可靠性等指标，使传感器向高精度测试应用领域发展。

图 11-10 给出了一种由正面浅的选择腐蚀形成的梁膜结构，在膜的中心处有一个方块，方块的四面中心各有一个梁，梁的形状和尺寸可以有多种选择，力敏电阻制作在应力梁上。其主要特点是利用从正面腐蚀形成的梁与从背面腐蚀的膜相叠加，由于硅膜的刚度系数与膜厚的立方成正比，梁区的硅比膜区的硅厚一倍，梁区的刚度系数即为膜区刚度系数的 8 倍，具有足够的应力集中效应。

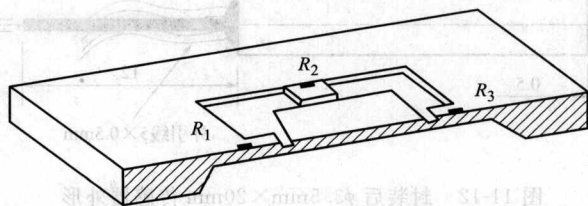


图 11-10 应力集中的梁膜结构的传感器芯片剖视图

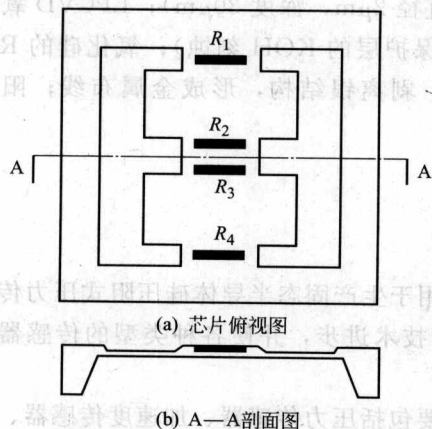


图 11-11 双岛-梁-膜结构超微压压力传感器芯片结构

目前已研制抗高过载的超微压压力传感器，提出应力匀散和双层岛的限位结构，设计了双岛-梁-膜，双岛在硅膜背面，而在硅膜正面有一个横贯着两个硅岛，并将硅膜分为对称两部分的硅梁，力敏电阻设置在岛与岛之间及岛与边界的硅梁上，起着应力二次集中的效果，提高了传感器的灵敏度和线性度。其量程为 300Pa，采用 6V 恒压源激励，满量程输出大于 30mV，非线性误差为 0.25%，应力匀散结构使得过载能力达到满量程的 140 倍。其哑铃形芯片结构如图 11-11 所示。

量程低微化需要解决的主要问题包括以下几点。

① 在以梁为主的复合结构力学弹性元件设计中，需解决低量程高灵敏度输出与超薄梁膜大挠度引起的非线性误差之间的矛盾。当膜片腐蚀得很薄时，传感器的灵敏度可以很高，但是膜的中平面发生拉伸形变，非线性误差明显变大，使线性精度较高的超微压传感器合格率降低。

② 采用梁区应力集中以获得小量程，较大的满量程输出，同时需要采用膜区应力匀散以解决局部过载引起的破坏，因此应力集中与应力匀散需巧妙组合成型，使芯片有足够的抗过载能力。

③ 在微加工工艺中，涉及的关键问题包括超薄芯片各向异性超薄精密控厚腐蚀、微芯片的精密双面对准与无掩模光刻、复合结构应力集中与应力匀散、复合结构的成型与削角补角、微芯片的内应力消除与平衡以及微型芯片的静电键合与分割成型。

④ 无应力微型化封装的问题包括微芯片内引线转接、适应特性介质和工况的特殊封装与微传感器相适应的温度热漂移补偿、微传感器光尘干扰防护及动态性能兼容性。

⑤ 超微压的标定测试。包括动态校准技术、测试与标定中的无应力装连等。

作为 MEMS 主要器件之一的压力传感器芯片制作工艺与现代 IC 工艺及微加工工艺兼容。国内 $\phi 3.5\text{mm} \times 20\text{mm}$ 的传感器微型化封装外形如图 11-12 所示，其非线性误差为 0.2%，不重复性误差可达 0.3%，迟滞性误差可达 0.3%，补偿后的零位热漂移和灵敏度热漂移与满量程输出之比均小于 1.0×10^{-4} 。

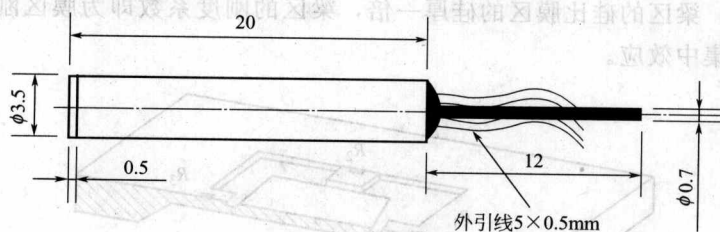


图 11-12 封装后 $\phi 3.5\text{mm} \times 20\text{mm}$ 传感器外形

压阻式压力传感器的工艺流程经历如下步骤：①晶圆片选择：P 型硅；②外延层：Si：

Ge:B 重掺杂层+轻掺杂层 (正面); ③压阻器的光刻 (仅为正面); ④压阻器的离子注入 (仅为正面); ⑤去胶; ⑥压阻器在干氧中的扩散 (同时会生长一层薄的氧化硅接触垫); ⑦ LPCVD 氮化硅 (双面); ⑧压阻器接触点的光刻 (正面); ⑨接触点的等离子刻蚀 (背面不刻蚀); ⑩去胶; ⑪金属的溅射沉积 (仅为正面); ⑫金属的光刻; ⑬金属的刻蚀; ⑭去胶; ⑮金属布线的保护层: PECVD 氮化硅的沉积 (正面); ⑯正面旋涂光刻保护; ⑰背部旋涂光刻保护; ⑱振动模释放的光刻 (背面); ⑲氮化硅+氧化硅的刻蚀: CF_4 等离子体刻蚀 (背面、正面不刻蚀); ⑳去胶 (两面同时进行); ㉑KOH 刻蚀, 去除体硅 (正面用 PECVD 氮化硅保护); ㉒ $\text{HF}:\text{HNO}_3$ 各向同性刻蚀 P^{++} 外延层 (对轻掺杂硅有很好的选择性, 即不刻蚀或难刻蚀); ㉓等离子体刻蚀氮化硅+HF 刻蚀氮化硅 (使硅暴露出来, 便于阳极键合); ㉔阳极键合。

11.8 IC-MEMS 集成

硅仅是可选 MEMS 基底材料的一种, 但它可将电子 (如 CMOS) 和光学 (如光二极管) 功能集成在同一块晶圆片上。将 IC 与 MEMS 器件集成在同一片晶圆片 (晶圆片级集成) 的方法主要包括三种: ①在 IC 制造前加工 MEMS; ②MEMS 与 CMOS 交叉制备; ③最后加工 MEMS。此三种方法均增加了工艺的复杂性。

IC 封装普通而又简单, 其塑料封装或密封封装与芯片设计和加工无关。对于 MEMS, 即使在释放型刻蚀过程中, 阳极键合时可动结构会粘住, 所以要采用释放型刻蚀来避免。晶圆片切割时, 旋转时速率达 20000r/min 的切割刀可能造成 MEMS 结构的共振, 水冷也可能造成粘连, 硅尘又可能堵塞空腔和间隙。

零级封装的目的是获得将 MEMS 器件与外界环境隔离开来的密封结构。这种工艺更适用于整个晶圆片, 又不同于集成电路工业中的氮化硅钝化层沉积, 其可采用薄膜沉积和晶圆片键合两种方法。为优化性能, 前者需具有零台阶覆概率, 而仅用做顶壁, 后者的弊端就是需额外的键合片。

IC 工艺的温度极大地限制了先前 MEMS 所有材料的选择, 硅、多晶硅、氧化硅和氮化硅是较为理想的候选材料。由于不能直接获得金属/硅接触界面, 对 MEMS 部分和 IC 部分的电学接触更适合采用扩散完成。这种方案为被称为“MEMS 加工优先”方案, 在此方案中, 仍有一部 MEMS 步骤需在 IC 工艺结束后才能进行, 如自立结构的释放和金属布线。

对于 MEMS 与 IC 的交叉加工, 存在太多因素需综合考虑。以多晶硅为例, CMOS 栅极多晶硅典型厚度为 $0.25\mu\text{m}$, 但微加工的多晶硅厚约 $2\mu\text{m}$ 。为提高多晶硅/ SiO_2 的界面性能, 需对栅极多晶硅进行优化, 且它是重掺杂的。而对微加工多晶硅的设计, 则需考虑应力和应力梯度的降低。如果需要这两种不同的多晶硅沉积, 则需两套不同的掺杂/退火工序。

后加工 MEMS 器件的方案有多种选择, 见表 11-4 所列。微加工结构可通过减法 (刻蚀) 技术和加法 (沉积) 技术获得。

IC 与 MEMS 器件是堆垛放置还是并排放置对刻蚀终止、对准、器件布局密度非常重要。在体硅的电化学刻蚀自动终止中, 可为 CMOS 预留部分的 N 阱, 这可提供热绝缘。这增加了对热信号的敏感度。

表 11-4 后加工 MEMS 器件的工艺

减 法 工 艺	备 注
背部体硅刻蚀	湿法或的 DRIE 工艺, 双面光刻
正面体硅刻蚀	单面湿法或等离子体刻蚀
正面的表面加工	仅为薄膜机械构件
SOI 正面/背面刻蚀	对湿法或 DRIE 刻蚀, 埋层氧化物硅均会自动刻蚀终止
加法工艺	备注
LPCVD 沉积多晶硅/多晶硅 SiGe	多晶硅退火的热限制
铝(溅射)	层厚度的限制
镍(电镀)	可得到厚膜
氮化物(PECVD)	应力控制

11.8 IC-MEMS 2MEMS 附录

12.

微电子材料与器件性能测量分析

微电子材料与器件性能测量分析包括表面形貌观察、器件尺寸测量、电学测试以及物理和化学分析。分析技术包括了多种现代分析技术，如光学显微法、扫描电子显微镜、透射电子显微镜、原子力显微镜、扫描隧道显微镜、X 射线衍射、二次离子质谱分析技术、X 射线光电子能谱薄膜组分、结构及价态分析技术、电子微探针分析等，运用这些微分析技术可进行微电子器件结构、工艺剖析、关键微电子材料分析、器件表面及缺陷分析等。

12.1 表面形貌观察

12.1.1 光学显微法

图 12-1 是光学显微镜的装置图，光学显微法成像原理是利用可见光照射在试样表面造成局部散射或反射来形成不同的对比。它包括荧光显微术、暗场显微镜、共焦显微术等。根据瑞利准则 (Raleigh's criterion)，分辨率 (S) 可以表示为：

$$S = \frac{0.61\lambda}{n \sin \theta} = \frac{0.61\lambda}{NA} \quad (12-1)$$

式中， n 是介质的折射率； θ 是物镜与试样间的半夹角； λ 是可见光的波长；NA (numerical aperture) 表示透镜系统的分辨率和所形成的影像亮度的一组数值。由于可见光的波长很高 (4000~7000Å)，光学显微镜的分辨率较差 (约为微米大小)。

光学显微镜能够包含任何尺寸的测试结构，不需要考虑器件的尺寸，并且操作简便、几乎没有试样制备的需要，在微电子工业中有着广泛的应用，

是光刻中对准的标准方法，可用于器件横截面结构观察、沉淀物耗尽区 (denuded zone) 的观察、层错的观察、过刻蚀 (overetch) 的凹痕观察等，另外，当光学显微法的分辨率比线宽高时，还能够作为一种初始的有效检测方法，能够观察到光刻胶附着层缺损、剥落。

12.1.2 扫描电子显微镜

扫描电子显微镜是用聚焦电子束在试样表面逐点扫描成像，试样为块状或粉末颗粒，成像信号可以是二次电子、背散射电子或吸收电子，其中二次电子是主要的成像信号。扫描电

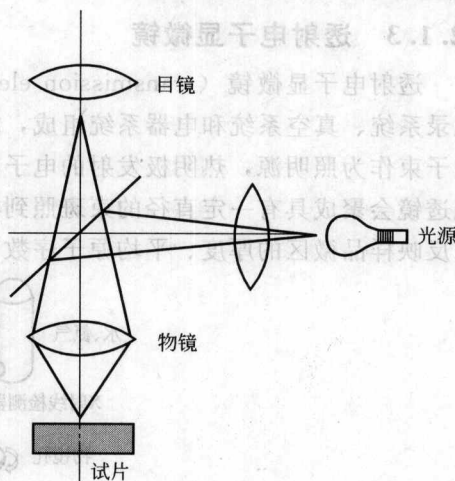


图 12-1 光学显微镜的仪器装置简图

子显微镜 (scanning electron microscopy, SEM) 的原理如图 12-2 所示, 从阴极发出并经加速的电子束通过电子透镜聚焦于试样表面, 电子束在样品表面激发出二次电子, 二次电子为探测器所接受并送到放大器。当电子束在试样表面扫描时, 到达探测器上的束流随着各点的构造、组织或形貌的不同而改变, 在荧光屏上形成一个试样的图像。

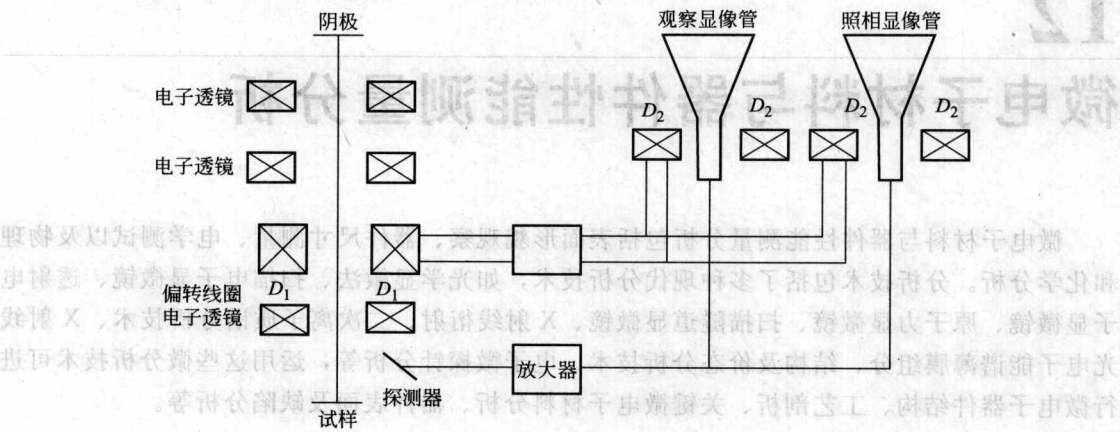


图 12-2 扫描电子显微镜原理

SEM 具有较高的分辨率 (一般为 $2\sim 6\text{nm}$, 最高可达 0.5nm), 不仅能够像光学显微镜一样从顶部观察图形, 还能够对倾斜和截面进行观察。在刻蚀中, 可通过 SEM 测量检测最终结构中的侧壁形貌, 最终的形貌考虑采用破坏性的横截面 SEM 照片来检验。另外, SEM 也是光刻中对准的标准方法。

12.1.3 透射电子显微镜

透射电子显微镜 (transmission electron microscopy, TEM) 由照明系统、成像系统、记录系统、真空系统和电器系统组成, 如图 12-3 所示, TEM 通常采用热阴极电子枪来获得电子束作为照明源, 热阴极发射的电子在阳极加速电压的作用下, 高速地穿过阳极孔后被聚光透镜会聚成具有一定直径的束斑照到样品上, 具有一定能量的电子束与样品发生作用, 产生反映样品微区的厚度、平均原子序数、晶体结构或位向差别的多种信息。

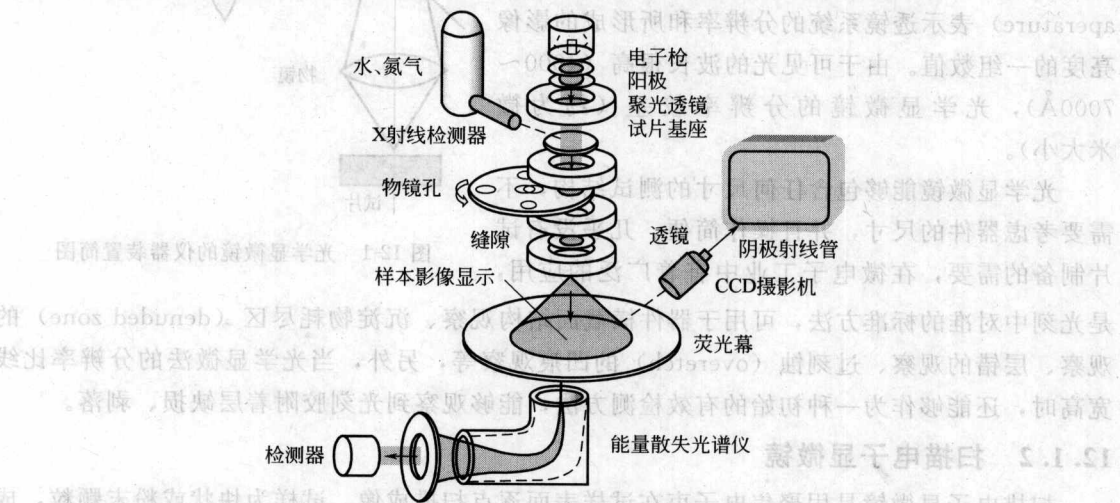


图 12-3 透射电子显微镜

透射电子显微镜中的电子束的波长要比可见光和紫外光短得多,并且电子束的波长与发射电子束的电压平方根成反比,电压越高其波长越短。目前 TEM 的分辨力可达 0.2nm ,可用于观察亚显微结构(submicroscopic structures)或超微结构(ultramicroscopic structures/ultrastructures)。TEM 可用于研究氧沉淀大小、形态、分布与热处理时间、温度的关系,可探讨氧沉淀的生成动力学,了解氧在硅单晶材料中的行为,这有助于控制硅芯片的机械强度、内吸杂能力以及提高硅芯片的质量。TEM 还可用于检测无定形化,观察离子注入中的扩展损伤。

12.1.4 原子力显微镜

原子力显微镜(atomic force microscope, AFM)具有原子与纳米级的分析能力,如图 12-4 所示,是利用原子、分子间的相互作用力(主要为范德华力、价键力、表面张力、万有引力、静电力以及磁力等)来观察物体表面微观形貌技术。AFM 现有三种基本操作模式,可区分为接触式(contact mode)、非接触式(non-contact mode)及间歇接触式(或称为轻敲式,intermittent contact or tapping mode)。AFM 操作简便,样品可为导体或非导体,可在大气、真空以及液相等条件下进行分析,它可进行样品的电性、磁性、纳米微影加工、生物活性分子性质分析以及微观的物性(光、力、电、磁)测量等。造成光的散射的因素包括划痕、表面粗糙度和晶体缺陷等,AFM 可对其局部进行测量,其测量区为 $5\mu\text{m}\times 5\mu\text{m}$ 。

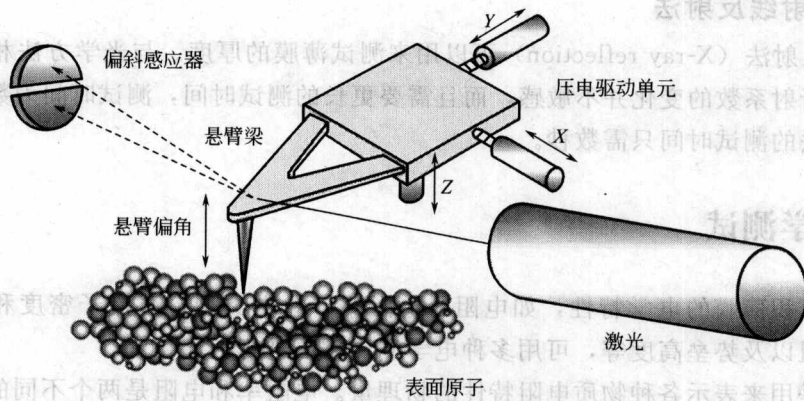


图 12-4 原子力显微镜

12.1.5 扫描隧道显微镜

扫描隧道显微镜(scanning tunneling microscope, STM)是一种基于隧道效应的探针式显微镜,其工作原理如图 12-5 所示,将原子长度大小的极细针尖和被研究物质的表面作为两个电极,当二者非常接近时(通常距离小于 1nm),在外加电场作用下,电子会穿过两电极之间的绝缘层,流向另一电极,此即隧道效应(tunnelling effect),隧道电流强度对针尖与样品表面之间的距离非常敏感,因此控制隧道电流恒定,记录针尖在样品表面扫描时的运动轨迹就得到了样品表面的 STM 像。STM 具有原子级分辨率,水平和纵向分辨率可达 0.1nm 和 0.01nm ,是纳米至微米尺寸范围的表面构型研究的重要手段,也可进行分辨率达亚纳米级的表面研究。STM 被广泛用于金属表面、半导体表面、电极表面、纳米(毫微米)结构以及表面化学的原子分辨等研究领域。

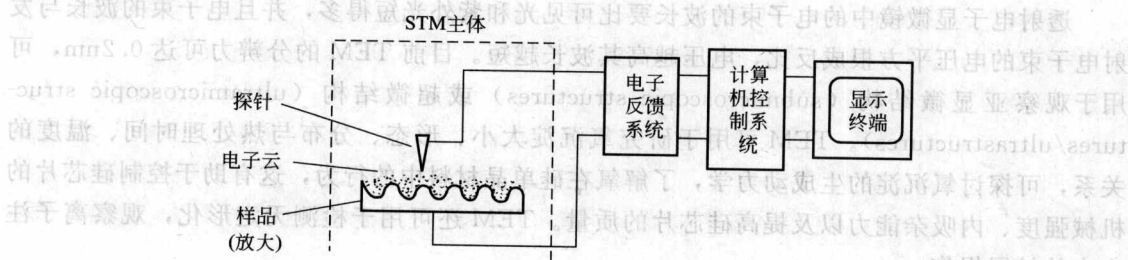


图 12-5 扫描隧道显微镜工作原理示意

12.2 器件尺寸测量

12.2.1 电机机械探针和原子力显微镜

电机机械探针（如表面轮廓仪）和 AFM 可被用于测试关键尺寸（critical dimension, CD）线宽，主要关键尺寸的测试采用的是扫描方法，线宽的测试取决于边缘探测，而可分辨的最小栅距（pitch）（线/间隔）由探针的曲率半径所决定，电机机械探针的曲率半径为 $1 \sim 10 \mu\text{m}$ ，AFM 的曲率半径为 $1 \sim 10 \text{nm}$ 。另外，AFM 不仅可提供表面图像，而且可以提供台阶高度和线宽数据，可对光刻中线宽进行测量。

12.2.2 X 射线反射法

X 射线反射法（X-ray reflection）可以用来测试薄膜的厚度。与光学方法相比较，X 射线反射法对折射系数的变化并不敏感，而且需要更长的测试时间，测试时间为数分钟至数小时，光学方法的测试时间只需数秒。

12.3 电学测试

基片和沉积薄膜的电学特性，如电阻、电阻率、导电类型、载流子密度和寿命、迁移率、接触电阻以及势垒高度等，可用多种电学测试方法进行表征。

电阻率是用来表示各种物质电阻特性的物理量。电阻率和电阻是两个不同的概念，电阻率是反映物质对电流阻碍作用的属性，电阻是反映物体对电流阻碍作用的属性。电阻相比电阻率而言较容易被测试，物体的电阻可由电阻率、长度与截面面积计算：

$$R = \rho \frac{l}{A} \quad (12-2)$$

式中， R 为电阻， Ω ； l 为长度， cm ； A 为截面面积， cm^2 ， $A = WT$ （ W 为宽度， T 为厚度）； ρ 为电阻率， $\Omega \cdot \text{cm}$ 。若只考虑一个金属的正方形块，此时 $L = W$ ，则可知此时薄层电阻 $R_s = \rho/T$ 。可知薄层电阻与正方形尺寸无关，则将导体分解为 n 个正方形，则一个导线的电阻 $R = nR_s$ ，所以 R_s 的值可以通过 R 值的测量而得出，其中一个方法即是通过制备金属线直接测量，即得：

$$R_s = \frac{R}{n} = \frac{V}{nI} \quad (12-3)$$

可以使用四点探针法测量出电压 V 和电流 I 。此时，电阻率 ρ 为：

$$\rho=\frac{V}{I}2\pi s$$

(12-4)

式中， s 为探针间距。若样品尺寸是探针间距的 15 倍，电阻率的修正小于 1%，而对于小的样品，则需要使用几何修正因子。若已知薄层电阻，则可通过薄层电阻来计算薄膜厚度。

电学测试可以在晶圆片的测试芯片上或在芯片之间划片槽 (scribeline) 处进行，由于划片时需要约 100 μm 芯片之间的边缘，在加工结束后可丢弃测试结构。

12.4 物理和化学分析

12.4.1 X 射线衍射

晶体受 X 射线照射时，其中的原子向四周散射 X 射线，由于晶体具有周期性结构，这些散射 X 射线相互干涉的结果，只在某些特定的方向上发生衍射线，这种现象称为 X 射线衍射 (X-ray diffraction, XRD)，不同的结晶物质具有不同的晶体结构，衍射线的方向和相对强度也就各不相同，所以，各种结晶物质具有特定的衍射花样，可根据多晶的衍射花样来鉴别其化学组成和物相。由于衍射强度与该物相的含量有关，XRD 也可用于多晶物质的定量分析。XRD 可用于测定晶体结构、晶体粒度和单晶取向，其可测量薄膜是否为晶体以及薄膜的晶体结构。另外，离子注入中的无定形化也可以通过 XRD 来测量，薄膜应力可通过 Bragg-Brentano XRD 来检测。

12.4.2 红外光谱

红外光谱 (infrared spectroscopy, IR) 是利用红外分光光度计测量物质对红外光的吸收及所产生的红外吸收光谱，对物质的组成和结构进行分析测定的方法，其原理如图 12-6。红外光是一种波长 (0.75~1000 μm) 介于可见光和微波之间的电磁波，一般分为近红外区、中红外区、远红外区。光能够透过几种常见材料的各自最小波长 λ_{min} 见表 12-1 所列。IR 是鉴定化合物和测定分子结构最有用的方法之一，可以用来测定有机化合物和许多无机化合物，它给出了关于化学键的信息。

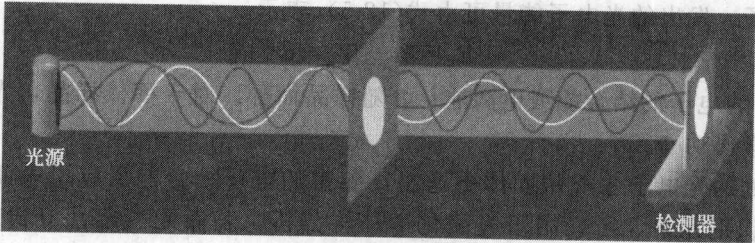


图 12-6 红外光谱仪的简单原理

表 12-1 光能够透过材料的各自最小波长 λ_{min}

材料	E_g/eV	$\lambda_{\text{min}}/\mu\text{m}$	材料	E_g/eV	$\lambda_{\text{min}}/\mu\text{m}$
Si	1.12	1.10	金刚石	5.48	0.22
SiO ₂ (晶体)	8	0.15	GaN	3.4	0.36
Ge	0.67	1.84	AlN	6.2	0.20
GaAs	1.43	0.86			

IR 是最常用的空洞检测系统，可以广泛应用于预键合后和高温退火后空洞的检测，也可以用来观察预键合过程中键合波的扩展情况，改进预键合和高温退火工艺。另外，其中的傅里叶红外光谱（Fourier-transform infrared spectroscopy, FTIR）用于测量硅晶圆片中氧和碳的浓度，可检测到来自表面和基体-外延界面上反射的相干干涉和相消干涉，测量外延层的厚度，FTIR 还可用于测量有机杂质，不仅能够鉴别单个元素，还能鉴别化学键。

12.4.3 俄歇电子波谱法

俄歇电子波谱法（Auger electron spectroscopy, AES）中，一束电子束击中待测样品表面，一个内层电子被逐出，一个外层电子填充该空隙，在此过程中将释放出多余的能量，此能量被另外一个外层电子获得并逃逸而成为了俄歇电子（如图 12-7 所示）。由于俄歇电子的能量由原子结构所决定，不同的物质是不一样的，即可通过所获得的信号得出元素的成分。AES 可以鉴别出表面原子，可以对生产工艺中的表面残留物进行分析。

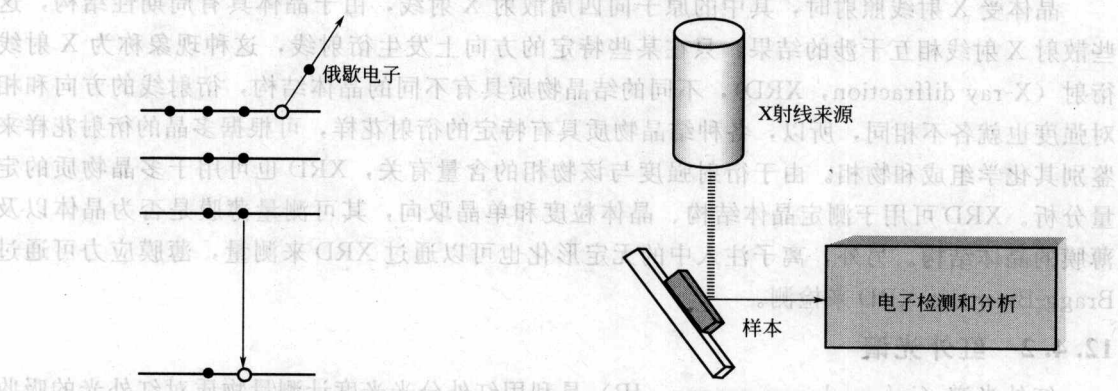


图 12-7 俄歇过程

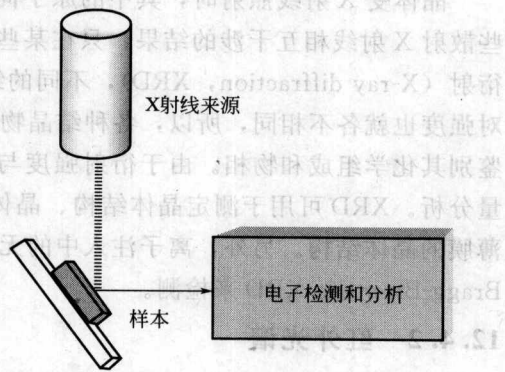


图 12-8 X 射线光电子波谱

12.4.4 X 射线光电子波谱法

X 射线光电子波谱法（X-ray photoelectron spectroscopy, XPS）是一种表面分析方法，也被称为化学分析电子波谱（electron spectroscopy for chemical analysis, ESCA）。如图 12-8 所示，用 X 射线照射固体时，由于光电效应，原子的某一能级的电子被击出物体之外，此电子称为光电子。发出的光电子能量可由式(12-5)表示。

$$E_k = h\nu - W_q - \Phi \tag{12-5}$$

式中， W_q 为电子的结合能或电离能； Φ 随样品而异。对于固体样品，光电子离开固体表面还需付出逸出功 Φ 。

只有表面处的光电子才能从固体中逸出，测得的电子结合能反应了表面化学成分的情况。XPS 能够识别元素，可应用于表面化学结构分析、表面元素定性分析和定量分析等。XPS 也能够区分化学键，可用于监测杂质的来源很重要。另外，XPS 可用于硅晶圆片氧化层厚度的测定。

12.4.5 二次离子质谱

二次离子质谱（secondary ion mass spectrometry, SIMS）是一种表面敏感技术，如图 12-9 所示，其借助入射离子将表面原子或分子溅射至真空，由质谱计测定发射的二次离子质量，得出它们的特征，从而确定物质表面的组成。另外，由于离子束侵蚀表面，SIMS 可分析表面以下的物质，用于深度成型。SIMS 可用于测量扩散形貌，其动态范围为 6~8 个

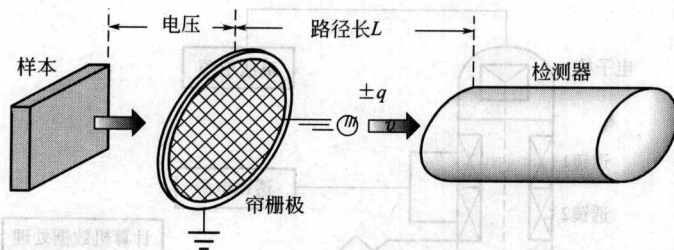


图 12-9 二次离子质谱仪

数量级，即掺杂浓度为 $10^{14} \sim 10^{16}$ 这个范围（硅原子密度为 5×10^{22} 原子/ cm^3 ）。外延过渡区宽度测量也可用 SIMS，其测量频率为 1000 个晶圆片测量一次。

12.4.6 全反射 X 射线荧光光谱

全反射 X 射线荧光光谱（total reflection X-ray fluorescence spectrum, TXRFS）可用于分析晶圆片表面的微量物质，当一束经过准直的 X 射线束，以低于全反射临界角 φ 投射到低通能量滤波器时，高能 X 射线被反射体材料折射并吸收，而对低能 X 射线进行全反射，全反射的低能 X 射线射到薄膜样品上，激发被分析样品产生元素的特征 X 射线荧光，实现微量元素的定性和定量分析，可以测量表面掺杂剂量达 10^{10} 原子/ cm^2 量级。TXRFS 具有试样用样量少、制样简便、基体效应可以忽略、可测定的元素和浓度范围广（除 Na、Mg、Al、Si、P 等轻元素外均可测）等优点，其采用非损伤测量，能够用于整个晶圆片表面。TXRFS 捕获入射角以便探测到晶圆片表面纳米级深度，它对中间质量的原子很敏感，对质量较大和较小的原子不敏感，其探测极限约为 10^9 原子/ cm^2 。

12.4.7 卢瑟福背散射能谱法

卢瑟福背散射能谱法（Rutherford backscattering spectrometry, RBS）是一种定量的测定方法，其操作比较简单。样品被放入可旋转的定角器上，从静电加速器获得的 α 粒子（氦离子）束经分析选择进入管道，之后 α 粒子束打在样品上， α 粒子穿过材料被减速，有百万分之一的离子被 180° 弹性反冲，在回程中减速，最后脱离固体到达探测器，信号经放大器放大，送入多道分析器形成一能谱，最后被输送到计算机进行运算。信号能量不仅与开始散射深度有关，受引起背散射的原子质量的影响，其检测能力还与基体相关（比基体轻的元素不易被检测出来），故 RBS 不易分辨出硅、铝和磷，也难于分析硅晶圆片上的氧和氮，更适合于砷、铜、钨等类原子的分析。

12.4.8 电子微探针分析

电子微探针分析（electron microprobe analysis, EMPA）也被称为能量分散 X 射线分析（energy dispersive X-ray analysis, EDXA），电子探针结构如图 12-10 所示。EMPA 利用一束聚焦到很细的电子束（加速至 $5 \sim 30 \text{keV}$ ）轰击用显微镜选定的待分析样品上的某个“点”，利用高能电子与固体物质相互作用时所激发出的特征 X 射线的波长和强度，来确定分析区域中的化学成分。

EMPA 具有分析简便、分析时间较短、样品的用量很少、释谱简单以及不受元素化合状态的影响的优点，它还是一种无损分析方法，被用于微区化学成分分析，可探测 1% 的元素浓度，可用于分析检测氧化硅中掺磷浓度、铝薄膜中铜的浓度等。

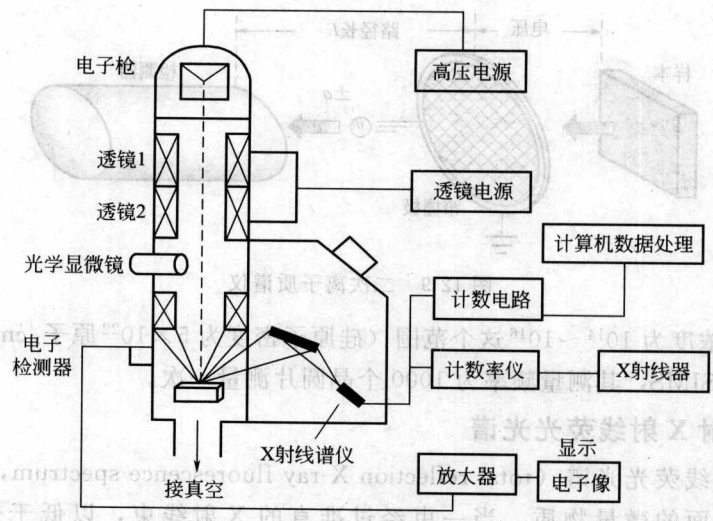


图 12-10 电子微探针结构示意图

12.4.9 原子吸收光谱

原子吸收光谱 (atomic absorption spectroscopy, AAS) 是将光源辐射出的待测元素的特征光谱通过样品的蒸气中, 被待测元素的基态原子所吸收, 由发射光谱被减弱的程度求得样品中待测元素的含量, 其波长区域在近紫外区。AAS 符合朗伯-比尔定律:

$$A = -\lg \left(\frac{I}{I_0} \right) = -\lg T = KCL \tag{12-6}$$

式中, I 为透射光强度; I_0 为发射光强度; T 为透射比; L 为光通过原子化器光程。由于 L 是不变值, 所以 $A = KC$ 。

AAS 主要适用样品中微量及痕量组分分析, 具有检出限度低、准确度高、选择性好以及分析速度快等优点。如果被分析物质可以从晶圆片上萃取并可溶解在酸中, 则可通过此方法进行微量组分分析。

12.4.10 微波光导衰减法

微波光导衰减法 (microwave photoconductive decay, μ PCD) 中, 激光束照射于样品上, 样品被激励而制造出过量电荷载流子, 用非接触式的微波反射法测量出激光照射所产生的载流子的数量得知电荷载流子的寿命, 而半导体材料中的杂质和缺陷与电荷载流子的寿命相关, 少数载流子的生命周期由于污染而降低, 利用金属杂质对电荷载流子的影响来进行测量。

12.4.11 X 射线断层摄影术

X 射线断层摄影术 (X-ray tomography, XRT) 包括能够生成高速、高质量数字图像的平板探测器、可减少平面外结构模糊的重建以及后处理算法, 利用这些能最终生成具有更高质量的断层图像。XRT 可反映整个晶圆片, 其分辨率为微米级的, 对于很多的晶体缺陷并不适用, 但可以用于直接观察小缺陷。

12.4.12 其他

在超真空条件下, 表面光谱仪可用于实时控制沉积工艺, 高能电子衍射反射仪 (reflection high-energy electron diffraction, RHEED) 和低能电子衍射仪 (low-energy electron

diffraction, LEED) 常常在 MBE 系统中用于检查正在生长的薄膜。表面光伏法 (surface photovoltage, SPV) 可以通过电荷运载激励方法来分析体晶圆片, 也可用于检测金属杂质对电荷载流子的影响。标准薄膜厚度可用椭圆仪和反射仪进行测量。

质量光谱仪 (RGA) 用于残余气体分析, 可以确定原子和分子, 这有助于理解真空状态下薄膜相互作用。热解吸附谱线法 (thermal desorption spectroscopy, TDS) 是通过加热样品并分析吸附产物来分析表面的物质, 可用于检测表面杂质, 但此方法要求被分析的材料可以从晶圆片上萃取。中子激活分析 (neutron activation analysis, NAA) 采用中子激发的伽马 (Gamma) 量子来进行探测, 中子激活分析可以探测经挑选的浓度低于 $10^{11}/\text{cm}^3$ 的元素 (如 Cu、Ag、Au) 以及许多其他浓度低于 $10^{13}/\text{cm}^3$ 的元素 (如 Fe、Zn、Ni)。

- [1] Campbell S A 著, 黄如等译, 微电子学器件, 北京: 清华大学出版社, 2005.
- [2] Hamner R E. Electronic Properties of Materials. New York: Springer, 2000.
- [3] 张兴, 黄如等, 微电子学器件, 北京: 清华大学出版社, 2005.
- [4] 杨孝, 半导体制造基础, 北京: 人民邮电出版社, 2007.
- [5] Mohr P, Paul O 著, 黄如等译, 微电子学器件, 北京: 清华大学出版社, 2000.
- [6] 刘玉麟, 微电子学器件, 北京: 电子工业出版社, 2004.
- [7] 常育等, 微电子学器件, 北京: 国防工业出版社, 2006.
- [8] 王阳元, 集成电路及其在集成电路中的应用, 北京: 科学出版社, 2001.
- [9] Mayer J W 著, 半导体器件中的离子注入, 北京: 科学出版社, 1979.
- [10] 刘玉麟, 半导体器件, 北京: 电子工业出版社, 2002.
- [11] Packer R F 著, 半导体器件基础, 黄如等译, 北京: 电子工业出版社, 2004.
- [12] 周良如, 微电子器件封装, 北京: 化学工业出版社, 2006.
- [13] 姜岩峰, 微电子器件封装, 北京: 化学工业出版社, 2006.
- [14] 徐世六, SiGe 微电子学, 北京: 国防工业出版社, 2007.
- [15] 刘刚, 何明等, 微电子器件 IC 设计, 北京: 科学出版社, 2003.
- [16] 谢章章, 微电子学器件应用基础, 北京: 北京理工大学出版社, 2006.
- [17] 魏明, 刘明等, 微电子学器件, 北京: 化学工业出版社, 2002.
- [18] 吴德馨等, 现代微电子学器件, 北京: 化学工业出版社, 2002.
- [19] 魏明, 微电子学器件, 北京: 化学工业出版社, 2002.
- [20] Gupta T K 著, 半导体器件应用基础, 北京: 清华大学出版社, 2002.
- [21] 余思明, 半导体材料学, 杭州: 中国工业出版社, 1982.
- [22] 田茂茂, 薄膜技术与薄膜材料, 北京: 清华大学出版社, 2006.
- [23] Colinge J P 著, SOI 技术, 21 世纪硅基集成电路技术, 北京: 科学出版社, 1993.
- [24] Neamen D A 著, 半导体物理器件, 北京: 电子工业出版社, 2004.
- [25] Zec S M 著, 半导体器件制造工艺, 杭州: 浙江大学出版社, 2002.
- [26] 曹伟, 王毅, 丁建宁, 基于 MEMS 技术的微机电系统传感器, 北京: 机械工业出版社, 2006.
- [27] (3), 137~139.
- [28] Bao M H, Wang W Y. Future of microelectro-mechanical systems. Sensors and Actuators A, 1996, 56: 137~141.
- [29] Middlebrook S. Celebration of the tenth transducers conference: the past, present and future research and development. Sensors and Actuators, 2000, 82: 2~23.
- [30] Bao M H, Yu L H, Wang Y. Micromachined beam diaphragm structure improves performance of pressure transducer. Sensors and Actuators A, 1990, 21 (23): 137~141.
- [31] Bao M H, Yu L H, Wang Y. Stress concentration structure with four beams for pressure sensor. Sensors and Actuators A, 1991, 28: 105~112.

参 考 文 献

- [1] [美]Campbell S A 著. 微电子制造科学原理与工程技术. 曾莹等译. 北京: 电子工业出版社, 2004.
- [2] [美]Peter Van Zant 著. 芯片制造——半导体工艺制程实用教程. 赵树武, 朱践知, 于世恩等译. 北京: 电子工业出版社, 2004.
- [3] [美]Michael Quirk, Julian Serda 著. 半导体制造技术. 韩郑生等译. 北京: 电子工业出版社, 2004.
- [4] [美]Hwaiyu Geng 等著. 半导体集成电路制造手册. 赵树武等译. 北京: 电子工业出版社, 2006.
- [5] [芬兰]Sami Franssila 著. 微加工导论. 陈迪等译. 北京: 电子工业出版社, 2005.
- [6] 陈力俊主编. 微电子材料与制程. 上海: 复旦大学出版社, 2005.
- [7] 邓志杰, 郑安生编著. 半导体材料. 北京: 化学工业出版社, 2004.
- [8] Hummel R E. Electronic Properties of Materials. New York: Springer, 2000.
- [9] 张兴, 黄如等. 微电子学概论. 北京: 北京大学出版社, 2005.
- [10] [美]梅等. 半导体制造基础. 代永平译. 北京: 人民邮电出版社, 2007.
- [11] [德]Menz W, Mohr J Paul O 著. 微系统技术. 王春海, 于杰等译. 北京: 化学工业出版社, 2000.
- [12] 刘玉岭, 檀柏梅等. 微电子技术工程. 北京: 电子工业出版社, 2004.
- [13] 常青等. 微电子技术概论. 北京: 国防工业出版社, 2006.
- [14] 王阳元. 多晶硅薄膜及其在集成电路中的应用. 北京: 科学出版社, 2001.
- [15] [美]Mayer J W 等. 半导体硅锗中的离子注入. 北京: 科学出版社, 1979.
- [16] 刘玉岭, 李薇薇等. 微电子化学技术基础. 北京: 化学工业出版社, 2005.
- [17] [美]Pierret R F 著. 半导体器件基础. 黄如等译. 北京: 电子工业出版社, 2004.
- [18] 周良知. 微电子器件封装. 北京: 化学工业出版社, 2006.
- [19] 姜岩峰. 微电子机械系统. 北京: 化学工业出版社, 2006.
- [20] 徐世六. SiGe 微电子技术. 北京: 国防工业出版社, 2007.
- [21] 刘刚, 何笑明等. 微电子器件与 IC 设计. 北京: 科学出版社, 2005.
- [22] 谢君堂等. 微电子技术应用基础. 北京: 北京理工大学出版社, 2006.
- [23] 钱鹤, 刘明等. 现代微电子技术. 北京: 化学工业出版社, 2002.
- [24] 吴德馨等. 现代微电子技术. 北京: 化学工业出版社, 2002.
- [25] 郝跃, 贾新章等. 微电子技术概论. 北京: 高等教育出版社, 2003.
- [26] [美]Gupta T K 著. 厚薄膜混合微电子学手册. 王瑞庭, 朱征等译. 北京: 电子工业出版社, 2005.
- [27] 余思明. 半导体硅材料学. 惠州: 中南工业大学出版社, 1992.
- [28] 田民波. 薄膜技术与薄膜材料. 北京: 清华大学出版社, 2006.
- [29] [比]Colinge J P 著. SOI 技术: 21 世纪的硅集成电路技术. 武国英等译. 北京: 科学出版社, 1993.
- [30] [美]Neamen D A 著. 半导体物理与器件. 赵毅强等译. 北京: 电子工业出版社, 2004.
- [31] [美]Sze S M 著. 半导体器件物理与工艺. 赵鹤鸣等译. 苏州: 苏州大学出版社, 2002.
- [32] 薛伟, 王权, 丁建宁等. 基于 MEMS 技术的超微压力传感器研究进展. 农业机械学报, 2006, 3 (3): 157~159.
- [33] Bao M H, Wang W Y. Future of microelectro mechanical systems. Sensors and Actuators A, 1996, 56: 135~141.
- [34] Middelhoek S. Celebration of the tenth transducers conference: the past, present and future research and development. Sensors and Actuators, 2000, 82: 2~23.
- [35] Bao M H, Yu L H, Wang Y. Micromachined beam diaphragm structure improves performances of pressure transducer. Sensors and Actuators A, 1990, 21 (23): 137~141.
- [36] Bao M H, Yu L H, Wang Y. Stress concentration structure with four beams for pressure sensor. Sensors and Actuators A, 1991, 28: 105~112.

- [37] 尹颖, 杨恒, 王文襄等. 抗高过载微压传感器. 传感器技术, 2001, 20 (4): 48~51.
- [38] Yang H, Shen S Q, Bao M H, et al. A pressure transducer with a single-sided multilevel structure by maskless etching technology. Mechatronics, 1998, 8: 585~593.
- [39] 王文襄, 李水侠, 刘秀娥. 一种微型动态压阻压力传感器及其制造方法. 中国发明专利, 200310106329. 8, 2004.
- [40] Gildenblate, Grot S A, Badzian A. The electrical properties and device application of homoepitaxial and polycrystalline diamond films. Proceedings of the IEEE, 1991, 79: 647~668.
- [41] Ferry D K. High field transport in wide-bandgap semiconductors. Phys. Rev, 1975, B12: 2361~2369.
- [42] Vescan A, Daumillern I, Gluche P, et al. High temperature, high voltage operation of diamond schottky diode. Diamond and Related Materials, 1998, 7: 581~584
- [43] Manasevit H M. Single crystal gallium arsenide on insulating substrates. Appl phys Lett, 1968, 12: 156.
- [44] Manasevit H M. The use of metalorganils in the preparation of semiconductor materials. J Cryst Growth, 1972, 13/14: 306.
- [45] Graef M W M., Leunissen B J H, de Moor H H C. Antimony, arsenic, phosphorus, and boron autodoping in silicon epitaxy. J. Electrochem. Soc., 1985, 132 (8): 1942~1954.
- [46] Boydston M R, Gruber G A, Gupta D C. Effect of processing parameters on shallow surface depressions during silicon epitaxial deposition in silicon processing. American Society for Testing and Materials, 1983, 804: 174~189.
- [47] Levenson M D et al. IEEE on Transactions on Electron Devices, 1982ED-29 (12): 1828.
- [48] Levenson M D, et al. Proc. SPIE, 1990, 1496: 20.
- [49] 冯伯儒. LMR-1 形掩模缺陷 (检查) 激光修整仪. 光电工程, 1992, 19 (4): 2~3.
- [50] 冯伯儒. 激光在微电子器件制造中的应用. 光电工程, 1991, 18 (5): 59.
- [51] Benjamin G, Jr. Eynon. Photomask fabrication technology (professional Engineering). New York: McGraw-Hill, 2005.
- [52] Pliskin W A, Conrad E E. Nondestructive determination of thickness and refractive index of transparent films. IBM J. Research and Development, 1964, 8: 43~51.
- [53] Bassous E, Yu H N., Maniscalco V. Topology of silicon structures with recessed SiO₂. J. Electrochem. Soc, 1976, 123 (11): 1729~1737.
- [54] Kooi E, van Lierop J G, Appels J A. Formation of silicon nitride at a Si-SiO₂ interface during local oxidation of silicon and during heat-treatment of oxidized silicon in NH₃ gas. J. Electrochem. Soc., 1976, 123 (7): 1117~1120.